



Univerzitet u Nišu
Elektronski fakultet



BORISAV D. JOVANOVIĆ

**NAPREDNI METODI PROJEKTOVANJA
DIGITALNIH INTEGRISANIH KOLA U
NANOMETARSKIM TEHNOLOGIJAMA SA
POSEBNIM NAGLASKOM NA BRZINU,
STATIČKU I DINAMIČKU POTROŠNJU**

Doktorska disertacija

Niš, 2015



University of Niš
Faculty of Electronic Engineering



BORISAV D. JOVANOVIĆ

**THE ADVANCED METHODS FOR DIGITAL
INTEGRATED CIRCUIT DESIGN IN
NANOMETER TECHNOLOGIES, WITH
SPECIAL EMPHASIS ON SPEED, STATIC
AND DYNAMIC CONSUMPTION**

Doctoral dissertation

Niš, 2015

Podaci o mentoru i članovima komisije

Mentor:

Prof. dr Predrag Petković, redovni profesor, Elektronski fakultet Niš, Univerzitet u Nišu

Komisija za ocenu i odbranu doktorske disertacije:

1. Prof. dr Predrag Petković, redovni profesor, Elektronski fakultet Niš, Univerzitet u Nišu
2. Prof. dr Milunka Damnjanović, redovni profesoru penziji, Elektronski fakultet Niš, Univerzitet u Nišu
3. Prof. dr Milun Jevtić, redovni profesor, Elektronski fakultet Niš, Univerzitet u Nišu
4. Prof. dr Dragiša Milovanović, redovni profesor, Elektronski fakultet Niš, Univerzitet u Nišu
5. Prof. dr Miloš Živanov, redovni profesor, Fakultet tehničkih nauka, Univerzitet u Novom Sadu

Datum odbrane: _____

Mojim roditeljima, Dragoslavu i Smiljani Jovanović

Podaci o doktorskoj disertaciji

Naslov doktorske disertacije:

Napredni metodi projektovanja digitalnih integrisanih kola u nanometarskim tehnologijama sa posebnim naglaskom na brzinu, statičku i dinamičku potrošnju

Rezime:

Napredni metodi projektovanja digitalnih integrisanih kola, koji se oslanjaju na savremene nanometarske procese fabrikacije kola, primenjeni su pri projektovanju novog IP bloka 8051 mikrokontrolera, koji je namenjen za ugradnju u složene sisteme na čipu (SoC). U ovoj tezi biće analizirana potrošnja IP bloka mikrokontrolera, kao i efekti primene tehnika za optimizaciju statičke i dinamičke potrošnje u tehnološkim procesima standardnih ćelija CMOS 350 nm, 90 nm i 65 nm. Postupci uštede energije, koji se zasnivaju na gašenju svakog neaktivnog digitalnog bloka, globalnom smanjivanju napona napajanja i istovremenom korišćenju više tehnoloških biblioteka sa različitim naponima praga i naponima napajanja, omogućavaju značajna poboljšanja energetske efikasnosti.

Ključne reči:

statička i dinamička snaga disipacije CMOS kola, tehnike za smanjenje snage, mikrokontroler, pouzdanost rada sistema, IP blok

Naučna oblast:

Elektrotehničko i računarsko inženjerstvo

Uža naučna oblast:

Elektronika

UDK broj: (621.3.049.77+004.087.5):004.9

Doctoral dissertation information

Doctoral dissertation title:

The advanced methods for digital integrated circuit design in nanometer technologies, with special emphasis on speed, static and dynamic consumption

Abstract:

Advanced methods for digital circuit design, based on modern nanoscale technologies, are applied to a novel SoC microcontroller design with the industry standard 8051 instruction set. The power consumption of the proposed IP cores and the effects of utilization of both static and dynamic power minimization techniques will be examined using following process technologies: CMOS 350 nm, 90 nm and 65 nm. The static power saving methodologies which include shutting down any inactive digital block, reduction of supply voltage and utilization of different standard cell libraries, allows for significant improvements in energy efficiency.

Keywords:

Dynamic and static dissipation power, low power techniques, microcontroller, fault-tolerances, IP block.

Scientific area:

Electrical and Computer Engineering

Major scientific area:

Electronics

UDC number: (621.3.049.77+004.087.5):004.9

Sadržaj

Spisak slika	i
Spisak tabela	iv
1 Uvod.....	1
2 Uzroci disipiranja snage u CMOS kolima.....	5
2.1 Struje curenja MOSFET tranzistora.....	7
2.1.1 Struja tunelovanja gejta I_G	8
2.1.2 Podpragovska struja curenja I_{SUBTH}	10
2.1.3 Struja curenja na drejnu uzrokovana gejtom I_{GIDL}	12
2.1.4 Struje curenja inverzno polarisanih p-n spojeva.....	12
2.1.5 Struja proboja osnove I_P	13
3 Tehnike za smanjivanje potrošnje integrisanih kola	14
3.1 Podela tehnika za smanjivanje statičke snage.....	14
3.2 Tehnike koje smanjuju statičku potrošnju tokom projektovanja kola	15
3.2.1 Čelije sa različitim naponom praga V_{TH}	15
3.2.2 Kola sa različitim naponima napajanja (<i>Multiple supply voltage</i>)	16
3.3 Redukcija statičke snage tokom aktivnog režima rada	17
3.3.1 Inverzna polarizacija tranzistora (<i>Self-reverse biasing</i>)	17
3.3.2 Tehnika <i>Power gating</i> –korišćenje <i>Sleep</i> tranzistora	19
3.3.3 <i>Variable threshold</i> CMOS (VTCMOS)	23
3.4 Tehnike koje smanjuju statičku potrošnju tokom rada kola	24
3.4.1 Dinamičko skaliranje napona napajanja i frekvencije- DVFS	24
3.4.2 Dinamička promena napona praga kola V_{TH}	26
3.5 Tehnike za optimizaciju dinamičke potrošnje kola	27
3.5.1 Optimizacija stabla takta - <i>Clock gating</i>	28
3.5.2 Izolacija operanada- <i>Operand isolation</i>	29
3.5.3 Restruktuiranje logičkih kola- <i>Logic restructuring</i>	29

3.5.4	Dimenzionisanje ćelija - <i>Logic resizing</i>	30
3.5.5	Tehnika dodavanja kola bafera - <i>Transition rate buffering</i>	30
3.5.6	Tehnika zamene pinova - <i>Pin swapping</i>	31
3.5.7	Kontrola potrošnje memorijskih blokova.....	31
3.6	Tehnike za smanjenje potrošnje primenjene na kola mikroprocesora.....	31
4	ASIC projektovanje mikrokontrolera za malu potrošnju	34
4.1	Promene u arhitekturi IP bloka mikrokontrolera radi implemenatcije čipa metodom standardnih ćelija	34
4.2	Optimizacija dinamičke potrošnje	38
4.2.1	Generisanje stabla takta za malu potrošnju	39
4.2.2	Promene u arhitekturi za manju dinamičku potrošnju.....	40
4.2.3	Kolo za promenu frekvencije taktnog signala	41
4.3	Implementacija modova rada za malu statičku potrošnju kola.....	45
4.4	Modeli za procenu potrošnje MCU.....	48
4.5	Rezultati implementacije i procena potrošnje mikrokontrolera korišćenjem više tehnoloških procesa.....	50
4.5.1	Postupak procene potrošnje	50
4.5.2	Rezultati optimizacije dinamičke potrošnje	51
4.5.3	Rezultati optimizacije statičke potrošenje	53
4.5.4	Rezultati primene DVFS tehnike.....	55
5	Tehnike za pouzdan rad mikroprocesora koji su implementirani u nanometarskim procesima	58
5.1	Rad mikroprocesora u prisustvu intermitentnih i permanentnih grešaka	58
5.2	Tehnike za pouzdan rad sistema	59
5.2.1	Tehnike koje se zasnivaju na vremenskoj redundansi.....	59
5.2.2	<i>Standby sparing</i> tehnika	62
5.2.3	<i>Shared-recovery</i> tehnika.....	64
5.3	Matematički model za procenu potrošnje mikroprocesora koji koristi tehnike za pouzdati rad <i>Time redundancy</i> , <i>Standby sparing</i> i <i>Shared recovery</i>	65
5.4	Poređenje tehnika za pouzdan rad sa stanovišta energetske efikasnosti.....	70
6	Primena projektovanog IP bloka mikrokontrolera u najsavremenijem SoC.....	78
6.1	Ugradnja projektovanog 8051 IP bloka u FPRF SoC.....	79
6.2	Realizacija komunikacije SPI.....	82
6.3	Opcije za programiranje mikrokontrolera.....	83
6.3.1	Opcija A.....	84
6.3.2	Opcija B.....	84
6.3.3	Opcija C.....	84
6.4	Postupak logičke verifikacije IP bloka MCU	84

6.5	Rezultati implementacije mikrokontrolera	85
6.6	Testna postavka za proveru rada MCU.....	86
6.7	Opis <i>Production</i> testa.....	89
	Zaključak.....	90
	Literatura.....	94
	Kratka biografija kandidata.....	102
	Naučni radovi kandidata	103
	Izjave autora.....	111

Spisak slika

SLIKA 2-1 UDEO STATIČKE I DINAMIČKE DISIPACIJE ČIPA KOJI JE IMPLEMENTIRAN RAZLIČITIM TEHNOLOŠKIM PROCESIMA	7
SLIKA 2-2 STRUJE CURENJA NMOS TRANZISTORA U TEHNOLOŠKOM PROCESU: A) 50 NM<L<100 NM, B) L<50 NM	8
SLIKA 2-3 KOMPONENTE STRUJE TUNELOVANJA GEJTA	8
SLIKA 3-1 UPOTREBA BIBLIOTEKA ĆELIJA SA RAZLIČITIM NAPONOM PRAGA V_{TH}	15
SLIKA 3-2 ILUSTRACIJA PRIMENE TEHNIKE VIŠESTRUKOG NAPONA NAPAJANJA (<i>MULTIPLE SUPPLY VOLTAGE</i>)	16
SLIKA 3-3 A) KONTROLA STRUJE CURENJA INVERZONOM POLARIZACIJOM TRANZISTORA B) ZAVISNOST STRUJE DREJNA OD NAPONA V_{GS}	17
SLIKA 3-4 A) ISKLJUČIVANJE TRANZISTORA U NIZU (<i>TRANSISTOR STACKING</i>) B) STRUJA CURENJA U ZAVISNOSTI OD BROJA ISKLJUČENIH TRANZISTORA	18
SLIKA 3-5 TEHNIKA ISKLJUČIVANJA NAPAJANJA UPOTREBOM MTCMOS TRANZISTORA	19
SLIKA 3-6 A) PRIMER KORIŠĆENJA IZOLACIONE ĆELIJE I B) VREMENSKI DIJAGRAMI KOJI OPISUJU RAD	20
SLIKA 3-7 A) <i>STATE RETENTION</i> SEKVENCIJALNE ĆELIJE I B) VREMENSKI DIJAGRAMI KOJI OPISUJU RAD	21
SLIKA 3-8 <i>RING STYLE</i> ORGANIZACIJA SEGMENTA <i>POWER SWITCH</i> ĆELIJA	22
SLIKA 3-9 <i>GRID STYLE</i> ORGANIZACIJA SEGMENTA <i>POWER SWITCH</i> ĆELIJA	22
SLIKA 3-10 KONTROLNI SIGNALI <i>POWER MANAGEMENT UNIT</i> (PMU) JEDINICE KOJI UPRAVLJAJU PROCESIMA UKLJUČENJA I ISKLJUČENJA <i>POWER</i> OBLASTI	23

SLIKA 3-11 A) CMOS KOLO SA PROMENLJIVIM NAPONOM PRAGA VTCMOS B) VREMENSKI DIJAGRAM NAPONA POLARIZACIJA OSNOVA	23
SLIKA 3-12 TEHNIKA ADAPTIVNOG SKALIRANJA NAPONA NAPAJANJA I FREKVENCIJE –AVFS .	25
SLIKA 3-13 TEHNIKA DINAMIČKOG SKALIRANJA NAPONA PRAGA V_{TH}	27
SLIKA 3-14 TEHNIKA GEJTOVANJA TAKTNOG SIGNALA: A) KOLO PRE, B) POSLE PRIMENE TEHNIKE	28
SLIKA 3-15 TEHNIKA <i>OPERAND ISOLATION</i> : A) KOLO PRE, B) POSLE PRIMENE TEHNIKE	29
SLIKA 3-16 TEHNIKA <i>LOGIC RESTRUCTURING</i> : A) KOLO PRE, B) POSLE PRIMENE TEHNIKE	29
SLIKA 3-17 TEHNIKA <i>LOGIC RESIZING</i> : A) KOLO PRE, B) POSLE PRIMENE TEHNIKE	30
SLIKA 3-18 TEHNIKA <i>TRANSITION RATE BUFFERING</i> : KOLO POSLE PRIMENE TEHNIKE	30
SLIKA 3-19 TEHNIKA <i>PIN SWAPPING</i> : A) PRE, B) POSLE PRIMENE	31
SLIKA 4-1 BLOK DIJAGRAM MIKROKONTROLERA	36
SLIKA 4-2 ARHITEKTURA NOVOG JEZGRA MIKROKONTROLERA	37
SLIKA 4-3 POSTUPAK PROJEKTOVANJA ZA MALU POTROŠNJU - <i>IC DESIGN FLOW</i>	38
SLIKA 4-4 ČELIJA ZA GEJTOVANJE TAKTA KOJA KORISTI ASINHRONI RESET	39
SLIKA 4-5 VREMENSKI SIGNALI ČELIJE ZA GEJTOVANJE TAKTA	40
SLIKA 4-6 KOLO ZA BIRANJE TAKTNOG SIGNALA ZASNOVANO NA MULTIPLEKSERU	42
SLIKA 4-7 VREMENSKI SIGNALI KOLA BIRAČA TAKTA KOJI SE ZASNIVA NA MULTIPLEKSERU ...	42
SLIKA 4-8 KOLO ZA BIRANJE TAKTNOG SIGNALA KOJE JE IMUNO NA GLIČEVE	42
SLIKA 4-9 TALASNI OBLICI BIRAČA TAKTA KOJE NE GENERIŠE GLIČEVE	43
SLIKA 4-10 DELITELJ FREKVENCIJE KOJI JE UGRAĐEN U KOLO MIKROKONTROLERA	43
SLIKA 4-11 SEGMENT KOLA BIRAČA TAKTNOG SIGNALA	44
SLIKA 4-12 KOLO ZA FORMIRANJE TAKTNOG SIGNALA CLKC	44
SLIKA 4-13 VREMENSKI DIJAGRAMI RADA KOLA KOJE SE KORISTI ZA PROMENU FREKVENCIJE TAKTA	44
SLIKA 4-14 OSNOVNI KORACI PROJEKTOVANJA ZA IMPLEMENTACIJU TEHNIKE <i>POWER GATING</i>	46
SLIKA 4-15 POTROŠNJA P I OPTIMALNA FREKVENCIJA f_{MCU-A} U ZAVISNOSTI OD OPTEREĆENJA N	54
SLIKA 4-16 LAYOUT ČIPA KOJI JE IMPLEMENTIRAN U TEHNOLOGIJ TSMC 65 NM	56
SLIKA 4-17 DINAMIČKA POTROŠNJA MIKROKONTROLERA KAO FUNKCIJA FREKVENCIJE TAKTA, DOBIJENA U TEHNOLOGIJ TSMC 65 NM I NAPONU NAPAJANJA OD 1,2 V	57
SLIKA 5-1 PRIMER NIZA ZADATAKA	60
SLIKA 5-2 PRIMER RADA SISTEMA KADA SE NAPON NAPAJANJA SMANJUJE	61
SLIKA 5-3 PRIMER RASPOREDA ZADATAKA KOJI SE ZASNIVA NA VREMENSKOJ REDUNDANSI ...	62

SLIKA 5-4 PRIMER RASPOREDA ZADATAKA KOJI SE ZASNIVA NA TEHNICI <i>STANDBY SPARING</i>	63
SLIKA 5-5 PRIMER RASPOREDA ZADATAKA KOJI SE ZASNIVA NA TEHNICI <i>SHARED RECOVERY</i> ...	64
SLIKA 5-6 IZVRŠAVANJE JEDNOG ZADATAKA TEHNIKOM <i>STANDBY SPARING</i>	66
SLIKA 5-7 ALGORITAM ZA PROCENU POTROŠNJE TEHNIKA <i>TIME REDUNDANCY</i> , <i>STANDBY SPARING</i> I <i>SHARED RECOVERY</i>	72
SLIKA 5-8 ENERGIJA IZVRŠENJA ZADATAKA NORMALIZOVANA U ODNOSU NA E_0 U ZAVISNOSTI OD <i>SLACK</i> VREMENA; ZADACI IMAJU ISTO TRAJANJE $AET_i=25\text{MS}$;.....	75
SLIKA 5-9 ENERGIJA IZVRŠENJA ZADATAKA NORMALIZOVANA U ODNOSU NA E_0 U ZAVISNOSTI OD <i>SLACK</i> VREMENA; ZADACI SU TRAJANJA $AET_1=5\text{MS}$; $AET_2=25\text{MS}$; $AET_3=45\text{MS}$	76
SLIKA 5-10 SREDNJA POTROŠNJA SISTEMA KADA MCU IZVRŠAVA RASPOREDE ZADATAKA SA ZADATIM FAKTOROM ISKORIŠĆENJA U	77
SLIKA 6-1 <i>BASEBAND</i> PROCESOR DIREKTNO UPRAVLJA RADOM BLOKA TRX	80
SLIKA 6-2 <i>BASEBAND</i> PROCESOR PREDAJE BLOKU MCU KONTROLU TRX BLOKOVA	81
SLIKA 6-3 REALIZACIJA SPI PREKIDAČA.....	82
SLIKA 6-4 32 BITNI PAKET PODATAKA KOJI <i>BASEBAND</i> ŠALJE ČIPU	82
SLIKA 6-5 <i>LAYOUT</i> PROJEKTOVANOG IP BLOKA MIKROKONTROLERA KOJI JE UGRAĐEN U FPRF	86
SLIKA 6-6 GLOBALNA ŠEMA TESTNE POSTAVKE ZA PROVERU RADA MIKROKONTROLERA	86
SLIKA 6-7 IZGLED DELA APLIKACIJE KOJI JE NAMENJEN KONTROLI MCU.....	87

Spisak tabela

TABELA 4-1 SADRŽAJ REGISTRA POWER MANAGEMENT SPECIAL REGISTER - PMSR	43
TABELA 4-2 SNAGA MCU-A MERENA ZA TRI <i>TESTBENCH</i> PROGRAMA PRI 4,194 MHz, NAPONU NAPAJANJA 3,3V U TEHNOLOGIJI AMIS 350 NM	51
TABELA 4-3 POREĐENJE POTROŠNJE MIKROKONTROLERA PRE I POSLE OPTIMIZACIJE DINAMIČKE SNAGE; MCU RADI NA 4,194 MHz I NAPONU NAPAJANJA 1,2V; TEHNOLOGIJA JE SYNOPSYS 90 NM	52
TABELA 4-4 POTROŠNJA MIKROKONTROLERA KADA JE LAYOUT PODELJEN NA POWER OBLASTI; REZULTATI SE ODOSE NA AKTIVNI MOD RADA MIKROKONTROLERA, PRI FREKVENCiji TAKTA OD 4,194 MHz I NAPONU NAPAJANJA OD 1,2 V, TEHNOLOGIJA JE SYNOPSYS 90 NM.	53
TABELA 4-5 REZULTATI OPTIMIZACIJE POTROŠNJE U TEHNOLOŠKOM PROCESU TSMC 65 NM..	56
TABELA 5-1 POTROŠNJA MIKROKONTROLERA KOJI JE REALIZOVAN U TEHNOLOGIJI TSMC 65 NM PRI RAZLIČITIM VREDNOSTIMA NAPONA NAPAJANJA	71
TABELA 5-2 POTROŠNJA SISTEMA TOKOM IZVRŠAVANJA RASPOREDA U KOME SVI ZADACI IMAJU TRAJANJE $AET_1=25\text{MS}$	74
TABELA 5-3 POTROŠNJA ENERGIJE SISTEMA TOKOM IZVRŠAVANJA SKUPA ZADATAKA, ZA SLUČAJ $AET_1=5\text{MS}$; $AET_2=25\text{MS}$; $AET_3=45\text{MS}$	75
TABELA 6-1 ADRESE I OPISI MSPI REGISTARA	83

1 Uvod

Ne prestaje težnja projektanata integrisanih kola da mikroprocesorski sistemi imaju što bolje performanse. Mobilni telefoni, tablet uređaji, računari i mnogi drugi prenosivi uređaji se odlikuju grafikom visoke rezolucije, zahtevnim multimedijalnim i komunikacijskim sposobnostima [Cha98]. Prenosivost je dodatni zahtev koji postavlja projektantima uređaja ograničenja u pogledu težine, veličine uređaja i potrošnje. Prenosivi uređaji koriste baterijsko napajanje i danas su sve više prisutni na tržištu. Iako se tehnologija proizvodnje baterija stalno poboljšava, neposredno se nameće zahtev koji se odnosi na smanjenje potrošnje.

Smanjivanje potrošnje integrisanih kola donosi mnoge prednosti, spomenućemo samo neke od njih: veći stepen integracije sistema, smanjivanje površine čipa, smanjivanje učestalosti otkaza i samim tim, produženje radnog veka uređaja [Bor12], [Mik10]. Problemi vezani za snagu disipacije postaju još značajniji kada digitalno kolo treba da bude ugrađeno u složeni integrisani sistem na čipu (SoC), u kome drugi potrošači (kao što su A/D konvertori) imaju prioritet i teško ih je optimizovati sa stanovišta potrošnje [Jov04], [Jov15].

Digitalna kola mogu se implementirati u različitim tehnološkim procesima. Od izbora tehnološkog procesa zavisi niz bitnih karakteristika, kao što su brzina rada, površina čipa i potrošnja. Često je neohodno, pre implementacije samog kola u nekom procesu, proceniti snagu disipacije i odabrati tehnološki proces tako da projektni uslovi budu ispunjeni a snaga disipacije i cena proizvodnje kola minimizovane. Pri projektovanju kola metodom standardnih ćelija, koriste se različite tehnike za smanjivanje dinamičke i statičke komponente snage. One uključuju smanjivanje aktivnosti promene logičkih stanja na vezama u kolu, rad kola pri niskim vrednostima napona napajanja i frekvencije taktnog signala,

simultanu upotrebu različitih biblioteka standardnih ćelija, isključivanje napona napajanja neaktivih blokova, itd.

Mikrokontroler (MCU) predstavlja kompleksan digitalni sistem, koji je teško isprojektovati od nule. Zato mali razvojni centri obično počinju razvoj novog mikrokontrolera počevši od nekog javno dostupnog rešenja. U predloženoj doktorskoj tezi biće opisana nova rešenja IP (*Intellectual Property*) bloka 8051 mikrokontrolera, čija je arhitektura prilagođena ugradnji u složena integrisana kola SoC. Pritom se kao početno rešenje koristi opis koji ima standardni 8051 skup instrukcija i namenjen je implementaciji na FPGA čipovima.

Projektovanje počinje tako što se prvo implementiraju osnovne funkcije mikrokontrolera, koje obuhvataju skup instrukcija i perifernih jedinica. Kolo se zatim projektuje da zadovolji željenu brzinu, koja se ogleda u maksimalnoj taktnoj frekvenciji i broju taktnih ciklusa potrebnih za izvršenje instrukcija. Kada su osnovni funkcionalni zahtevi ispunjeni, počinje se sa optimizacijom kola za minimalnu potrošnju.

U drugom poglavlju disertacije sistematizovani su uzročnici potrošnje snage u digitalnim integrisanim kolima prema mestu i uslovima njihovog nastanka. Kada su vrednosti napona napajanja i temperatura konstantne, snaga disipacije mikroprocesora linearno se uvećava sa porastom vrednosti taktne frekvencije. Komponenta snage koja je proporcionalna taktnoj frekvenciji označava se kao dinamička snaga dok se komponenta snage koja je nezavisna od taktne frekvencije označava kao statička snaga.

Statička snaga ima sve veći udeo u ukupnoj potrošnji integrisanih kola koja su implementirana korišćenjem savremenih tehnoloških procesa. Uzroci statičke snage mogu se podeliti u pet grupa: podpragovska struja curenja, struja curenja koja nastaje zbog tunelovanja elektrona kroz tanki oksid gejta, gejtom indukovana cureća struja drejna, struja inverzno polarisanih p-n spojeva MOS tranzistora i struja proboja osnove koja teče od sorsa ka drejnu. U drugom poglavlju razmatran je udeo pojedinih izvora potrošnje u ukupnoj disipaciji u različitim tehnološkim procesima.

U trećem poglavlju je predstavljen pregled tehnika za redukciju statičke i dinamičke potrošnje, koje se oslanjaju na savremene tehnologije fabrikacije integrisanih kola. Tehnike za smanjenje statičke snage uključuju *Power gating*, upotrebu biblioteka standardnih ćelija sa različitim naponima praga tranzistora, *Transistor stacking*, *Reverse-body bias*, dinamičku promenu napona praga tranzistora u kolu. Jedna od tehnika koja se danas često primenjuje jeste tehnika dinamičkog skaliranja napona napanja i frekvencije (DVFS). Posebno su predstavljene tehnike za redukciju dinamičke potrošnje koje uključuju korišćenje gejtovanog taktnog signala i arhitekturnih optimizacija.

U četvrtom poglavlju prikazana je primena tehnika za smanjenje potrošnje na razvoj novog 8051 mikrokontrolera koji je namenjen ugradnji u SoC kola. Novo rešenje 8051 mikrokontrolera odlikuje se minimalnom potrošnjom za datu tehnologiju u primenama koje ne zahtevaju intenzivnu obradu podataka. Tada mikrokontroler može da radi pri niskom naponu napajanja i niskoj vrednosti frekvencije taktnog signala. Osim toga, zadržava se mogućnost da mikrokontroler radi pri velikoj brzini, kada koristi veće vrednosti napona napajanja i taktne frekvencije.

Nakon usvajanja početnog rešenja, arhitektura MCU se prilagođava osnovnim zahtevima složenog SoC kola. Bira se taktna frekvencija i optimizuje skup perifernih blokova. Pored toga, da bi se snizila cena čipa, za implementaciju programske memorije odabrano je rešenje koje koristi spoljašnju postojanu memoriju i statičku memoriju na čipu. Takođe su isprojektovani memorijski blokovi za smeštanje podataka.

Nakon optimizacije arhitekture i usvajanja fiksnog skupa standardnih ćelija, a u cilju smanjenja potrošnje, primenjene su tehnike koje se fokusiraju na optimizaciju kola. Da bi se smanjila dinamička komponenta snage, primenjena je tehnika gejtovanja taktnog signala. Kako se za implementaciju čipa koriste unapred isprojektovane standardne ćelije iz odabrane tehnologije, to nije moguće koristiti tehnike za smanjenje potrošnje na nivou tranzistora kao što su, na primer, *Transistor stacking* i *Reverse-body bias*.

U mikrokontroleru su implementirani, na nivou sistema, modovi rada, koji isključuju napon napajanja u blokovima koji su neaktivni. Statička snaga je optimizovana podelom arhitekture na oblasti sa odvojenim linijama za napajanje. U oblastima su implementirani posebni prekidači koji se koriste za isključivanje napona napajanja neaktivnih delova kola [Vas04].

Da bi se verifikovala ideja podele *layout*-a mikrokontrolera na oblasti, napravljeni su modeli koji procenjuju snagu disipacije pojedinačnih oblasti i na osnovu njih, izvršena je procena potrošnje mikrokontrolera pri radu u različitim modovima rada. Kreirani modeli omogućavaju procenu snage u primenama koje ne zahtevaju intenzivnu obradu podataka.

Zatim, razmotren je uticaj skaliranja tehnologije standardnih ćelija na potrošnju mikrokontrolera upoređivanjem rezultata dobijenih implementacijom mikrokontrolera koristeći tri različita tehnološka procesa.

U petom poglavlju opisan je novi metod za procenu potrošnje mikrokontrolerskog sistema koji koristi niske vrednosti napona napajanja a pritom treba pouzdano da radi u prisustvu grešaka. Greške koje se manifestuju pri radu mogu se klasifikovati u dve kategorije - permanantne i intermitentne. Sa skaliranjem tehnologije fabrikacije integrisanih kola, i

naročito, radom kola na sve nižim naponima napajanja, savremeni mikroprocesori postaju podložniji intermitentnim grešakama, pa je neophodna primena novih metoda koji ove probleme rešavaju. Permanentne greške mogu dovesti sistem u neispravno stanje koje se ne može prevazići bez nekog oblika hardverske redundanse. Među tehnikama koje su zasnovane na upotrebi hardverske redundanse nalazi se i tehnika *Standby-Sparing*.

Realizovan je sistem koji se bazira na 8051 mikrokontrolerima i implementiran je u savremenim CMOS tehnološkim procesima. Pored pouzdanosti, snaga disipacije je jedan od prioriteta, zato projektovani sistem koristi DVFS i *Power gating* za redukciju potrošnje. Na osnovu merenih vrednosti potrošnje, kreiran je model za procenu potrošnje u uslovima kada sistem koristi tehnike *Time redundancy*, *Standby sparing* i *Shared recovery*.

U šestom poglavlju doktorske disertacije je prikazana praktična primena projektovanog 8051 mikrokontrolera u najsavremenijem telekomunikacionom čipu. Projektovano kolo je ugrađeno u SoC kao IP blok. Čip je fabrikovan i nalazi se u slobodnoj prodaji. 8051 mikrokontroler donosi mnoge prednosti, između ostalih, prednosti su efikasna kontrola parametara i brža kalibracija komunikacionog dela čipa. Predstavljen je način ugradnje 8051 IP bloka u SoC, kao i rezultati implementacije.

Naučno istraživanje, koji će biti spovedeno u doktorskoj disertaciji, obuhvata:

- analizu uzroka potrošnje digitalnih kola,
- analizu metoda ASIC projektovanja mikrokontrolera za malu potrošnju. Posebno će biti obrađene tehnike koje se koriste za optimizaciju dinamičke i statičke potrošnje mikrokontrolera projektovanog metodom standardnih ćelija,
- analizu tehnika koje se koriste za povećanje pouzdanosti rada kola, uzimajući u obzir struje curenja integrisnih kola i rad kola na niskim vrednostima napona napajanja,
- analizu potrošnje IP bloka mikrokontrolera koji je namenjen za ugradnju u složena SoC kola i primena predloženih postupaka u tehnologijama standardnih ćelija CMOS 350 nm, 90 nm i 65 nm,
- procenu potrošnje mikrokontrolera za primene koje se odlikuju malom količinom obrađenih podataka,
- procenu potrošnje mikrokontrolera koji radi pri niskim vrednostima napona napajanja u primenama gde se zahteva pouzdan rad

2 Uzroci disipiranja snage u CMOS kolima

Odredićemo prvo osnovne veličine koje definišu potrošnju integrisanog kola u tehnologiji *Complementary metal-oxide semiconductor* (CMOS): njenu dinamičku i statičku komponentu snage. U definiciji koristimo opis dat u [Vas04].

Kada su vrednosti napona napajanja i temperature konstantne, snaga disipacije integrisanog kola linearno se uvećava sa porastom vrednosti taktne frekvencije. Ekstrapolacijom funkcije snage disipacije od frekvencije do nulte frekvencije dobija se vrednost snage koja je različita od nule i označava se kao statička snaga P_{static} . Komponenta snage koja je proporcionalna frekvenciji označava se kao dinamička snaga $P_{dynamic}$.

$$P = P_{dynamic} + P_{static} \quad (2-1)$$

Dinamička snaga se sastoji od unutrašnje snage, $P_{internal}$, i snage nastale usled promene logičkih stanja (prekidanja) na vezama, $P_{switching}$:

$$P_{dynamic} = P_{internal} + P_{switching} \quad (2-2)$$

Unutrašnja snaga uključuje snagu kratkog spoja P_{sc} i snagu nastalu usled promene stanja na vezama (i kapacitivnostima tranzistora) unutar standardnih ćelija $P_{int-switching}$:

$$P_{internal} = P_{int-switching} + V_{DD}I_{SC} \quad (2-3)$$

Snaga kratkog spoja P_{sc} je posledica kratkog spoja između napona napajanja i mase, tokom kratkog intervala kada PMOS i NMOS tranzistorske mreže istovremeno vode.

$$P_{sc} = \alpha \cdot f_{CLK} \cdot I_{sc} \cdot \left(\frac{t_r + t_f}{2} \right) \cdot V_{DD}, \quad (2-4)$$

gde α predstavlja faktor aktivnosti prekidanja, f_{CLK} taktnu frekvenciju, I_{SC} intenzitet struje kratkog spoja, t_r i t_f vremena uspostavljanja rastuće i opadajuće ivice signala, a V_{DD} napon napajanja.

Na osnovu (2-4) se vidi da je P_{SC} direktno srazmerna struji kratkog spoja I_{sc} . P_{SC} je relativno mala i učestvuje u ukupnoj potrošnji do 20%. Snaga P_{SC} se smanjuje kada se smanjuje vreme rastuće i opadajuće ivice signala (jednačina (2-4)).

Snaga prekidanja $P_{switching}$ čini najveći deo dinamičke potrošnje. Nastaje usled punjenja i pražnjenja kapacitivnosti tokom promene logičkih stanja na izlazima digitalnih kola.

$P_{switching}$ se može izračunati kao:

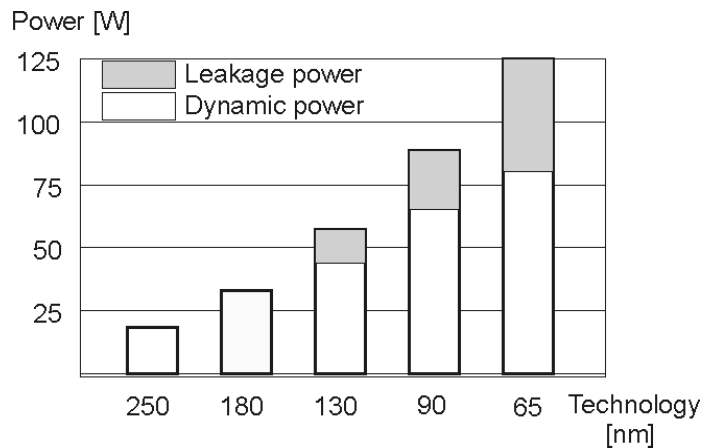
$$P_{switching} = \alpha C_L V_{DD}^2 f_{CLK}, \quad (2-5)$$

gde α predstavlja faktor aktivnosti prekidanja, C_L kapacitivnost kola, V_{DD} napon napajanja, f_{CLK} taktnu frekvenciju.

Jednačina (2-5) obuhvata nekoliko efekata. Prvo, C_L predstavlja srednju vrednost kapacitivnosti opterećenja, koje je povezano na izlaz logičkog kola. Zatim, snaga je skalirana faktorom prekidačke aktivnosti α , koja predstavlja verovatnoću promene logičkog nivoa na izlazu kola. Dinamička snaga raste sa povećanjem taktne frekvencije i proporcionalna je kvadratu napona napajanja V_{DD} .

Statička komponenta snage disipacije se uglavnom povezuje sa strujom curenja koja nastaje u MOS tranzistoru kada on radi u podpragovskom režimu [Bip06]. Pored toga, analogni i mešoviti IP blokovi, koji su prisutni u kompleksnim integrisanim kolima, poput A/D konvertora, izvora referentnog napona i konstantne struje, daju značajan doprinos ukupnoj statičkoj potrošnji kola [Lit00], [Moy01].

U submikronskim tehnologijama smanjena je veličina tranzistora i raste udeo statičke snage u ukupnoj potrošnji kola. Uticaj skaliranja veličine tranzistora na udeo statičke potrošnje čipa prikazan je na Sl. 2-1 (preuzeta iz [Kea07]). Implementacija novih kola i postupaka za upravljanje statičkom potrošnjom je obavezno za sve čipove koji su izrađeni u tehnološkim procesima ispod 90 nm. Pri manjim dužinama kanala MOS tranzistora povećana struja curenja menja postupke projektovanja i utiče na performanse projekata. U nekim projektima statička potrošnja prelazi dinamičku potrošnju i postaje primarni izvor energije disipacije.



Slika 2-1 Udeo statičke i dinamičke disipacije čipa koji je implementiran različitim tehnološkim procesima

2.1 Struje curenja MOSFET tranzistora

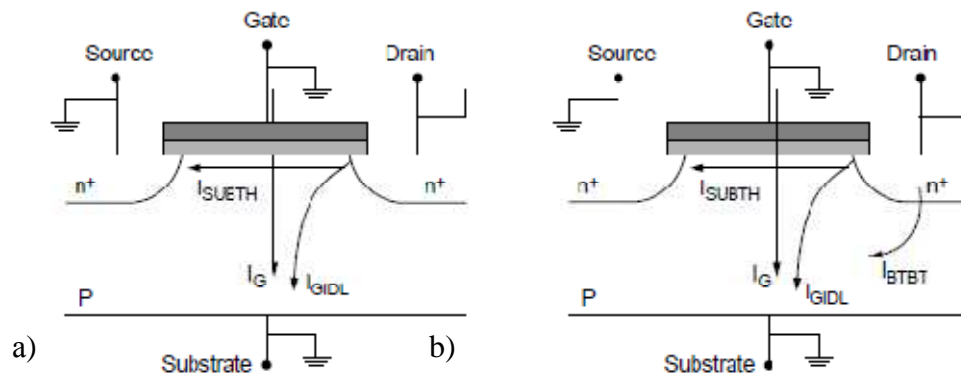
Kod *Metal-oxide semiconductor field effect transistor* (MOSFET) struja drifta teče od drejna ka sorsu pod uticajem napona V_{GS} između gejta i sorsa. Kada je napon V_{GS} veći od napona praga V_{TH} , invertuje se sloj na površini supstrata ispod gejta i struja drifta može da teče. Ukoliko je napon V_{GS} manji od napona praga V_{TH} , površina supstrata nije invertovana. Tada nosioci naelektrisanja u kanalu tranzistora ne mogu da prođu potencijalnu barijeru i struja drifta je jednaka nuli.

Dok je tranzistor zakočen ($V_{GS} < V_{TH}$), različiti fizički procesi uzrokuju struju curenja, koja doprinosi statičkoj potrošnji tranzistora [Lit00]. Na Slici 2-2 (slika preuzeta iz [Pig06]) prikazane su komponente struje curenja, kada je dužina kanala L tehnološkog procesa: a) $50 \text{ nm} < L < 100 \text{ nm}$, b) $L < 50 \text{ nm}$.

Uzroci struje curenja se mogu podeliti u pet grupa:

1. I_G , struja curenja koja nastaje zbog tunelovanja elektrona kroz tanki oksid gejta. Prikazana je na Slici 2-2. I_G protiče između gejta i supstrata, nastaje zbog jakog električnog polja u oksidu gejta.
2. I_{SUBTH} , podpragovska struja curenja, koja protiče od drejna ka sorsu NMOS tranzistora. Predstavlja dominantnu komponentu struje curenja u savremenim tehnološkim procesima (Slika 2-2).
3. I_{GIDL} , gejtom indukovana cureća struja drejna (*Gate induced drain leakage current*) koja protiče od drejna ka supstratu.
4. Struja inverzno polarisanih p-n spojeva MOS tranzistora.

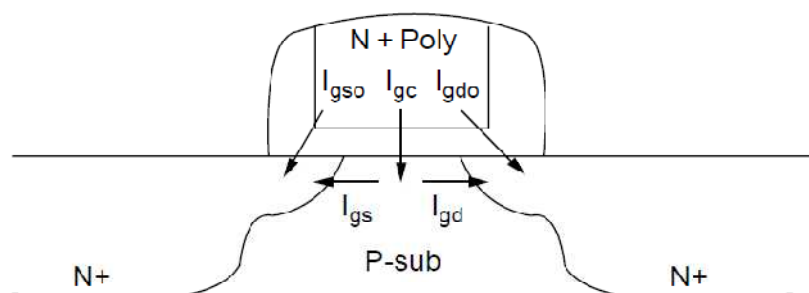
5. I_P , struja proboja osnove koja teče od sorsa ka drejnu. Nastaje zbog postojanja parazitnog bipolarnog tranzistora koga čine sors (emitor), osnova (baza) i drejn (kolektor).



Slika 2-2 Struje curenja NMOS tranzistora u tehnološkom procesu: a) $50 \text{ nm} < L < 100 \text{ nm}$, b) $L < 50 \text{ nm}$

2.1.1 Struja tunelovanja gejta I_G

Cureća struja gejta I_G nastaje zbog tunelovanja nosilaca naelektrisanja kroz oksid gejta [Sta01]. Teče od priključka gejta kroz tanki oksid gejta ka osnovi. I_G nastaje usled prisustva jakog električnog polja u oksidu [Maj00].



Slika 2-3 Komponente struje tunelovanja gejta

Struja tunelovanja gejta sadrži sledeće komponente koje su prikazane na Slici 2-3 (slika je preuzeta iz [Pig06]):

- Struja gejt-kanal I_{GC} , koja delom vodi ka sorsu I_{GCS} , delom ka drejnu I_{GCD} .
- Struja ivičnog direktnog tunelovanja (*Edge direct tunneling* - EDT) između gejta i produžetaka drejna i sorsa ispod gejta $-I_{GD0}$ i I_{GS0} .

Postoje dva mehanizma tunelovanja nosilaca naelektrisanja [Sta01]:

- *Fowler-Nordheim* tunelovanje i

- Direktno tunelovanje

Fowler-Nordheim tunelovanje nastaje usled jakog električnog polja u oksidu gejta, u uslovima kada je oksid deblji od 4nm [Sta01]. Elektroni prelaze kroz potencijalnu barijeru na spoju poluprovodnik-oksid uz gubitak energije za savladavanje potencijalne barijere [Sta01].

Kod direktnog tunelovanja (*DT-Direct Tunneling*) elektroni prolaze kroz tanak oksid do osnove tranzistora bez gubljenja energije na potencijalnoj barijeri spoja oksid-poluprovodnik. Tunelovanje nastaje u MOS tranzistorima sa oksidom tanjim od 4 nm. DT je dominantni mehanizam tunelovanja u tehnološkim procesima ispod 130nm [Maj00].

Gustina struje DT [Pig06] može se predstaviti sa:

$$J_{DT} = J_0 \cdot E_{ox}^2 \cdot e^{-k t_{ox}}, \quad (2-6)$$

gde je J_{DT} gustina direktne struje tunelovanja, E_{ox} jačina električnog polja u tankom oksidu, t_{ox} debljina oksida, J_0 tehnološki parametar podešen da odgovara eksperimentalno dobijenim rezultatima [Pig06]. Parametar k koji se koristi u (2-6) opisan je sa (2-7)

$$k = \frac{2k_0}{3} \frac{\Phi_b}{V_G} \left[1 - \left[1 - \min\left(1, \frac{V_G}{\Phi_b}\right) \right] \right], \quad (2-7)$$

gde je V_G je tehnološki parametar, Φ_b visina potencijalne barijere tunelovanja nosilaca naelektrisanja.

Iz jednačine (2-7) može se zaključiti da se struja tunelovanja uvećava eksponencijalno sa smanjivanjem debljine oksida, što se dešava sa smanjenjem dimenzija tranzistora. Recimo, za NMOS tranzistor, pri promeni tehnološkog procesa sa od 65 nm na 45 nm i istom naponu napajanja $V_{DD}=1,2$ V, povećanje struje tunelovanja gejta iznosi približno 7 puta [Mis12]. Kod relativno malih debljina slojeva oksida (2-3 nm), pri $V_{GS}= 1$ V, smanjenje debljine oksida t_{ox} za svakih 0,2 nm uzrokuje desetostruki porast struje I_G [Cao00].

U tehnologijama ispod 50 nm, tunelovanje nosilaca naelektrisanja između osnove i drejna je dominantno zbog velikih koncentracija nečistoća u supstratu. Zato se u najnovijim tehnološkim procesima umesto silicijum-dioksida (SiO_2) koriste drugi materijali sa većom relativnom dielektričnom konstantom, koji obezbeđuju povećanje kapacitivnosti gejta bez povećanja I_G [Rot02].

Struja curenja gejta zavisi od napona napajanja V_{DD} . Na primer, povećanjem napona napajanja V_{DD} sa 0,2 V na 1,2 V, I_G se povećava sa 1,2 nA na 1,7 μ A.

Promena temperature nema naročiti uticaj na povećanje struje gejta. I_G se povećava sa pretempurom samo oko 2 puta za 100°C [Cao00].

Struja curenja gejta PMOS tranzistora je za jedan red veličine manja nego NMOS pri istim uslovima (debljina oksida t_{ox} i napon napajanja V_{DD}), zato što je verovatnoća tunelovanja šupljina kroz oksid gejta manja od verovatnoće tunelovanja elektrona [Mis12].

2.1.2 Podpragovska struja curenja I_{SUBTH}

U CMOS tehnologijama, podpragovska struja curenja, I_{SUBTH} , je mnogo veća od ostalih komponenti struje curenja [Pig06]. I_{SUBTH} teče između drejna i sorsa kada je napon između gejta i sorsa V_{GS} manji od napona praga V_{TH} i kada postoji dovoljno veliki napon između drejna i sorsa. Tada je postignuta slaba inverzija na površini supstrata ispod gejta. Čak i u uslovima kada je primenjeni napon V_{GS} manji od V_{TH} u kanalu postoji dovoljno nosilaca naelektrisanja da formira struju I_{SUBTH} . Nasuprot jakoj inverziji gde je dominantna struja drifta, kod slabe inverzije u kanalu dominira struja difuzije.

I_{SUBTH} eksponencijalno zavisi od napona između gejta i sorsa V_{GS} i napona između drejna i sorsa V_{DS} [Pig06]:

$$I_{SUBTH} = A \cdot e^{\frac{V_{GS} - V_{TH0} - \gamma V_{SB} + \eta V_{DS}}{n_0 V_T}} \left(1 - e^{-\frac{V_{DS}}{V_T}}\right), \quad (2-8)$$

gde su A – parametar definisan sa (2-9) V_{GS} , V_{DS} , V_{SB} su naponi između gejta i sorsa, drejna i sorsa i sorsa i osnove redom, V_{TH0} napon praga tranzistora pri $V_{SB}=0V$, V_T termički ekvivalent potencijala, n_0 faktor nagiba definisan sa (2-10), γ koeficijent efekta podloge i η koeficijent efekta umanjenja potencijalne barijere uzrokovano drejnom (biće kasnije objašnjen).

Parametar A zavisi od tehnoloških i geometrijskih veličina:

$$A = \mu_0 \cdot C'_{ox} \cdot \frac{W}{L} \cdot V_T^2 \cdot e^{1.8}, \quad (2-9)$$

gde W i L predstavljaju širinu i dužinu kanala tranzistora, μ_0 pokretljivost nosilaca naelektrisanja, C'_{ox} kapacitivnost gejta po jedinici površine.

Faktor nagiba n_0 , dat u jednačini (2-8) jednak je:

$$n_0 = 1 + \frac{C'_D}{C'_{ox}} \quad (2-10)$$

gde je C'_D kapacitivnost osiromašene oblasti po jedinici površine. Parametar n_0 je u vezi sa opsegom podpragovskog vođenja (*Subthreshold swing*) S , koji je opisan jednačinom (2-11)

$$S = \frac{\log_{10}(I_{DS})}{V_{GS}} = n_0 \cdot V_T \cdot \ln 10 \quad (2-11)$$

Opseg podpragovskog provođenja S predstavlja promenu napona na gejtju koja je potrebna da bi se I_{SUBTH} uvećala 10 puta. U postojećim CMOS tehnološkim procesima S iznosi 80-90 mV/dec [Pig06]. Veoma je važno da se vrednost parametra S smanji, naročito kada je napon napajanja ispod 1V. To se obično postiže smanjivanjem debljine oksida gejtja [Pig06].

Zbog efekta podloge (*Body effect*) napon praga V_{TH} se povećava sa povećanjem vrednosti napona inverzne polarizacije spoja sors-supstrat V_{SB} . Efekat podloge je predstavljen u jednačini (2-8) preko sa $\gamma \cdot V_{SB}$, gde je γ koeficijent efekta podloge [Pig06].

Kod tranzistora sa kratkim kanalom, V_{TH} se smanjuje zbog efekta kratkog kanala (*Short channel effects- SCE*) i efekta drejnom indukovano smanjivanja barijere (*Drain induced barrier lowering-DIBL*) [Fje93].

Kod DIBL efekta napon praga tranzistora se dodatno smanjuje kada je napon između drejna i sorsa V_{DS} visok jer je tada osiromašena oblast tranzistora šira. Šira osiromašena oblast privlači više elektrona u kanal, pa je na gejtju potrebna manja količina naelektrisanja da dovede do jake inverzije. Na ovaj način se efektivno smanjuje napon praga MOS tranzistora. DIBL efekat je predstavljen u jednačini (2-8) preko sa $\eta \cdot V_{DS}$, gde je η koeficijent DIBL efekta [Fje93].

U MOS tranzistorima sa dugim kanalom površina osiromašene oblasti drejna i sorsa je zanemarljiva u odnosu na površinu osiromašene oblasti kanala. Kako se sa skaliranjem tehnološkog procesa dužina kanala smanjuje, osiromašene oblasti drejna i sorsa se šire. Uticaj skraćivanja kanala (SCE) na napon praga V_{TH} se može predstaviti preko (2-12):

$$\Delta V_{TH}^{SCE}(Leff) = \frac{ul1}{Leff} - \frac{ul2}{Leff^2} \quad (2-12)$$

gde su $ul1$ i $ul2$ parametri koji zavise od tehnološkog procesa [Pig06], [Mas93].

Podpragovska struja izrazito zavisi od temperature. Uzrok koji najviše doprinosi jeste uticaj temperature na pokretljivost nosilaca naelektrisanja:

$$\mu(T) = \mu(T_r) \left(\frac{T}{T_r} \right)^{-\kappa_1}, \quad (2-13)$$

gde je T apsolutna temperatura, T_r sobna temperatura, κ_1 tehnološki parametar koji je obično u opsegu od 1,2 do 2,0 [Tsi99]. Zbog (2-13), veza između napona praga V_{TH} i temperature je skoro linearna [Tsi99]:

$$V_{TH}(T) = V_{TH}(T_r) - \kappa_2 \cdot (T - T_r), \quad (2-14)$$

gde je parametar κ_2 obično između 0,5 i 3 mV/K. Veće vrednosti κ_2 odgovaraju supstratima sa većom koncentracijom primesa, debljim oksidima, većim vrednostima napona V_{BS} . Zato, povećanje temperature ima eksponencijalan uticaj na povećanje podpragovske struje curenja [Tsi99].

U svakoj narednoj generaciji tehnološkog procesa dimenzije MOS tranzistora se smanjuju. Takođe, smanjuje se vrednost napona napajanja. Da bi se postigle visoke performanse, promene tehnološkog procesa moraju da obuhvate smanjenje napona praga V_{TH} . Međutim, saglasno jednačini (2-8) smanjenje V_{TH} eksponencijalno povećava I_{SUBTH} . Skaliranje tehnološkog procesa stvara niz drugih neželjenih efekata, kao što su uticaj skraćivanja kanala tranzistora na napon praga - SCE, uvećanu otpornost između drejna i sorsa i DIBL efekat [Pig06].

2.1.3 Struja curenja na drejnu uzrokovana gejtom I_{GIDL}

Struja curenja na drejnu uzrokovana gejtom I_{GIDL} (*Gate Induced Drain Leakage- GIDL*) teče od drejna ka supstratu. Nastaje u prisustvu jakog električnog polja, tunelovanjem elektrona od valentnog do provodnog opsega u prelaznu zonu spoja drejn-supstrat ispod oblasti preklapanja gejt-drejn [Ros00]. Nekoliko različitih mehanizama doprinosi I_{GIDL} uključujući termalnu emisiju i *Band-to-band* tunelovanje (BTBT) [Ros00]. Kada je napon na drejnu NMOS tranzistora jednak naponu napajanja V_{DD} i gejt V_G je na potencijalu mase, dolazi do stvaranja parova elektron-šupljina *Band-to-band* tunelovanjem (BTBT) [Pig06]. Zbog visokog potencijala drejna, šupljine se povlače u dubinu osnove dok se elektroni prikupljaju na priključku drejna. Kretanje elektrona formira struju curenja. Povećavanjem napona napajanja V_{DD} , I_{GIDL} raste eksponencijalno [Pig06].

2.1.4 Struje curenja inverzno polarisanih p-n spojeva

Struje curenja inverzno polarisanih p-n spojeva sastoje se od struja curenja spojeva sors/supstrat i drejn/supstrat. Ova komponenta struje značajna je u tehnološkim procesima ispod 50 nm. Nastaje zbog različitih uzroka, kao što su difuzija i termičko stvaranje (*thermal generation*) u osiromašenoj oblasti p-n spojeva [Lee98].

Struja curenja na inverzno polarisanim spojevima se smanjuje ako je spoj dublje inverzno polarisan. U tu svrhu koriste se dodatni naponi polarizacije V_{BBp} (BB -*Body Bias*) i V_{BBn} za polarizaciju osnove PMOS i NMOS tranzistora. Inverzna polarizacija osnove mora da bude u granicama do 0,5 V. Veći naponi mogu da izazovu povećanje struje curenja usled BTBT.

2.1.5 Struja proboja osnove I_P

Struja proboja osnove I_P teče od sorsa ka drejnu zbog postojanja parazitnog bipolarnog tranzistora koga čine sors (emitor), osnova (baza) i drejn (kolektor) [Pig06].

Ako je napon na drejnu dovoljno veliki da osiromaši neutralnu oblast baze, direktna struja I_P teče između sorsa i drejna. Doprinos I_P u ukupnoj struji curenja se menja promenom koncentracije primesa u oblasti osnove [Pig06].

3 Tehnike za smanjivanje potrošnje integrisanih kola

3.1 Podela tehnika za smanjivanje statičke snage

U mnogim primenama digitalni sistemi nemaju veliku brzinu rada ili ne rade sve vreme sa maksimalnim performansama. Primer su mikroprocesori koji periodično obavljaju izračunavanja i koji se tokom dugih vremenskih perioda nalaze u stanju mirovanja (u stanju *Standby*). Tada se u cilju redukcije dinamičke snage ukida takti signal. Ipak, kod kola koja su projektovana u modernim tehnološkim procesima ostaje značajna struja curenja koja može da se smanji upotrebom drugih tehnika.

Low-power tehnike za redukciju statičke snage se fokusiraju na smanjivanje podpragovske struje curenja i u tom cilju koriste vreme dok je kolo u *Standby* stanju [Pig06], [Pet09]. Na osnovu toga kako se i kada koristi vreme u *Standby* stanju, tehnike se mogu podeliti na dve osnovne grupe:

- tehnike koje smanjuju statičku potrošnju tokom projektovanja kola
- tehnike koje smanjuju potrošnju tokom eksploatacije, odnosno rada kola [Pig06].

Smanjivanje statičke snage tokom postupka projektovanja zasniva se na upotrebi biblioteka standardnih ćelija koje koriste različite napone praga MOS tranzistora. Kada je kolo isprojekovano, statička snaga je određena projektom i ne može se dodatno smanjiti tokom rada kola.

Tehnike koje smanjuju snagu tokom rada kola mogu se podeliti na osnovu toga da li se redukcija snage ostvaruje u modu *Standby* ili tokom aktivnog rada. U stanju *Standby*, kolo ne obavlja izračunavanja, tako da se štednja ostvaruje isključivanjem izvora napona napajanja

(*Power gating*) ili primenom tehnike inverzne polarizacije osnove tranzistora (*Reverse body bias*).

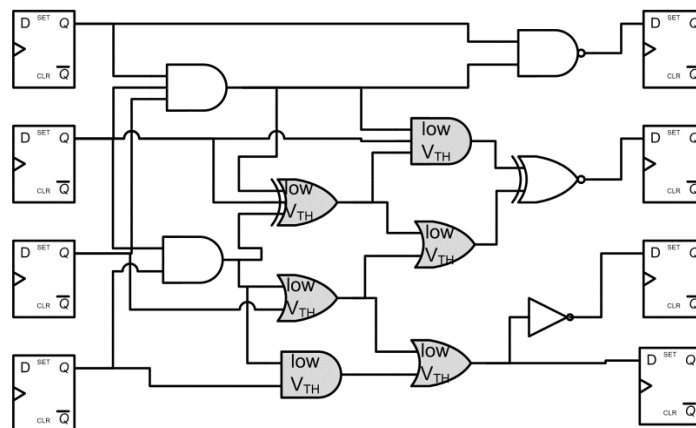
Tokom aktivnog rada, a usled prekidačke aktivnosti kola, povećava se temperatura čipa i sa njom podpragovska struja curenja, pa je problem eliminacije statičke snage još značajniji. Snaga se smanjuje redukcijom napona napajanja V_{DD} ili napona praga tranzistora V_{TH} [Pig06].

3.2 Tehnike koje smanjuju statičku potrošnju tokom projektovanja kola

3.2.1 Čelije sa različitim naponom praga V_{TH}

Novi tehnološki procesi sadrže više biblioteka standardnih ćelija. Biblioteka se sastoji od ćelija koje imaju isti napon praga V_{TH} . Obično su biblioteke dostupne kao:

- biblioteke ćelija sa visokim V_{TH} , u kojima ćelije imaju malu statičku potrošnju ali su sporije
- biblioteke ćelija sa nižim V_{TH} , u kojima ćelije imaju manja kašnjenja ali znatno veće struje curenja [Wei99].



Slika 3-1 Upotreba biblioteka ćelija sa različitim naponom praga V_{TH}

Izbor ćelija sa nižim ili višim V_{TH} se odvija tokom postupka sinteze kola kada se radi analiza kašnjenja kola [Roy03]. Visok nivo V_{TH} dodeljuje se ćelijama koje se nalaze u vremenski nekritičnim putevima propagacije signala [Wei99], [Pet09]. Brže ćelije sa nižim V_{TH} se nalaze na kritičnim putanjama.

Primer logičke šeme nekog kola je prikazan na Slici 3-1. Zasenčene ćelije, koje se realizuju na bazi tranzistora sa nižim V_{TH} , nalaze se na kritičnom putu propagacije signala. Alat za sintezu obavlja vremensku analizu i optimizuje kašnjenja na različitim putevima. Alat prvenstveno koristi ćelije sa višim V_{TH} . U situacijama kada ne može da ispuni vremenska ograničenja sa trenutnim izborom ćelija, alat za sintezu ubacuje brže ćelije umesto sporijih [Wei99].

Prednost biblioteka sa različitim naponom praga V_{TH} jeste da projekat ne zahteva uvođenje dodatnih kola za upravljanje potrošnjom. Osim toga, razlika u statičkoj potrošnji ćelija sa različitim V_{TH} je velika uprkos relativno malim razlikama u kašnjenju pa se performanse kola ne menjaju iako se značajno smanjuje statička snaga [Pig06].

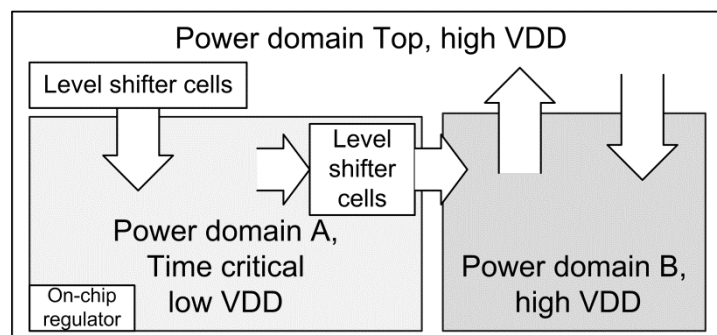
Postoji više načina za dobijanje ćelija sa različitim V_{TH} . Jedan od načina za povećanje V_{TH} jeste povećavanje koncentracije nečistoća u supstratu. Drugi, sa stanovišta fabrikacije kola ekonomičniji način, koristi deblji oksid gejtta t_{ox} [Pig06].

3.2.2 Kola sa različitim naponima napajanja (*Multiple supply voltage*)

U tehnološkim procesima starijim od 180 nm statička komponenta snage je zanemarljiva u odnosu na dinamičku. Iz tog razloga, kada se prvi put pojavila, tehnika skaliranja napona napajanja V_{DD} se koristila isključivo za redukciju dinamičke potrošnje.

Statička potrošnja je značajno porasla u savremenim tehnološkim procesima, tako da korišćenje tehnika za redukciju statičke potrošnje postaje neizbežno već od procesa 90 nm. [Kea07]. Među korišćenim tehnikama za redukciju statičke potrošnje značajno mesto zauzima metod skaliranja napona napajanja.

Koriste se dva metoda skaliranja napona napajanja: statičko i dinamičko.



Slika 3-2 Ilustracija primene tehnike višestrukog napona napajanja (*Multiple supply voltage*)

Kod statičkog skaliranja V_{DD} , ili tehnike projektovanja oblasti sa višestrukim naponima napajanja (*Multiple supply voltage*), *layout* čipa je podeljen na više oblasti (*Power domain*) koje koriste različit napon V_{DD} , kao što je prikazano na Slici 3-2.

Podela kola na oblasti sa različitim V_{DD} se ostvaruje već tokom sinteze kola. Tada se *Register transfer level* (RTL) opis deli na vremenski kritični i nekritični deo. Vremenski kritični deo kola treba da ima veći V_{DD} da bi radio brže; drugi - nekritični deo se napaja nižim V_{DD} i radi na nižoj taktnoj frekvenciji.

Tokom implementacije *layout*-a, kritični i nekritični blokovi se razdvajaju u posebne oblasti. Podela *layout*-a na oblasti sa različitim V_{DD} zahteva da u bibliotekama postoje specijalne ćelije za prenos signala između oblasti. U tom cilju koriste se ćelije za prilagođavanje naponskih nivoa (*Level shifter cells*) [Roy03]. Osim njih, referentni naponski nivoi mogu da budu generisani van čipa ili mogu da budu generisani nekim regulatorom napona smeštenim na čipu.

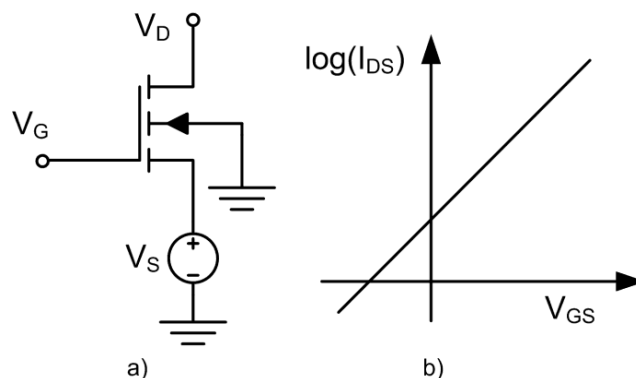
Tehnika *Multiple supply voltage* ne smanjuje performanse kola jer deo kola koji ima veća kašnjenja radi na većem naponu napajanja i većoj taktnoj frekvenciji.

3.3 Redukcija statičke snage tokom aktivnog režima rada

3.3.1 Inverzna polarizacija tranzistora (*Self-reverse biasing*)

Podpragovska struja curenja se smanjuje većom inverznom polarizacijom podloge tranzistora. To je princip koji se koristi kod tehnike *Self-reverse biasing* [Roy03] i prikazan u sledećem primeru. Slika 3-3 (preuzeta iz [Pig06]) prikazuje promenu struje curenja I_{DS} u zavisnosti od napona V_{GS} , kada je priključak gejta NMOS tranzistora $V_G=0$ V. Uvećanje napona na priključku sorsa V_S smanjuje I_{SUBTH} jer:

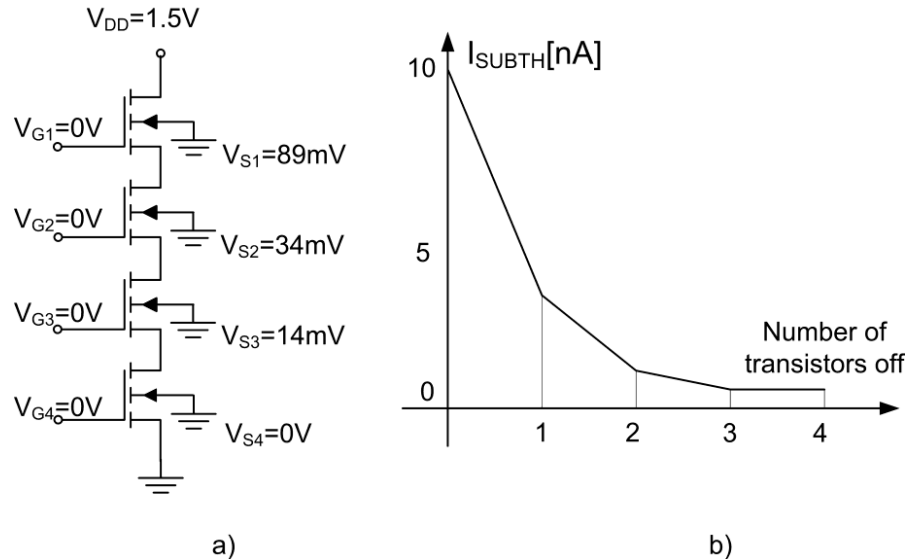
- napon V_{GS} postaje negativan, što eksponencijalno smanjuje I_{SUBTH}
- negativni napon između osnove i sorsa V_{BS} skraćuje kanal tranzistora zbog *Body* efekta, što uzrokuje povećanje V_{TH} .
- V_{DS} se smanjuje i manji je uticaj DIBL efekta na I_{DS} [Pig06]



Slika 3-3 a) Kontrola struje curenja inverznom polarizacijom tranzistora b) zavisnost struje drena od napona V_{GS}

Tehnika *Self-reverse biasing* se zasniva na isključivanju tranzistora koji su povezani u niz [Bor98]. Slika 3-4 a) prikazuje jedan takav niz tranzistora koji čini *pull/down* deo četvoroulaznog NI logičkog kola. Kada neki od tranzistora ne vodi, kolo dolazi u ravnotežno

stanje u kome su cureće struje svih tranzistora jednake. Na Slici 3-4 a) su prikazani naponi na internim čvorovima *pull/down* dela kola u slučaju kada su sva četiri tranzistora isključena. Isključivanjem pojedinačnih tranzistora rastu naponi na internim čvorovima koji uvećavaju inverznu polarizaciju i smanjuju I_{SUBTH} .



Slika 3-4 a) Isključivanje tranzistora u nizu (*Transistor stacking*) b) struja curenja u zavisnosti od broja isključenih tranzistora

U slučaju da je samo jedan NMOS tranzistor isključen, napon na sorsu isključenog tranzistora bio bi blizak 0V. Tada ne dolazi do *Self-reverse biasing* efekta i cureća struja je velika. Kada je više tranzistora isključeno, naponi na sorsevima isključenih tranzistora, koji nisu povezani na masu, biće veći od 0 V. Kako je cureća struja tranzistora I_{SUBTH} eksponencijalna funkcija napona V_{GS} , ukupna struja je određena strujom tranzistora koji ima najnegativniji napon V_{GS} . U primeru kola prikazanom na Slici 3-4 a), tranzistor koji je priključen na napajanje $V_{DD}=1,5$ V ima $V_{GS}=-0,89$ V, pa on određuje cureću struju kola [Pig06].

Slika 3-4 b) prikazuje zavisnost I_{SUBTH} u funkciji broja isključenih tranzistora. Sa slike se vidi da postoji značajna razlika u I_{SUBTH} kada je jedan tranzistor isključen u odnosu na slučajeve kada su bar dva isključena. I_{SUBTH} se tek neznatno smanjuje isključivanjem dodatnog - trećeg tranzistora u odnosu na slučaj kada su dva isključena [Pig06].

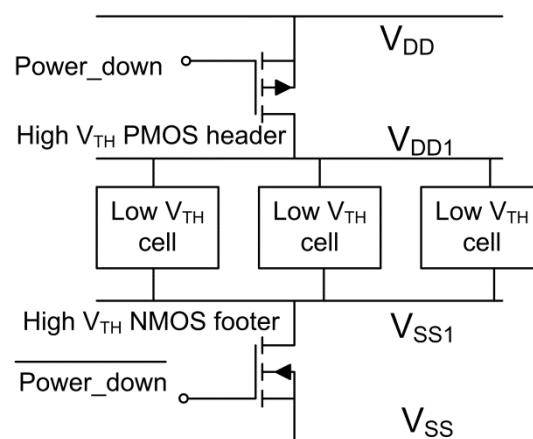
Na osnovu prethodne analize može se izvesti zaključak da naponi na sorsevima zavise od vrednosti ulaznih signala. Zato I_{SUBTH} zavisi od ulaznog vektora - kombinacije nula i jedinica na ulazima kola. Pravim izborom ulaznih signala povećava se broj isključenih tranzistora u nizovima *pull-down* i *pull-up* mreža standardnih ćelija i menja statička potrošnja. U radu

[Che98] je opisana analiza potrošnje kombinacionih kola u zavisnosti od vrednosti ulaznog vektora, kao i metod za nalaženje ulaznog vektora koji daje minimalnu statičku potrošnju.

U savremenim tehnološkim procesima raste struja curenja gejta I_G . U najnovijim procesima struja I_G je veća od I_{SUBTH} iako I_G nije osetljiva na promenu temperature dok je zavisnost I_{SUBTH} od temperature eksponencijalna.

Zbog naglog porasta I_G , minimalna struja curenja se ne dobija isključivanjem svih tranzistora u nizu. Zato, ulazni vektor koji daje minimalnu I_{SUBTH} nije najbolje rešenje [Muk03]. Primer uticaja I_G na izbor testnog vektora za potrošnju je dat u primeru dvoulaznog NI kola [Pig06]. Kada se na ulaze NI kola primeni vektor “00”, javlja se veliki napon između gejta i drejna gornjeg tranzistora niza i I_G raste. I_G se smanjuje ako se primeni vektor “10”, dok se I_{SUBTH} samo neznatno povećava. Dakle, izbor ulaznog vektora “10” ostvaruje veću uštedu u potrošnji nego vektor “00” [Pig06].

3.3.2 Tehnika *Power gating*-korišćenje *Sleep* tranzistora



Slika 3-5 Tehnika isključivanja napajanja upotrebom MTCMOS tranzistora

Power gating je jedna od efikasnijih tehnika koja se koristi za smanjenje statičke snage. Navedena tehnika ukida napon napajanja svakom neaktivnom tranzistoru [Mut95], [Kea07]. Obično se napon istovremeno ukida grupama tranzistora. Topologija tranzistora koja se koristi kao prekidač napajanja je poznata pod nazivim *Multi-threshold CMOS* - MTCMOS. Ova tehnika se sve više koristi u industriji i može da eliminiše do 96 procenata struje curenja [Igd07].

U tehnici *Power gating* po jedan MTCMOS tranzistor se redno vezuje na *pull-up* i *pull-down* delove kola koje se isključuje [Bip06]. Princip povezivanja je prikazan na Slici 3-5. Između linije za napajanje V_{DD} i *pull-up* dela kola se postavlja PMOS tranzistor (*header*).

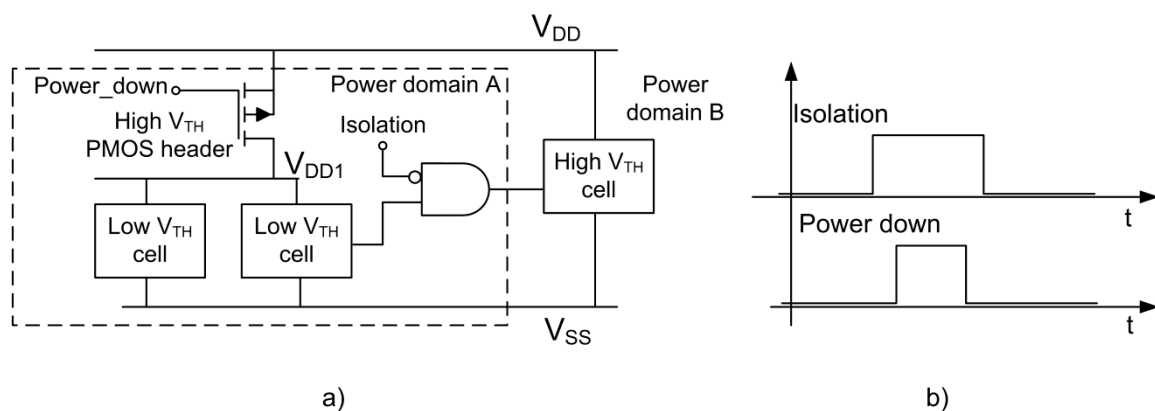
NMOS tranzistor (*footer*) se povezuje između *pull-down* dela kola i mase. Dječnovi MTCMOS tranzistora se međusobno povezuju i formiraju vodove za virtuelno napajanje V_{DD1} i virtualnu masu V_{SS1} [Igd07].

Kontrolni signal upravlja radom MTCMOS prekidača. U primeru koji je prikazan na Slici 3-5 u tu svrhu koristi se signal *Power_down*. Tokom aktivnog moda rada kola, signal *Power_down*=0 i MTCMOS su uključeni. Tada je $V_{DD1}=V_{DD}$. U Standby modu rada, signal *Power_down*=1 i tada MTCMOS tranzistori ne vode. Napon virtuelnog napajanja je $V_{DD1}=0$ V.

Zbog manje otpornosti NMOS tranzistora u stanju provođenja, neki procesi koriste samo *footer* prekidače [Kat09], [Cha97]. Isključivanjem dodatnog MTCMOS tranzistora smanjuje se struja curenja u odnosu na slučaj kada je isključen jedan tranzistor. Dodatna ušteda se postiže kada je V_{TH} MTCMOS tranzistora visok [Cha97].

Čip u kome je prvi put implementirana tehnika *Power gating* je DSP blok koji radi pri naponu napajanja od 1 V [Mut96]. Ugradnjom MTCMOS prekidača smanjuje se statička snaga čipa ali su sa druge strane povećavaju površina kola i kašnjenje [Mut96].

Tehnika *Power gating* zahteva nove tipove ćelija i menja postupak implementacije. Kada se neki blok isključuje važno je obezbediti stabilne CMOS logičke nivoe na izlaznim signalima. U suprotnom, tokom isključenja mogu se javiti struje curenja. U cilju zaštite izlaznih signala koriste se izolacione ćelije [Kea07], [POW09]. Izolacione ćelije obezbeđuju CMOS logičke nivoe na izlazima i raspoređene su u graničnim oblastima bloka. (Slika 3-6 a)).



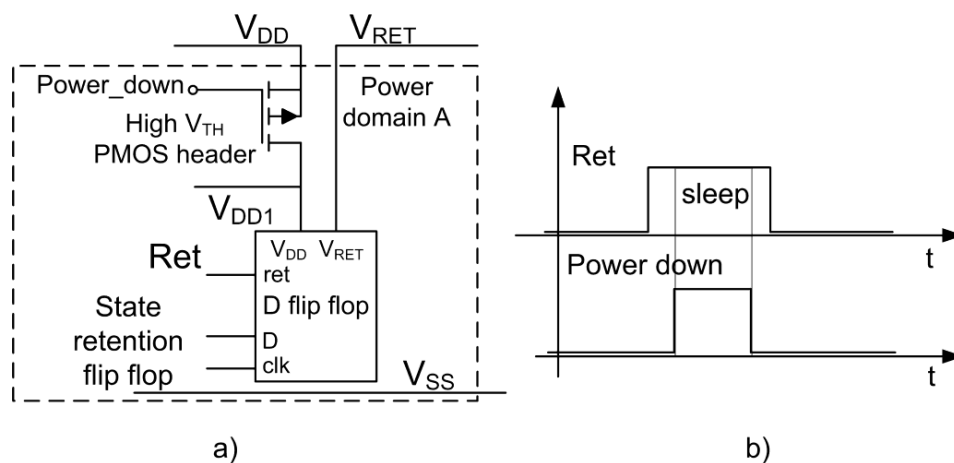
Slika 3-6 a) Primer korišćenja izolacione ćelije i b) vremenski dijagrami koji opisuju rad

Na Slici 3-6 a) prikazan je primer korišćenja izolacionih ćelija. U datom primeru, kolo je sastavljeno je od tranzistora sa niskim V_{TH} . Signal *Power_down* se koristi za kontrolu isključenja. Izolaciona ćelija sprečava propagaciju signala tokom prelaznog režima. Pre

isključenja postavlja se $Isolation=1$, koji izoluje blok tako da se izlazni signal resetuje. Napon napajanja se isključuje preko $Power_down=1$. Sličan postupak se sprovodi i tokom uključenja. Napon se uključuje preko $Power_down=0$. Kada V_{DD} postane stabilan, signalom $Isolation=0$ daje se dozvola za propagaciju signala.

Isključivanjem V_{DD} gube se informacije memorisane u lečevima i flip-flopovima. Jedno od rešenja za čuvanje informacija u Standby stanju jeste korišćenje eksternih memorijskih blokova sa neprekidnim izvorom napajanja. Ovo rešenje koristi dodatna kola za prenos podataka. Nakon uključenja V_{DD} , informacije se prenose iz eksternih memorija u lečve i flip floveve, što može da bude dosta spor proces [Igd07].

Napredniji način za čuvanje informacija jeste korišćenje *State Retention Power Gating* (SRPG) flip flopova [Kea07], [Mah04]. SRPG ćelija je prikazana na Slici 3-7 a). Signali koji opisuju njen rad su prikazani na Slici 3-7 b). Tokom aktivnog moda rada, SRPG flip flop za napajanje koristi V_{DD} (prikazan na Slici 3-7 a)). Tada flip flop može da radi i menja svoje stanje. Pored V_{DD} , za potrebe čuvanja informacija koristi se dodatno napajanje V_{RET} . Kada je napon V_{DD} ukinut, napon V_{RET} je dovoljno veliki da sačuva podatak. Kontrolni signal *Ret* upravlja radom ćelije. Kada je $Ret=1$, SRPG ne može više da menja sadržaj i V_{DD} može da bude isključen. Tada se napajanje ostvaruje preko V_{RET} .



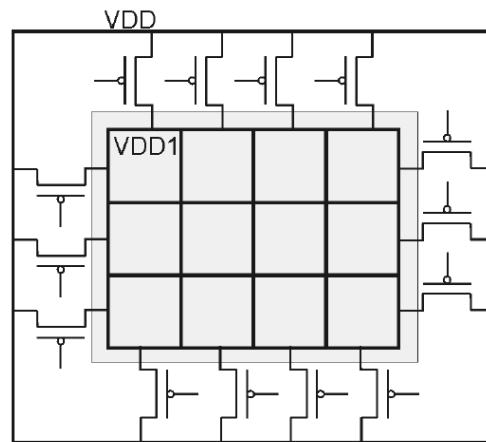
Slika 3-7 a) *State retention* sekvencijalne ćelije i b) vremenski dijagrami koji opisuju rad

Postoji više varijanti *Power gating* koje se razlikuju u načinu realizacije i ugradnje prekidača.

Kod *Fine Grain Power Switch* za svako logičko kolo koristi se po jedan MTCMOS tranzistor, što povećava površinu kola i potrošnju snage [Igd07].

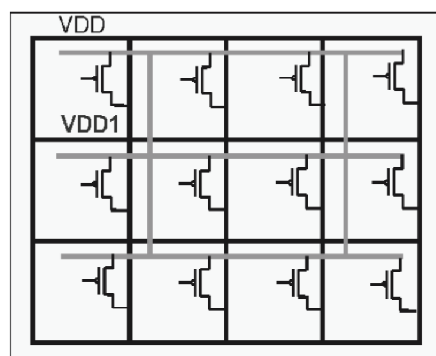
U tehnici *Coarse Grained Power Switch Power gating* prekidači se sastoje iz nizova MTCMOS segmenata. Svaki segment sastoji od jednog ili više tranzistora sa zajedničkim

priključcima za drejn, sors i gejt. Segmenti mogu da budu organizovani na dva načina: u obliku prstena (*Ring style*) oko bloka ili u obliku mreže (*Grid style*) koji se projektuju unutar IP bloka [Igd07].



Slika 3-8 *Ring style* organizacija segmenata *Power switch* ćelija

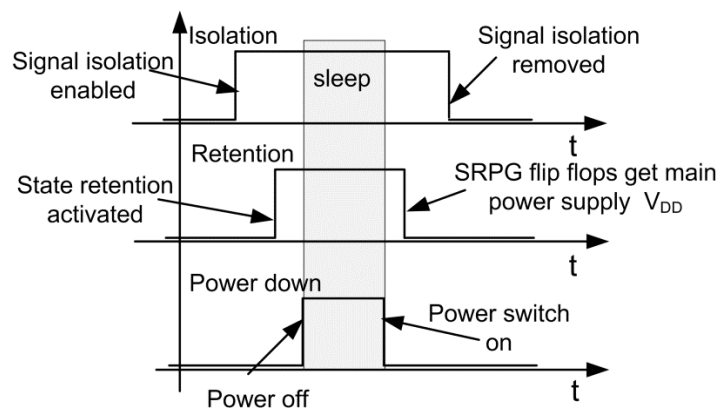
Ring style Coarse Grained Power Switch [POW09] je prikazan na Slici 3-8, ne zahteva puno izmena u standardnom postupku implementacije kola i predstavlja jedino rešenje kada se isključuju već projektovani IP blokovi. Nedostatak je što se izolacione ćelije smeštaju izvan bloka. Ova tehnika nema mogućnost ugradnje *State retention* ćelija. Pad napona na linijama za napajanje V_{DD} i porast napona linijama za V_{SS} (*IR drop*) mogu da budu isuviše veliki i da ometaju pouzdan rad kola [Pig06].



Slika 3-9 *Grid style* organizacija segmenata *Power switch* ćelija

Grid style Coarse Grained Power Switch, koji je prikazan na Slici 3-9, se češće koristi i ima prednosti u odnosu na *Ring style* u vidu bolje kontrole pada napona na vezama, *IR drop*, i efikasnijeg razmeštaja MTCMOS segmenata. Iako pruža manju uštedu u površini čipa, omogućava ugradnju izolacionih i *state-retention* ćelija [Pig06].

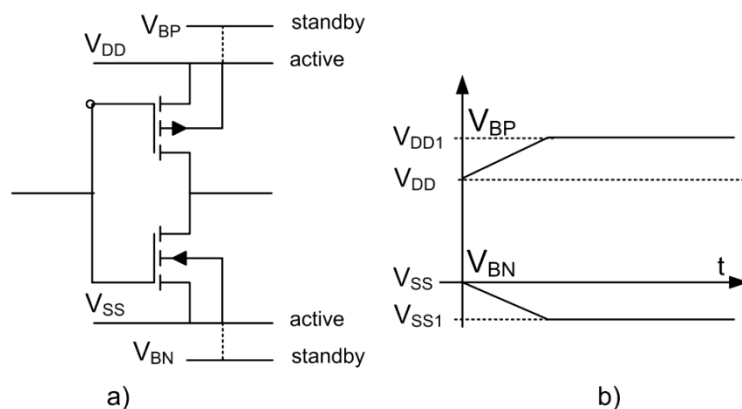
Greške koje nastaju tokom isključenja i uključenja blokova povećavaju statičku potrošnju i uzrokuju neispravan rad kola. Zato se rad kola detaljno verifikuje u prelaznim režimima isključivanja i uključivanja. Postupci tokom isključivanja napajanja obuhvataju izolaciju signala, zadržavanje stanja SRPG registara i isključivanje napona napajanja (Slika 3-10). Prilikom uključivanja važi obrnut redosled, s tim što se dodatno proveravaju postupci resetovanja i inicijalizacije čipa [POW09].



Slika 3-10 Kontrolni signali *Power management unit* (PMU) jedinice koji upravljaju procesima uključenja i isključenja *Power* oblasti

Čip može da sadrži više *Power* oblasti koje koriste različite napone napajanja i kontrolne signale za prekidače, izolatore signala i SRPG ćelije. Složenost projekta nameće potrebu detaljne provere modova rada za uštedu energije. Složeni postupci verifikacije obuhvataju sve moguće kombinacije prelaza između modova rada. Rad kola se detaljno proverava korišćenjem naprednih tehnika, koje su ugrađene u savremene alate za implementaciju kola [POW09].

3.3.3 Variable threshold CMOS (VTCMOS)



Slika 3-11 a) CMOS kolo sa promenljivim naponom praga VTCMOS b) vremenski dijagram napona polarizacija osnova

Kod digitalnih ćelija, koje su implementirane standardnim CMOS postupkom, osnova NMOS tranzistora je priključena za signal mase V_{SS} , dok je osnova PMOS priključena na napon napajanja V_{DD} . Kako su osnove priključene na isti potencijal kao i sorsevi, kaže se da tranzistori imaju nultu polarizaciju osnova (*Zero-body bias* - ZBB) [Pig06].

Struje curenja na inverzno polarisanim p-n spojevima drejn-osnova i sors-osnova se smanjuju ako su spojevi dublje inverzno polarisani. Duboka inverzna polarizacija osnove (*Reverse-body bias* - RBB) dodatno povećava V_{TH} , smanjuje struju curenja i povećava kašnjenje kola. U Standby modu rada, ukidanje struje curenja je važnije od postizanja velike brzine rada, pa korišćenje tehnike RBB daje rezultate.

U cilju implementacije RBB, u Standby modu rada se za polarizaciju osnova, umesto napona V_{SS} i V_{DD} , koriste dodatni naponi V_{BP} i V_{BN} (Slika 3-11). U tom cilju projektuju se posebni vodovi unutar čipa za V_{BP} i V_{BN} , koji uvećavaju površinu čipa [Pig06]. U tehnologiji 0,35 μm primenom RBB, postižu se uštede u struji curenja od tri reda veličine [Kes99]. Promena V_{TH} utiče na performanse kola jer se brzina smanjuje a kašnjenja povećavaju.

U pojedinim tehnološkim procesima V_{TH} može da se menja tokom rada kola. U aktivnom modu rada koristi se slaba inverzna polarizacija, kada je potrebna veća brzina rada. U Standby modu, inverzna polarizacija je veća pa je veća ušteda u statičkoj potrošnji. U nekim se procesima koristi direktna polarizacija osnove (*Forward body biasing* - FBB) [Kes02] koja dodatno povećava brzinu rada tokom aktivnog moda rada.

Opisana tehnika ima više nedostataka. Potrebni su dodatni pinovi za napone napajanja V_{BP} i V_{BN} . Zatim, ugrađuju se specijalne ćelije u *layout* čipa koje obezbeđuju napone V_{BP} i V_{BN} . Uštede u statičkoj potrošnji smanjuje potrošnja generatora napona V_{BP} i V_{BN} u slučaju da je generator integrisan na čipu [Pig06]. Najvažnije je to da sa skaliranjem tehnološkog procesa raste uticaj struje *band-to-band* tunelovanja na inverzno polarisanim p-n spojevima sors/osnova i drejn/osnova pa se struja curenja povećava [Kes99]. Da bi se smanjila struja tunelovanja, napon inverzne polarizacija se zadržava u granicama do 0,5V [Kes99]. Ipak, zbog značajne struje tunelovanja koja je prisutna u procesima ispod 65 nm, primena RBB postaje nepraktična. U procesu 90 nm ušteda u potrošnji iznosi svega 4 puta, dok se u 65 nm postiže ušteda od samo dva puta [TSM05]. U naprednim tehnološkim procesima se umesto RBB radije koristi *Power gating* [TSM05].

3.4 Tehnike koje smanjuju statičku potrošnju tokom rada kola

3.4.1 Dinamičko skaliranje napona napajanja i frekvencije- DVFS

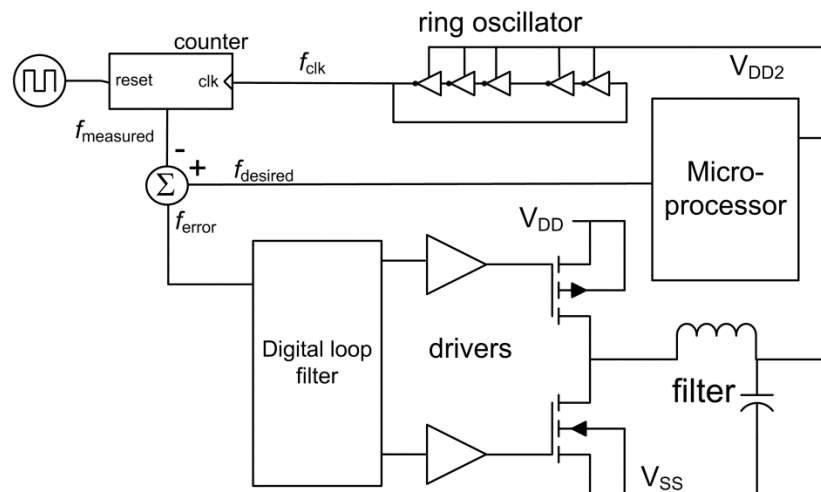
Tehnika dinamičkog skaliranja napona napajanja (*Dynamic V_{DD} scaling* -DVS) menja vrednost napona izvora za napajanje čipa u zavisnosti od trenutnog opterećenja mikroprocesora [Kur98]. Kada nije potrebna velika brzina, manja vrednost napona napajanja dovodi do značajnih ušteda u potrošnji. DVS efikasno smanjuje istovremeno i statičku i dinamičku snagu kola. Promena napona ima kvadratni uticaj na dinamičku komponentu potrošnje.

Postoji nekoliko varijanti tehnike:

- DVS, koja dinamički smanjuje napon na osnovu zahtevanih performansi kola.
- Dinamička promena napona i frekvencije (*Dynamic voltage and frequency scaling* - DVFS).
- Adaptivna promena napona i frekvencije (*Adaptive voltage and frequency scaling* - AVFS) [Pig06].

DVFS istovremeno smanjuje i napon i frekvenciju. Postoji skup raspoloživih parova napona i frekvencije koji se koriste tokom rada kola. Napon i frekvencija se menjaju u diskretnim koracima.

Adaptivna promena napona i frekvencije je proširenje DVFS. AVFS koristi dodatni hardver u vidu zatvorene petlje za dinamičko skaliranje napona napajanja [Kur98]. Performanse kola menjaju se kontinualno. Iako je dodatni hardver složeniji, ušteda u potrošnji je veća nego kod DVFS [Kur98].



Slika 3-12 Tehnika adaptivnog skaliranja napona napajanja i frekvencije –AVFS

Tehnika AVFS -a sadrži tri ključne komponente:

- Operativni sistem koji određuje željenu frekvenciju kola $f_{desired}$.

- Hardversku povratnu petlju koja na osnovu f_{desired} određuje minimalni napon napajanja V_{DD} .
- Mikroprocesor sa velikim opsegom promene napona V_{DD} .

Slika 3-12 prikazuje globalnu šemu AVFS. Operativni sistem na osnovu informacija o aktivnim zadacima određuje minimalnu vrednost taktne frekvencije f_{desired} . Sa promenom vrednosti frekvencije menja se napon napajanja. To se ostvaruje dodatnim hardverom - zatvorenom povratnom petljom van kola mikroprocesora. Dodatni hardver se sastoji od *Ring* oscilatora, DC-DC konvertora i digitalnog filtra [Hon99]. Operativni sistem upisuje željenu frekvenciju f_{desired} u registar (Slika 3-12). *Ring* oscilator se koristi kao replika najdužeg puta propagacije signala mikroprocesora (sa najvećim kašnjenjem u kolu) i prevodi napon V_{DD} u taktnu frekvenciju f_{clock} . Taktna frekvencija f_{clock} se poredi sa f_{desired} i generiše signal greške f_{error} . Na osnovu f_{error} digitalni filter (Slika 3-12) generiše kontrolne signale kola drajvera DC-DC konvertora koji menja V_{DD} [Hon99].

Ugradnja tehnike DVFS menja standardne postupke projektovanja mikroprocesora i zahteva:

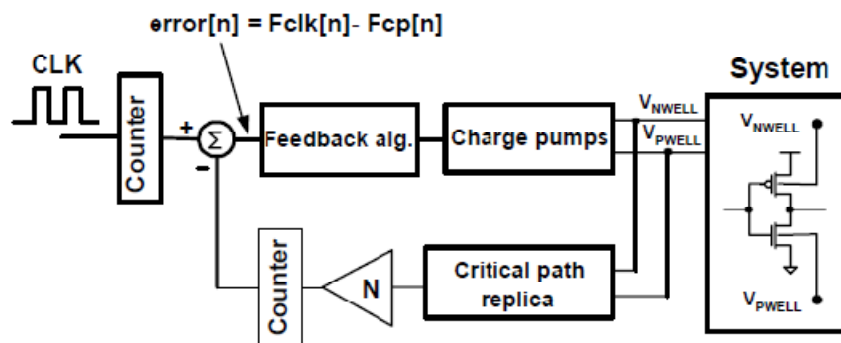
- podelu *layout*-a na oblasti sa različitim naponima napajanja (*Multiple supply voltage*),
- biblioteke standardnih ćelija koje rade u velikom opsegu napona napajanja,
- ugradnju *Level shifter* kola,
- mogućnost promene napona napajanja mikroprocesora,
- minimalne gubitke u energiji tokom prelaza sa jednog napona napajanja na drugi,
- što je moguće kraće vreme prelaza sa jednog napona napajanja na drugi,
- mogućnost promene frekvencije taktnog signala da bi se kolo prilagodilo novom naponu napajanja,
- kolo za upravljanje potrošnjom koje računa novu vrednost frekvencije na osnovu trenutnog opterećenja procesora [Pig06].

3.4.2 Dinamička promena napona praga kola V_{TH}

Primena tehnike *Variable Threshold CMOS* nije toliko efikasna kada se u kolu većina tranzistora nalazi na vremenski kritičnim putanjama. Zato se umesto tehnike *Variable Threshold CMOS* koristi tehnika dinamičke promene V_{TH} .

Kada kolo ne mora da radi velikom brzinom, osnova NMOS tranzistora se polarizuje negativno i time se napon V_{TH} povećava. Sličan postupak se sprovodi sa PMOS tranzistorima koji zahtevaju polarizaciju osnove pozitivnim naponom [Kim02]. Dinamička promena

napona praga se ostvaruje upotrebom dodatnih spoljnih kola koja čine zatvorenu povratnu petlju za regulaciju napona V_{TH} . Dodatni hardver se sastoji od izvora napona promenljivog napona napajanja i kola replike kritične putanje u vidu *Ring* oscilatora [Kim02]. Slično tehnici DVFS, operativni sistem na osnovu informacija o aktivnim zadacima, određuje željenu radnu frekvenciju. Sa promenom frekvencije menja se napon polarizacije osnova V_{PWELL} i V_{NWELL} (Slika 3-13) [Cha98]. Za generisanje napona napajanja osnova koriste se jednostavnija kola *Step-up* konvertora, umesto DC-DC konvertora koji se koristi u tehnici DVFS [Pig06].



Slika 3-13 Tehnika dinamičkog skaliranja napona praga V_{TH}

Tehnika dinamičke promene napona praga V_{TH} je primenjena tokom projektovanja integrisanog kola MPEG4 Video Codec [Nos01]. Napon praga NMOS tranzistora tokom aktivnog rada kola bio je $V_{TH}=0,2$ V, a tokom Standby je bio $V_{TH}=0,55$ V [Nos01].

3.5 Tehnike za optimizaciju dinamičke potrošnje kola

Veliki broj tehnika koje se koriste za smanjenje dinamičke snage su sastavni delovi modernih alata za sintezu kola [Cad00c], [Syn00c]. Najveći doprinos smanjenju potrošnje daju sledeće tehnike:

- gejtovanje takta,
- izolacija operanada,
- restruktuiranje logičkih kola,
- dimenzionisanje standardnih ćelija,
- dodavanje kola bafera (*transition rate buffering*) i
- zamena pinova ćelija (*pin swaping*) [POW09].

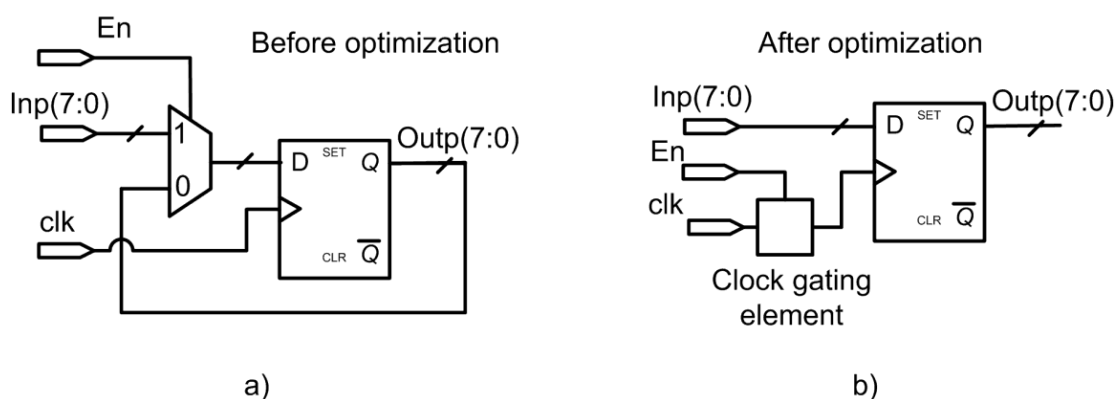
Alati za sintezu obavljaju i deo pripremnih postupaka koji se sprovode u cilju implementacije tehnika DVFS, *Power gating* i *Multiple supply voltage*.

3.5.1 Optimizacija stabla takta - *Clock gating*

Tehnika gejtovanja stabla takta (*Clock gating*) sprečava propagaciju taktnog signala u cilju smanjenja dinamičke potrošnje [Ben94], [Wu00]. U tom cilju koriste se specijalne ćelije za gejtovanje.

Taktni signal menja frekvenciju, u svakom ciklusu, bez obzira da li se u registre i sekvencijalne elemente upisuju nove informacije. Stablo takta se sastoji od standardnih ćelija bafera i invertora koji menjaju stanja na izlazima maksimalnom brzinom. Kapacitivno opterećenje stabla je veliko, pa stablo predstavlja veliki izvor potrošnje energije. Energija se najviše gubi kada se podaci u registrima ne menjaju ili kada se menjaju retko.

Gejtovanje signala prvenstveno smanjuje nepotrebnu promenu stanja na izlazu ćelija u stablu takta, i posredno, smanjuje promenu stanja signala na izlazima standardnih ćelija kola. Pored toga, utiče na smanjenje kapacitivnosti stabla i broja ćelija bafera i invertora u stablu. Primenjuje se na nivou registara ili većih blokova [Ben94], [POW09].



Slika 3-14 Tehnika gejtovanja taktnog signala: a) kolo pre, b) posle primene tehnike

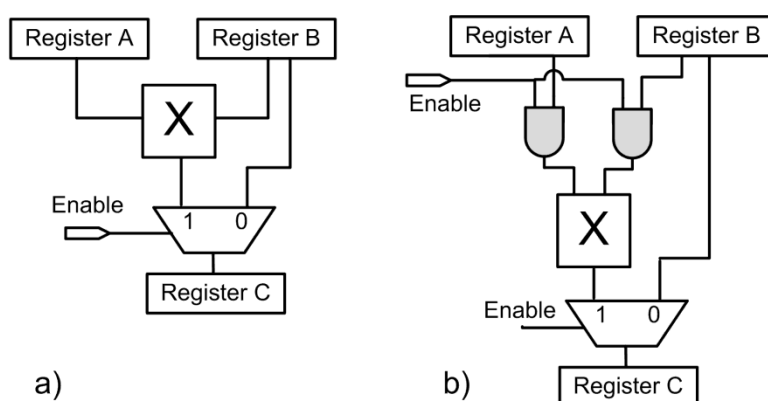
Jedan od načina za implementaciju tehnike jeste da alat za sintezu [Cad00c], [Syn00c] automatski ugradi kola za gejtovanje. Zato se u podešavanjima alata specificiraju signali i registri kola čiji se taktni signali gejtuju. Alat prepoznaje blokove koji su pogodni za primenu tehnike i u njih ugrađuje kola za gejtovanje.

U primeru kola sa Slike 3-14, RTL opis kola sadrži registar i jedan multiplekser. Slika prikazuje kolo pre i posle postupka optimizacije. Umesto multipleksera, u modifikovanom kolu se ulazni signal za podatke vezuje direktno za ulaz registra. Dodatno kolo za gejtovanje, kontrolisano signalom dozvole upisa, generiše po jedan taktni impuls prilikom svakog upisa novih informacija u registar. Na taj način smanjen je broj promena stanja signala na ulazu za takt registra koji ima veliku kapacitivnost.

3.5.2 Izolacija operanada- *Operand isolation*

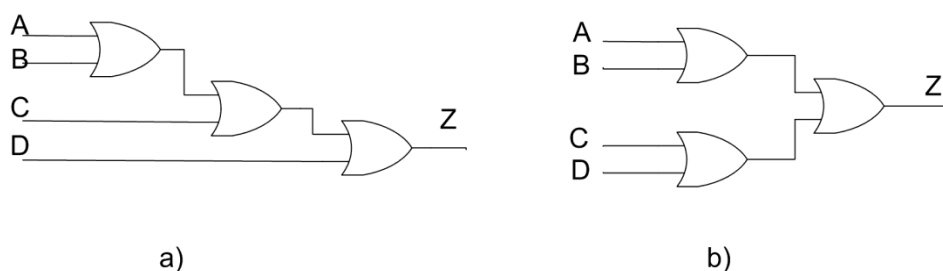
Tehnika *Operand isolation* spečava nepotrebnu prekidačku aktivnost blokova i smanjuje dinamičku potrošnju [POW09]. Upotrebljava se kod aritmetičkih kola čiji se izlazi samo povremeno koriste i pod kontrolom signala dozvole njihovi rezultati upisuju u registre. Kada je signal dozvole neaktivan, na ulaze aritmetičkog kola postavljaju se konstantne vrednosti i time sprečava nepotrebna aktivnost kola [Moy01].

Tehnika *Operand isolation* [Tsu93] sprovodi se tokom postupka sinteze kola [Cad00c], [Syn00c]. Digitalno kolo sa Slike 3-15 se koristi za ilustraciju tehnike. Registar C koristi rezultat kola množača kada je kontrolni signal *Enable* aktivan. Kada je *Enable* neaktivan, dinamička energija kola množača se gubi, jer tada registar C uzima vrednost drugog registra B. Gubitak energije se sprečava izolacijom ulaza kola množača. Modifikovano kolo je prikazano na Slici 3-15 b). Promena arhitekture kola se sastoji u dodavanju logičkih I kola ispred ulaza množača. Pod kontrolom signala dozvole *Enable*, nova logička kola sprečavaju nepotrebnu aktivnost množača.



Slika 3-15 Tehnika *Operand isolation*: a) kolo pre, b) posle primene tehnike

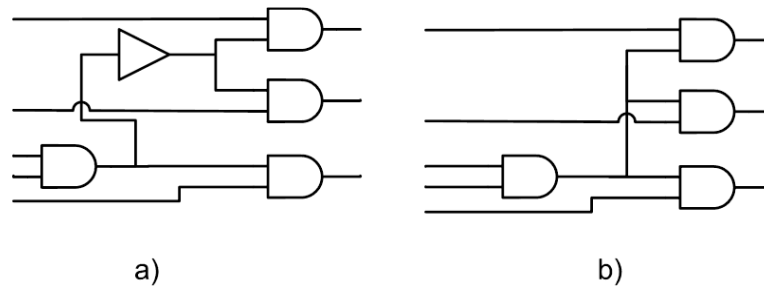
3.5.3 Restruktuiranje logičkih kola-*Logic restructuring*



Slika 3-16 Tehnika *Logic restructuring*: a) kolo pre, b) posle primene tehnike

Tehnika *Logic restructuring* [POW09], [Pet09] smanjuje prekidačku aktivnost kola i time dinamičku potrošnju tako što menja strukturu kola. Ipak, promene u strukturi kola ne menjaju osnovnu logičku funkciju kola. Na primeru kola sa Slike 3-16, umesto tri stepena propagacije signala originalnog kola, novo kolo ima dva stepena i smanjenu prekidačku aktivnost.

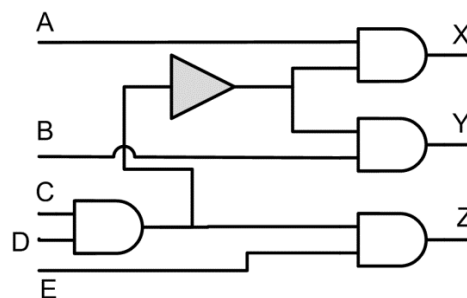
3.5.4 Dimenzionisanje ćelija - *Logic resizing*



Slika 3-17 Tehnika *Logic resizing*: a) kolo pre, b) posle primene tehnike

Tehnika dimenzionisanja ćelija (*Logic resizing*) [POW09] uklanja nepotrebna kola bafera u nekom kombinacionom kolu. Pritom se u kolo ubacuju standardne ćelije prilagođene za veća kapacitivna opterećenja. Smanjuje se broj ćelija, površina i dinamička snaga. Slika 3-17 je preuzeta iz [POW09] i prikazuje kolo pre i posle primene tehnike *Logic resizing*.

3.5.5 Tehnika dodavanja kola bafera - *Transition rate buffering*



Slika 3-18 Tehnika *Transition rate buffering*: kolo posle primene tehnike

Tehnika dodavanja kola bafera - *Transition rate buffering*, u originalni RTL opis kola dodaje kola bafera u cilju izjednačavanja kašnjenja na različitim putevima propagacije signala [Moy01]. Time se smanjuje broj gličeva tokom rada kola [Tsu93]. Slika 3-18 (preuzeta iz [POW09]) prikazuje kolo posle primene navedene tehnike. U kolo je dodato novo kolo bafera koje je prikazano zasenčeno na slici.

do smanjenja dinamičke potrošnje. Pored toga, specifikacija skupa instrukcija može imati presudan uticaj na smanjenje snage disipacije. Neke od studija predlažu korišćenje asinhronih kola [Lee08]. Druge predlažu korišćenje mikrokontrolera, koji je zasnovan na redukovanom skupu instrukcija (*Reduced Instruction Set Computers - RISC*) [Lim99].

U mnogim mikroprocesorima sa niskom potrošnjom, veoma je bitno da se optimizacija sprovede što ranije, na nivou sistema ili arhitekture. Svaka odluka doneta na nivou arhitekture ima veliki uticaj na potrošnju sistema [Arn00], [Jov12].

Optimizacija digitalnih kola, koja se sprovodi na nivou logičkih gejtova uključuje tehnike gejtovanja taktnog signala (*Clock and data gating techniques*). Osnovni cilj tehnika gejtovanja takta jeste ograničavanje ili kompletno ukidanje promene stanja na ulazima i izlazima digitalnih kola kada je kolo neaktivno (jednačina (2-5)) [Ben94]. Dodatne uštede u dinamičkoj komponenti snage se postižu tokom procesa sinteze kola. Algoritmi za sintezu kombinacionih logičkih blokova, koji su ugrađeni u komercijalne alate za projektovanje postižu smanjenje dinamičke komponente snage do 21% uz povećanje površine čipa do 13% [Tsu93].

Na tehnološkom nivou razmatra se projektovanje samih standardnih ćelija. Metodi, koji se koriste za optimizaciju su: upotreba biblioteka ćelija koje koriste različite napone praga V_{TH} [Wei99], *Adaptive body biasing* [Meh12], dinamičko skaliranje napona i frekvencije kola (*Dynamic voltage and frequency scaling - DVFS*), *Transistor stacking* i gejtovanje vodova za napajanje kola (*Power gating*) [Bip06].

Tehnika gejtovanja linija (vodova) za napajanje, koja je korišćena tokom implementacije mikrokontrolera ARM926 [Igd07], postiže smanjenje statičke potrošnje od 95% u *Power saving* modu rada mikrokontrolera. Ista tehnika opisana u [Mis11] efikasno smanjuje statičku snagu ARM mikrokontrolera tokom aktivnog režima rada.

U radu [Hem06] analiziran je odnos statičke i dinamičke komponente snage mikrokontrolera u primenama koje se odlikuju malom količinom obrađenih i prenetih informacija. Rad analizira više tehnoloških procesa u kojima se koriste *Power gating* i *Adaptive-body-bias* tehnike za kontrolu struje curenja i smanjenje statičke potrošnje.

U radu [Zha09a] analiziran je rad mikroprocesora u podpragovskom režimu rada pri vrednosti napona napajanja od 360 mV, koji koristi tehniku DVFS za smanjenje dinamičke potrošnje. U radu se razmatraju načini rešavanja problema, koji nastaju tokom fabrikacije kola i nastaju zbog varijacije parametara tehnološkog procesa. Varijacije su izražene kod kola koja su implementirana u savremenim tehnološkim procesima i rade na niskim naponima napajanja.

U radu [Kwo09] razmatrani su izazovi, koji postoje pri projektovanju 16-bitnog mikrokontrolera koji radi u podpragovskom režimu rada, na naponu napajanja od 300 mV. Mikrokontroler je implementiran bibliotekom standardnih ćelija, koja je specijalno projektovana da radi na niskim vrednostima napona napajanja. Standardne ćelije, koje pripadaju projektovanoj biblioteci koriste nizak napon praga V_{TH} . Opisani su različiti pristupi koji rešavaju problem varijacije parametara kola. Opisane tehnike eliminišu nepravilnosti u funkcionisanju kola, koje se javljaju usled promena kašnjenja standardnih ćelija, koje su istog tipa i rade pod istim radnim uslovima.

4 ASIC projektovanje mikrokontrolera za malu potrošnju

4.1 Promene u arhitekturi IP bloka mikrokontrolera radi implemenatcije čipa metodom standardnih ćelija

U doktorskoj disertaciji se razmatra uticaj skaliranja tehnološkog procesa na dinamičku i statičku potrošnju mikrokontrolera koji koristi standardni 8051 skup instrukcija. Rezultati vezani za procenu snage disipacije dobijeni su implementacijom mikrokontrolera korišćenjem tri različita tehnološka procesa.

8051 mikrokontroleri su se prvi put pojavili davne 1980. godine. Oni danas i dalje nalaze značajnu primenu u industriji. Koriste skup asemblerskih instrukcija koji je još uvek veoma primenljiv i podržan u mnogim komercijalnim alatima koji se koriste za razvoj softvera.

Iako su 8051 mikrokontroleri odavno dostupni na tržištu kao diskretne komponente, danas se često koriste kao IP (*Intellectual property*) blokovi koji se ugrađuju u složene sisteme integrisane na čipu (SoC). Zbog manje površine čipa koju zauzimaju i uštede u snazi disipacije, IP jezgra 8051 mikrokontrolera se radije koriste umesto 32-bitnih procesora [LIM15b]. 8051 jezgra, dostupna u obliku VHDL i Verilog opisa ili netliste standardnih ćelija, integrišu se u mnoge *Embedded* sisteme, od USB Flash memorija do kompleksnih bežičnih telekomunikacionih sistema. Mi smo to iskusili pri projektovanju Integrisanog merača potrošnje električne energije [Jov04], [Jov10]. Jedan od blokova SoC kola Integrisanog merača jeste upravo 8051 IP blok. Takođe, kolo 8051 mikrokontrolera je

ugrađeno u telekomunikacioni SoC [LIM15b]. Način ugradnje IP bloka i rezultati biće dati u poslednjem poglavlju.

U odnosu na originalnu verziju mikrokontrolera iz 1980. godine, savremena IP jezgra imaju unapređenu, bržu arhitekturu. Skup instrukcija je ostao isti. Brzina se ogleda u izvršenju instrukcija i znatno većoj taktnoj frekvenciji. Vreme izvršenja jedne 8-bitne instrukcije kod originalnog Intel 8051 je 12 taktnih ciklusa. Recimo, pri taktnoj frekvenciji od 12 MHz, MCU izvršava milion instrukcija u sekundi. Nasuprot tome, savremena 8051 jezgra izvršavaju jednu 8-bitnu instrukciju u samo jednom taktnom ciklusu i imaju maksimalnu taktnu frekvenciju od više stotina MHz.

Za polaznu osnovu u razvoju novog 8051 mikrokontrolera, koji je implementiran metodom standardnih ćelija, uzet je *Register transfer level* (RTL) opis [Vog12] koji je prevažodno namenjen implementaciji na FPGA. Polazno rešenje sadrži osnovne perifериjske jedinice:

- komunikacioni modul - *Asynchronous Universal Receiver/Transmitter* (UART),
- kola tajmera/brojača
- digitalne ulazno/izlazne portove.

Da bi se ugradio u SoC [Jov10], [LIM15b], originalni RTL opis kola je značajno izmenjen. Glavne promene se odnose na:

- dodavanje novih perifериjskih jedinica,
- zamenu memorijskih blokova,
- implementaciju novih metoda za programiranje i inicijalizaciju čipa.

Globalni plan novog 8051 mikrokontrolera je prikazan na Slici 4-1. Sastoji se od jezgra, memorijskih blokova, perifериjskih jedinica i bloka za programiranje i inicijalizaciju programskog kôda.

Ugradnja u SoC zahteva tri digitalna ulazno/izlazna paralelna porta, tri kola tajmera/brojača i nekoliko komunikacionih modula. U odnosu na rešenje [Vog12], pored postojećeg UART bloka, implementirani su i ugrađeni u MCU novi komunikacioni moduli:

- *Inter-integrated circuit* (I2C) bloka i
- *Serial protocol interface* (SPI) bloka.

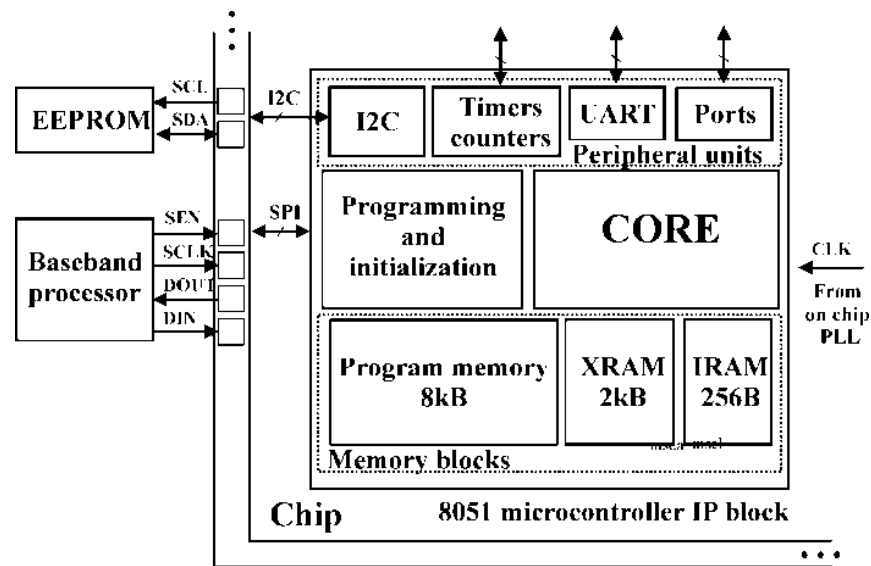
8051 mikrokontroler ima odvojene memorije za podatke i programski kôd. Programska memorija je kapaciteta 8 kB. Pored nje, koriste se još i interna memorija za podatke – *Internal RAM* (IRAM) kapaciteta 256 B i eksterna memorija *External RAM* (XRAM), koja

je kapaciteta 2 kB. Mikrokontroler poseduje još i skup specijalnih funkcijskih registara (*Special function register -SFR*) koji se realizuju D flip-flopovima.

U cilju implementiranja čipa metodom standardnih ćelija, u mikrokontroler su ugrađeni novi SRAM blokovi. Naime, umesto ROM memorije, koja se koristi za smeštanje programskog kôda u početnoj (FPGA) verziji mikrokontrolera [Vog12], nova verzija koristi SRAM memoriju, koja je napravljena od dva ASIC bloka kapaciteta po 4 kB. Memorijski blokovi za podatke – IRAM i XRAM sačinjeni su takođe od ASIC SRAM blokova. Umesto spoljašnje XRAM memorije, nova XRAM memorija je integrisana na čipu. U početnoj verziji [Vog12] IRAM se implementira od D flip-flova, dok je IRAM u novoj arhitekturi realizovan ASIC blokom, što značajno smanjuje površinu čipa i potrošnju.

Da bi se dalje smanjila cena fabrikacije SoC čipa, odlučeno je da IP blok mikrokontrolera ne koristi integrisanu EEPROM memoriju za trajno čuvanje programskog kôda. Umesto toga, koristi integrisanu SRAM memoriju i jedan spoljašnji EEPROM čip, koji je povezan sa mikrokontrolerom preko I2C serijske magistrale.

U cilju implementacije novih metoda za programiranje i inicijalizaciju čipa, kreiran je novi blok za programiranje i inicijalizaciju programskog kôda (*Programming and initialization block- PIB*) koji je prikazan na Slici 4-1.



Slika 4-1 Blok dijagram mikrokontrolera

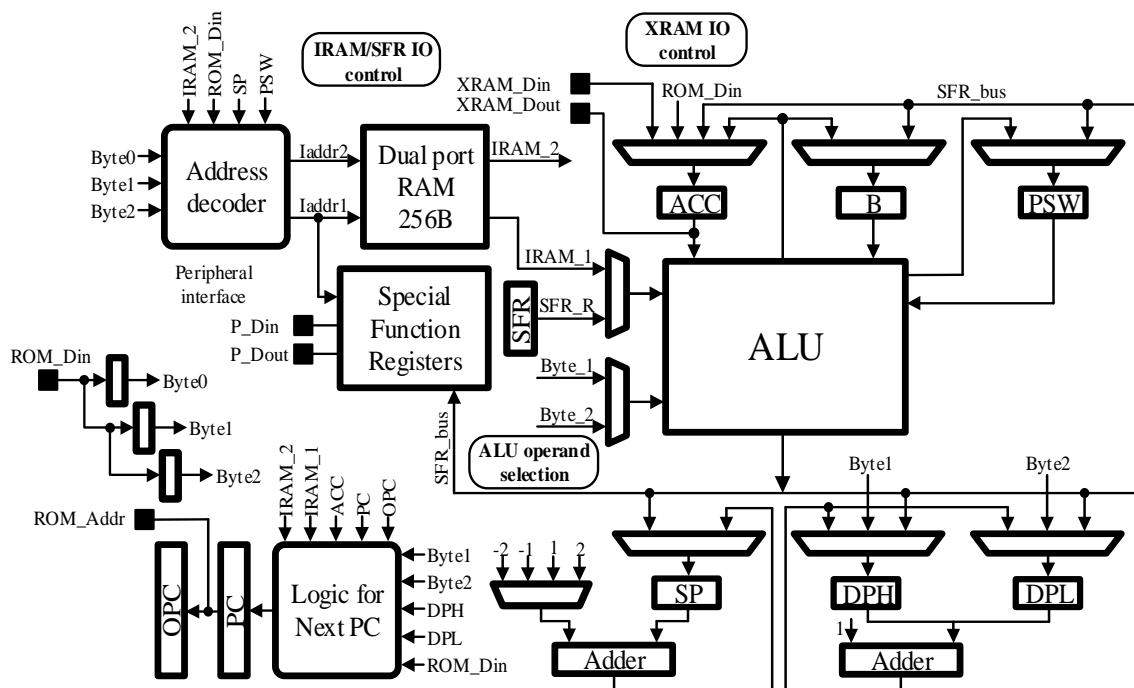
Blok PIB upravlja operacijom programiranja i inicijalizacije programske SRAM memorije iz spoljašnje EEPROM memorije. Svaki put nakon resetovanja, kada se kôd čita kroz serijski I2C interfejs i smešta u SRAM programsku memoriju, programska SRAM se kompletno inicijalizuje sadržajem EEPROM-a. Blok PIB se takođe koristi tokom postupka

programiranja čipa. MCU se programira preko eksternog *Baseband* procesora koji je povezan preko SPI magistrale (Slika 4-1). MCU prihvata programski kôd kroz SPI interfejs i smešta programski kôd u obe memorije - integrisanu programsku SRAM memoriju i eksterni EEPROM čip.

Jezgro (CORE) obavlja operacije pribavljanja, dekodiranja i izvršavanja instrukcija. Sastoji se iz skupa logičkih blokova, aritmetičko-logičke jedinice (ALU) i SFR registara. Jedan od parametara, koji karakteriše brzinu mikrokontrolera jeste broj taktova po instrukciji (*Clocks per instruction* ili CPI faktor). Za optimizovani 8051 mikrokontroler CPI je jednak jednoj jednobajtnoj instrukciji koja se izvršava u dva takta ciklusa. Inače, mikrokontroleri koji imaju mali CPI faktor obavljaju zadatke koristeći manji broj taktnih ciklusa i jasno je da troše manje energije nego mikrokontroleri koji imaju veći CPI [Lim99].

Detaljna arhitektura MCU jezgra je data na Slici 4-2. Glavni blokovi jezgra su:

- 256B Dual Port RAM memorija, ili interna RAM memorija,
- Skup SFR registara, koji uključuje registar akumulator (ACC), *Program status word* (PSW), *Stack pointer* (SP), *Data pointer* (DTPR) i druge registre,
- Aritmetičko-logička jedinica (ALU),
- Skup kontrolnih logičkih blokova



Slika 4-2 Arhitektura novog jezgra mikrokontrolera

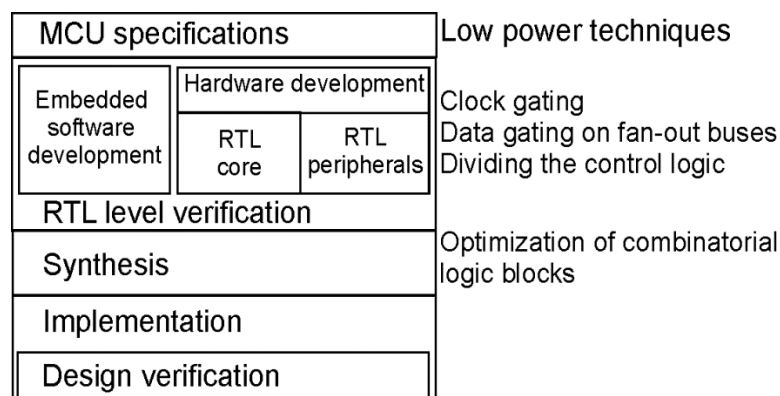
U odnosu na rešenje [Vog12], proces pribavljanja instrukcija/dekodiranja/izvršavanja je podeljen na više pod-operacija, koje su implementirane posebnim kontrolnim blokovima:

- *Address decoder* - Dekoder adrese generiše adresne linije Dual-Port RAM memorije i SFR registara. Adresa se formira na osnovu opkoda instrukcije i vrednosti PSW i ACC registara.
- *Logic for next PC* - Kontrolna logika generiše narednu vrednost programskog brojača PC
- *ALU operand selection* - Kontrolni blok selektuje operande ALU: bira vrednost pročitane iz IRAM memorije, SFR registara ili neposredni operand, koji se dobija kao deo opkoda instrukcije.
- *RAM/SFR IO* - Kontrolni blok generiše kontrolne signale za upis i čitanje SFR registara i IRAM memorije
- *XRAM IO* - Kontrolni blok upravlja operacijama čitanja i upisa XRAM memorije.

4.2 Optimizacija dinamičke potrošnje

Nakon opisanih izmena u arhitekturi MCU-a koje se sprovode u cilju ugradnje IP bloka u ASIC kolo, funkcija mikrokontrolera je u potpunosti ostala očuvana u smislu da ispunjava osnovne projektne specifikacije čipa u koji se MCU ugrađuje. Međutim, sa stanovišta potrošnje mikrokontroler nije optimizovan. Problem prvo predstavlja uvećana dinamička potrošnja, koja nastaje disipacijom stabla taktnog signala i podblokova jezgra.

Dalje modifikacije RTL opisa MCU-a su sprovedene na nivou kola i utiču na smanjenje dinamičke komponente snage disipacije. Postupak projektovanja za malu dinamičku potrošnju prikazan je na Slici 4-3.



Slika 4-3 Postupak projektovanja za malu potrošnju - *IC Design Flow*

Postupak projektovanja sastoji se od zadavanja specifikacija, postupka opisivanja kola na RTL nivou, postupaka sinteze i implementacije *layout*-a kola.

Korišćene su sledeće tehnike projektovanja za malu potrošnju tokom RTL opisivanja i sinteze kola:

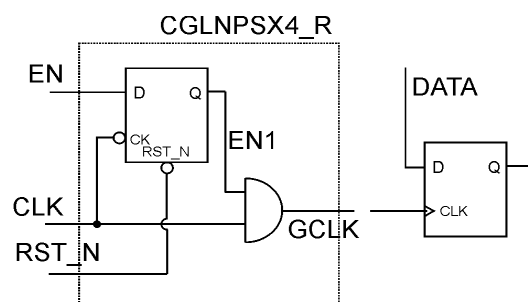
- gejtovanje signala takta,
- gejtovanje magistrala podataka,
- podela kontrolne logike na više manjih blokova i
- optimizacija kombinacionih logičkih blokova tokom postupka sinteze kola.

4.2.1 Generisanje stabla takta za malu potrošnju

Snaga disipacije stabla takta čini značajan deo ukupne dinamičke potrošnje [Moy01]. U cilju redukcije snage disipacije stabla takta korišćena je tehnika gejtovanja taktnog signala.

Da bi se izbegla pojava gličeva upotrebljene su specijalne standardne ćelije za gejtovanje. Tehnološki proces 65nm TSMC poseduje dva tipa lečeva za gejtovanje CKLHQ i CKLNQ, koji su aktivni negativnim i pozitivnim logičkim nivoom, respektivno. Oba tipa lečeva poseduju više varijanti koje su prilagođene različitim kapacitivnim opterećenjima. Na primer, CKLHQ ima sledeće varijante: CKLHQD1, CKLHQD2, CKLHQD4, CKLHQD6 i CKLHQD8. Ćelija CKLHQD8 je namenjena najvećem kapacitivnom opterećenju, dok je CKLHQD1 najmanjem.

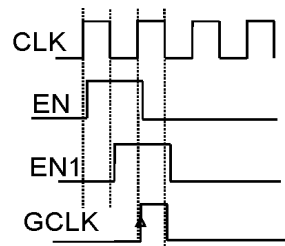
Ćelije za gejtovanje takta se ugrađuju u MCU direktnim instanciranjem u RTL opis. Alat za sintezu prepoznaje ćelije u opisu i prilagođava ih konkretnom kapacitivnom opterećenju. Pored bibliotečkih ćelija, rad mikrokontrolera zahteva uvođenje dodatnih kola za gejtovanje takta koja imaju ulaz za asinhroni reset. Kako takve ćelije ne postoje u biblioteci projektovano je novo digitalno kolo čija je struktura prikazana na Slici 4-4.



Slika 4-4 Ćelija za gejtovanje takta koja koristi asinhroni reset

Stablo takta se generiše alatom CTS (*Clock Tree Synthesis*) koji je deo programa Cadence Encounter [Cad00a]. Podešavanja koja se koriste prilikom generisanja stabla specificiraju se fajlovima za vremenska ograničenja (*Timing constraint files*). Ograničenja određuju iskošenje takta (*Clock skew*) [POW09] i maksimalna kašnjenja od ulaza za takt čipa,

kroz kola bafera i invertora u stablu, do ulaza za takt sekvencijalnih elemenata. CTS sprovodi detaljnu vremensku analizu, određuje strukturu stabla takta i izjednačava kašnjenja na granama stabla [POW09].



Slika 4-5 Vremenski signali ćelije za gejtovanje takta

Nakon kreiranja *layout*-a, ispravnost rada kola se proverava postupkom logičke verifikacije. Za postupak verifikacije potrebne su precizne vrednosti kašnjenja na signalima i standardnim ćelijama, koja se dobijaju alatom SoC Encounter [Cad00a]. Kašnjenja se u vidu .SDF datoteke (*Standard delay format*) koriste u simulaciji rada kola. Otklanjaju se vremenski problemi (*Setup*, *Hold* prekoračenja, gličevi i logičke greške) koji su povezani sa nepravilnim generisanjem stabla takta [POW09].

Tehnika gejtovanja takta se primenjuje u mnogim blokovima MCU-a kada su oni neaktivni. Na primer, tehnika je primenjena u kolu PIB (Slika 4-1) koje sadrži *First-in-first-out* (FIFO) memoriju kapaciteta 32 B, koja je realizovana od standardnih ćelija D flip-flova. FIFO memorija se koristi tokom programiranja čipa i neaktivna je tokom izvršavanja programa. Osim toga, tehnika *Operand isolation* primenjena na funkcionalne jedinice ALU, sprečava promenu stanja na ulazima aritmetičkih operatora – pomerača, sabirača, kola za množenje, kada rezultati operatora nisu potrebni za izvršavanje instrukcija.

4.2.2 Promene u arhitekturi za manju dinamičku potrošnju

Tehnika gejtovanja podataka redukuje učestalost promene signala na magistralama koje imaju veliku kapacitivnost i značajno utiču na dinamičku potrošnju [Vog12]. U primeru mikrokontrolera, SFR registri se često koriste tokom izvršavanja instrukcija. Magistrala SFR_bus je zajednička za više SFR registara i povezuje izlaz ALU jedinice sa ulazima SFR registara i IRAM memorije (Slika 4-2). Česta promena logičkih stanja na magistrali SFR_bus smanjuje brzinu i uvećava dinamičku potrošnju.

Da bi se ubrzao prenos podataka od SFR registara do blokova kontrolne logike, umesto korišćenja SFR_bus, specijalni funkcijski registri - ACC, PSW, SP i DTPR se povezuju direktno posebnim magistralama na ulaze blokova kontrolne logike. Slika 4-2 prikazuje nove

magistrale SFR registara u vidu linija koje su povezane na ulaze ALU jedinice. Pored toga, projektuje se dodatna kontrolna logika koja sprečava nepotrebnu aktivnost promene stanja na adresnim magistralama i magistralama za podatke IRAM i XRAM memorija. Dinamička snaga koju nova kontrolna logika dissipira je manja od snage koja se troši na adresnim magistralama memorije, pa se time ostvaruje ušteda u potrošnji.

Podela kontrolne logike jezgra mikrokontrolera na pet manjih blokova doprinosi smanjenju prekidačke aktivnosti u jezgru i unutar samih blokova. Nove blokove čine: dekodер adrese, blok koji generiše narednu vrednost programskog brojača PC, blok za selekciju operanada ALU, RAM/SFR IO - blok za kontrolu upisa i čitanja SFR registara i IRAM memorije, XRAM I/O – za kontrolu pristupa XRAM memoriji.

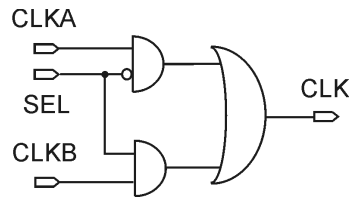
Dalje uštede dinamičke snage ostvarene su postupkom sinteze kola. Alati za sintezu procenjuju kapacitivna opterećenja koja postoje na izlazima standardnih ćelija i verovatnoću promene stanja na izlazima. U postupku mapiranja kola, koji se obavlja tokom sinteze, formira se netlista ćelija za minimalnu potrošnju. Obično se uštede u potrošnji dobijaju na račun uvećane površine ili kašnjenja. Pored toga, tokom postupka sinteze putevi propagacije signala se izjednačavaju sa stanovišta kašnjenja. Time se smanjuje pojava kratkotrajnih impulsa (gličeva) i dovodi do uštede od 20% u dinamičkoj potrošnji [Moy01].

4.2.3 Kolo za promenu frekvencije taktnog signala

Integrirana kola često koriste više taktnih signala sa različitim frekvencijama. Frekvencije mogu da budu međusobno potpuno nezavisne ili da je njihov odnos jednak nekom celom broju. Pored toga, u nekim kolima postoji potreba da taktni signali menjaju frekvenciju tokom rada kola. Kada se zahteva dosta izračunavanja, frekvencija se postavlja na maksimalnu vrednost. U drugim uslovima, kao na primer kod bežičnih senzorskih mreža, potrošnja se smanjuje redukcijom frekvencije.

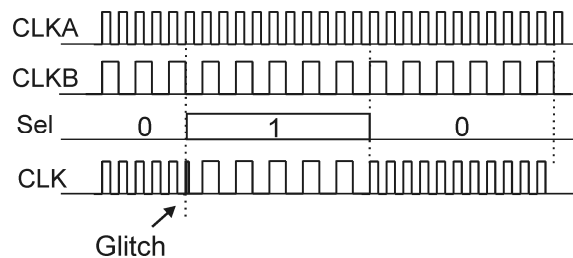
Kada se frekvencija menja tokom rada kola, u trenucima promene postoji opasnost od pojave gličeva koji obavezno dovode do neispravnog rada. Glič može da bude interpretiran od strane nekih registara kao aktivna ivica takta, dok kod drugih da bude zanemaren. Zato kolo koje se koristi za promenu frekvencije takta treba da izbegne generisanje gličeva. Jedno takvo rešenje kola je primenjeno pri projektovanju novog 8051 mikrokontrolera.

Najjednostavniji oblik kola za promenu takta jeste kolo multipleksera koje je prikazano na Slici 4-6. Ulaznim signalom SEL kolo bira jedan od dva ulaza CLKA ili CLKB.



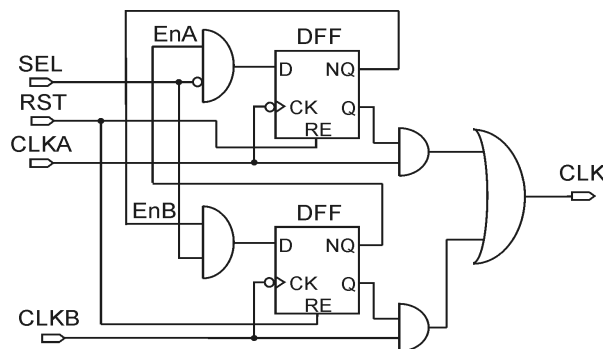
Slika 4-6 Kolo za biranje taktnog signala zasnovano na multiplekseru

Problem koji se javlja u kolu jeste pojava gličeva na izlazu CLK. Gličevi se javljaju kada signal SEL promeni vrednost dok je izlaz CLK u stanju logičke jedinice (Slika 4-7).



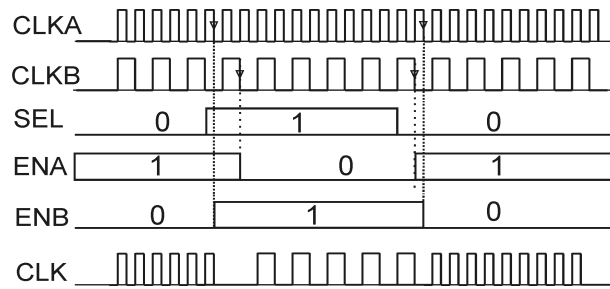
Slika 4-7 Vremenski signali kola birača takta koji se zasniva na multiplekseru

Promena strukture kola, koja je prikazana na Slici 4-8 [Mah03], rešava problem gličeva u slučaju kada su vrednosti frekvencija CLKA i CLKB celobrojni umnošci (slučaj kada su CLKA i CLKB izlazi delitelja frekvencija).



Slika 4-8 Kolo za biranje taktnog signala koje je imuno na gličeve

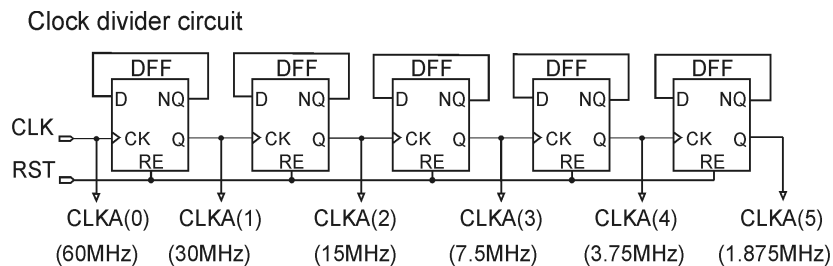
Kolo sa Slike 4-8 uvodi dva nova signala dozvole, EnA i EnB, koji su izlazi D flip flopova. Stanja na EnA i EnB se menjaju redom opadajućom ivicom CLKB i CLKA. Naredni taktni signal (CLKA ili CLKB) se pojavljuje na CLK tek kada se deselektuje prethodni taktni signal. To se dešava kada signal dozvole prethodno odabranog signala takta postane nula. Ovo sprečava promenu dok je CLK na jedinici.



Slika 4-9 Talasni oblici birača takta koje ne generiše gličeve

Na Slici 4-9 su prikazani talasni oblici kola. Nakon promene SEL sa 0 na 1, sprečava se propagacija ulaza CLKA. Posle prve opadajuće ivice signala CLKA koja prati promenu signala SEL, signal ENB postaje jednak 1. Posle naredne opadajuće ivice na CLKB, signal ENA se resetuje. Samo ENB ostaje aktivan i počinje propagacija CLKB na izlaz CLK. Kao što se može primetiti na Slici 4-9, na CLK se ne javljaju gličevi, pa je pouzdan rad kola obezbeđen [Jov14].

Kolo projektovanog 8051 mikrokontrolera sadrži delitelj frekvencije (Slika 4-10) koje na ulazu ima nominalni takti signal od 60MHz i obezbeđuje pet dodatnih frekvencija: 30MHz, 15MHz, 7,5MHz, 3,75MHz i 1,875MHz. Mikrokontroler je isprojektovan tako da se frekvencija takta može promeniti u trenutku tokom izvršavanja programa, upisom nove vrednosti u SFR registar (*Power Management Special Register – PMSR*). Tri bita najmanje težine registra PMSR određuju jednu od šest takti frekvencija prema Tabeli 4-1.

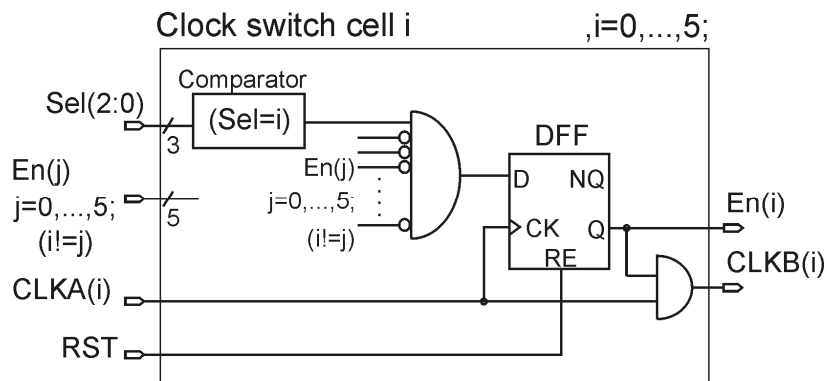


Slika 4-10 Delitelj frekvencije koji je ugrađen u kolo mikrokontrolera

Tabela 4-1 Sadržaj registra Power Management Special Register - PMSR

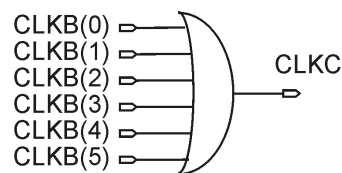
PMSR(2:0)	CLKA(i)
"000"	60MHz
"001"	30MHz
"010"	15MHz
"011"	7,5MHz
"100"	3,75MHz
"101"	1,875MHz

U cilju bezbedne promene taktne frekvencije, realizovano je novo kolo birača taktnog signala. Novo rešenje ima za osnovu kolo koje je prikazano na Slici 4-8 [Jov14]. Kolo preko ulaza $CLKA(i)$ ($i=0,1,\dots,5$) dobija signale šest različitih frekvencija i generiše signal $CLKC$ koji se vodi na glavni ulaz MCU-a za takt. Ulazni selektorski signal novog kola je magistrala $Sel(2:0)$, koja predstavlja sadržaj registra PMSR. Njime se bira jedna od mogućih šest frekvencija [Jov14].

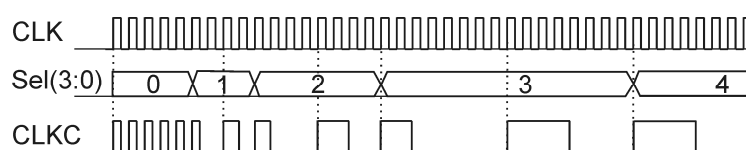


Slika 4-11 Segment kola birača taktnog signala

Struktura kola se sastoji od šest identičnih CSC (*Clock switch cell*) ćelija, od kojih svaka implementira po jedno kolo za selekciju jedne od šest mogućih frekvencija. Struktura ćelije je prikazana na Slici 4-11. Ćelija omogućava propagaciju $CLKA(i)$ ka izlazu $CLKB(i)$ u slučaju kada je ćelija selektovana preko ulaza $Sel(2:0)$. Svaka ćelija sadrži po jedan D flip flop koji se okida opadajućom ivicom signala $CLKA(i)$ i generiše signal dozvole $En(i)$ (Slika 4-11). Takođe, svaka ćelija prima signale $En(j)$ ostalih ćelija. Signal $En(i)$ se setuje kada su signali dozvole drugih CSC ćelija resetovani ($En(j)=0, j!=i$) i vrednost na selekcionom ulazu $Sel(2:0)=i$. Signali $CLKB(i)$ se vode dalje na ulaze logičke ILI ćelije koja generiše taktni signal $CLKC$ (Slika 4-12). Slika 4-13 prikazuje rad kola; takt $CLKC$ je bez gličeva u trenucima promene brzine rada.



Slika 4-12 Kolo za formiranje taktnog signala $CLKC$



Slika 4-13 Vremenski dijagrami rada kola koje se koristi za promenu frekvencije takta

4.3 Implementacija modova rada za malu statičku potrošnju kola

Statička potrošnja dostiže vrednost dinamičke komponente snage u tehnološkim procesima ispod 65 nm i predstavlja uzročnik velike potrošnje tokom aktivnog režima rada [Aga06]. Statička potrošnja je prisutna kod 8051 mikrokontrolera kada je mikrokontroler implementiran savremenim tehnološkim procesima. Zato je neophodna upotreba tehnika koje se fokusiraju na smanjenje statičke snage. Tehnike koje su primenjene pri projektovanju novog mikrokontrolera zasnivaju se na isključivanju napona napajanja i upotrebi Standby modova rada.

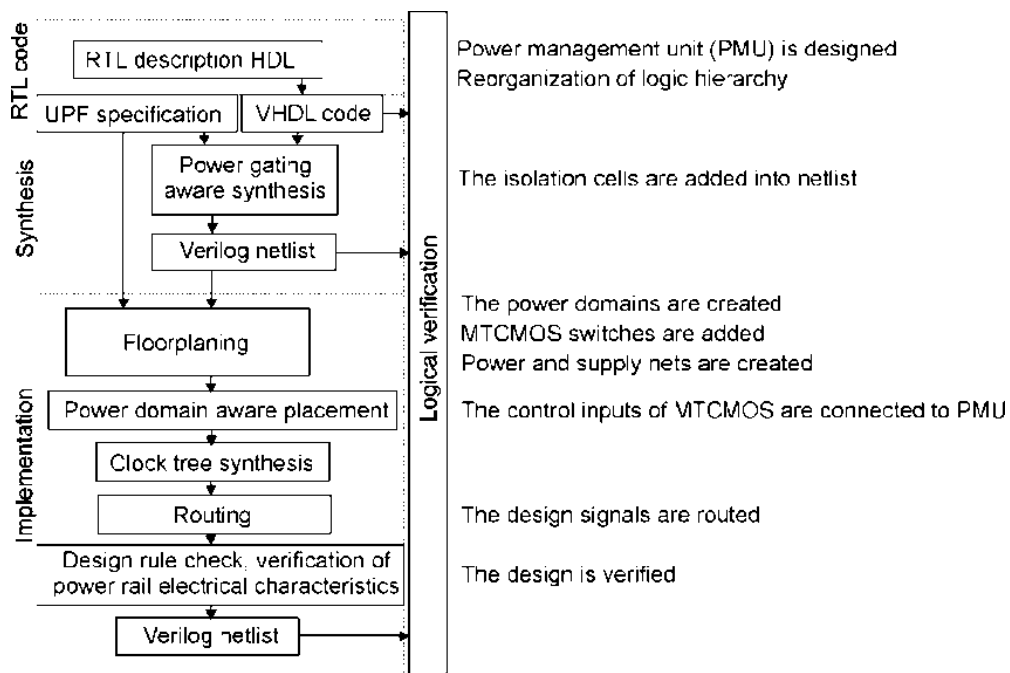
U cilju isključivanja neaktivnih blokova i smanjenja statičke snage, *layout* mikrokontrolera je podeljen na oblasti koje imaju odvojene vodove za napajanje. Postoje tri *Power* oblasti: jezgro CORE, periferijske jedinice PER i memorije MEM. Za isključivanje se koriste MTCMOS tranzistori [Bip06] koji imaju funkciju prekidača napona napajanja i nalaze se u svakoj od *Power* oblasti.

Treba napomenuti da pored MTCMOS prekidača, novi tehnološki procesi nude alternativne ćelije za realizaciju *Power gating* tehnike [Kea07]:

- izolacione ćelije za izolaciju *Power* oblasti od parazitnih struja koje se mogu javiti na ulazno/izlaznim linijama tokom prelaznog režima isključivanja i uključivanja napona napajanja
- *Retention cells* - sekvencijalne elemente koji se koriste za čuvanje podataka za vreme dok je glavni izvor napajanja neke oblasti isključen;
- *Level shifter cells* - pomerače logičkih nivoa koje se postavljaju između oblasti sa različitim naponima napajanja

Na Slici 4-14 prikazani su osnovni koraci projektovanja mikrokontrolera za malu statičku potrošnju. Proces projektovanja počinje izmenama RTL opisa; naredni koraci se sastoje od postupaka sinteze i implementacije *layout*-a, koji su prilagođeni tehnici *Power gating* i tehnološkom procesu.

Izmene RTL opisa kola uključuju dodavanje novih blokova i promenu logičke hijerarhije. U RTL opis kola dodat je novi kontrolni blok za upravljanje potrošnjom – *Power management unit* (PMU). Blok PMU upravlja modovima za uštedu energije. Izlazni signali bloka su direktno povezani na kontrolne ulaze MTCMOS tranzistora i izolacionih ćelija, tako da PMU direktno uključuje i isključuje napon napajanja i kontroliše rad izolacionih ćelija.



Slika 4-14 Osnovni koraci projektovanja za implementaciju tehnike *Power gating*

RTL opis mikrokontrolera je dodatno izmenjen. U odnosu na opis koji je prethodno modifikovan samo u cilju smanjenja dinamičke komponente snage, u cilju podele na oblasti, dodatno je reorganizovana logička hijerarhija projekta. U izmenjenom RTL opisu, entitet mikrokontrolera na vrhu logičke hijerarhije sadrži instance digitalnih blokova koji pripadaju različitim oblastima - jezgro CORE, perifernijske jedinice PER i memorije MEM.

Tradicionalnim jezicima za opis hardvera, poput VHDL i Veriloga, nije moguće definisati zahteve vezane za napajanje kola, potrošnju kao ni modove rada za uštedu energije. Umesto toga koristi se IEEE standard – *Unified Power Format (UPF)* [IEE09]. Zahtevi se opisuju UPF datotekom, koja se kreira na početku procesa projektovanja i koristi tokom sinteze, planiranja razmeštaja, razmeštaja, povezivanja i verifikacije projekta (Slika 4-14). UPF specifikacije uključuju mnoge aspekte projektovanja za malu potrošnju, kao što su:

- delu RTL blokova na *Power* oblasti,
- način kreiranja vodova za napajanje i masu *Power* oblasti,
- način ugradnje MTCMOS prekidača unutar neke oblasti,
- postupak ugradnje izolacionih ćelija po ivicama oblasti,
- specifikaciju izlaznih signala PMU bloka koji se povezuju na kontrolne ulaze MTCMOS prekidača i izolacionih ćelija,
- pravila prelaza mikrokontrolera između različitih modova rada.

Implementacija *layout*-a obuhvata postupak sinteze, planiranja razmeštaja, razmeštaja standardnih ćelija i povezivanja. Postupak sinteze generiše netlistu ćelija i dodaje izolacione ćelije u netlistu (Slika 4-14).

Nakon sinteze sledi naredna faza implementacije *layout*-a, koja počinje postupkom planiranja razmeštaja (*Floorplanning*). Tada se određuju dimenzije *layout*-a čipa, dimenzije i raspored svake oblasti i u kolo ugrađuju MTCMOS prekidači. U cilju sprečavanja naglog porasta struje izvora za napajanje, koji se dešava tokom prelaznog režima uključivanja napajanja, prekidači se projektuju kao nizovi MTCMOS tranzistora koji su raspoređeni u paralelnim vertikalnim nizovima. MTCMOS *header* prekidači su međusobno povezani tako da imaju zajedničke vodove za napajanje V_{DD} (priključak sorsa) i V_{DD1} (drejn tranzistora). Napon V_{DD} je ulazno napajanje čipa, napon V_{DD1} se koristi dalje za napajanje standardnih ćelija unutar oblasti CORE i PER. MTCMOS tranzistori se preko priključka gejta kontrolišu istim signalom dozvole PMU jedinice. Na kraju faze planiranja razmeštaja, kreiraju se pravougaoni prstenovi za napajanje V_{DD} i masu GND. Projektuju se još i vertikalni vodovi za V_{DD} , V_{DD1} i masu unutar oblasti, koji se postavljaju paralelno uz nizove MTCMOS prekidača.

Sledeći korak implementacije *layout*-a je faza razmeštaja ćelija (*Placement* - Slika 4-14). Nakon raspoređivanja, kontrolni ulazi prekidača i izolacionih ćelija se povezuju na signale PMU. Završna faza projektovanja (*Routing*) se sastoji od povezivanja signala.

Statička energija se štedi tako što se MTCMOS prekidači isključuju u oblastima koje su neaktivne. Implementirana su dva moda za uštedu energije: *Power Down* i *Standby*. Modovi se mogu promeniti preko registra PMSR, koji je deo bloka SFR registara i fizički se nalazi u bloku PMU.

U modu gašenja čipa - *Power Down*, isključuju se jezgro i perifernijske jedinice, dok memorije ostaju pod napajanjem. Ako je MCU prethodno bio u *Power Down* modu, jedino *Reset* signal može da vrati MCU u aktivni mod rada.

U *Standby* modu, jezgro čipa je isključeno, dok perifernijske jedinice i memorijske oblasti ostaju uključene. Programska memorija ostaje pod napajanjem da bi se njen sadržaj sačuvaao. Perifernijske jedinice takođe ostaju pod napajanjem jer se koriste tokom buđenja jezgra iz neaktivnog stanja.

Scenario rada sistema, kada se od mikrokontrolera ne zahteva intenzivna obrada podataka je sledeći. MCU ostaje u *Standby* modu sve dok se ne javi potreba za obradom podataka. Obično mikrokontroler prima spoljašnji prekid ili se dešava prekid tajmera, koji budi MCU iz moda *Standby*. MCU prelazi u aktivni mod rada i izvršava instrukcije koje obrađuju prekid. Nakon obavljenog zadatka, MCU se vraća u *Standby* u cilju dalje štednje.

4.4 Modeli za procenu potrošnje MCU

Da bi se istražile prednosti podele *layout*-a sa stanovišta ušteda u statičkoj potrošnji, kreirani su modeli za procenu potrošnje.

Potrošnja jezgra CORE, kada je napon napajanja fiksiran na konstantnu vrednost, može se izraziti kao zbir statičke potrošnje P_{CL} i dinamičke komponente snage. Dinamička snaga je jednaka proizvodu vrednosti taktne frekvencije f_{CLK} i koeficijenta k_C , koji se odnosi na aktivnost promene logičkih stanja na signalima jezgra:

$$P_C = P_{CL} + P_{CD} = P_{CL} + k_C \cdot f_{CLK} \quad (4-1)$$

Slično se formiraju izrazi za snagu disipacije periferija PER, memorija MEM i glavnog entiteta TOP koji obuhvata *Power* oblasti i PMU blok. Snage disipacije se obeležavaju redom sa P_P , P_M i P_T .

$$P_P = P_{PL} + P_{PD} = P_{PL} + k_P \cdot f_{CLK}, \quad (4-2)$$

$$P_M = P_{ML} + P_{MD} = P_{ML} + k_M \cdot f_{CLK}, \quad (4-3)$$

$$P_T = P_{TL} + P_{TD} = P_{TL} + k_T \cdot f_{CLK} \quad (4-4)$$

Mikrokontroler je implementiran korišćenjem tri različita tehnološka procesa: AMIS 350nm [AMI98], Synopsys 90 nm [Syn09] i TSMC 65 nm [TSM12]. Implementacije su optimizovane sa stanovišta dinamičke i statičke potrošnje. Na osnovu detaljnih informacija o potrošnji izračunati su parametri modela P_{CL} , P_{PL} , P_{ML} , P_{TL} , P_{PD} , P_{MD} , P_{TD} , k_C , k_P , k_M i k_T na način koji će biti objašnjen u narednom delu.

Primene mikrokontrolera u senzorskim mrežama obrađuju malu količinu informacija. Obrada informacija je periodična po prirodi i može se predstaviti kombinacijom periodičnih diskretnih događaja koji se nazivaju zadacima [Hem06]. Tokom izvršavanja zadatka MCU radi u aktivnom režimu. Kada je zadatak završen, MCU prelazi u stanje mirovanja - *Standby*, sve dok prekid mikrokontrolera ponovo ne pokrene izvršavanje novog zadatka.

Prosečna potrošnja mikrokontrolera (P) se može izraziti kao zbir utrošene energije u aktivnom i pasivnom modu rada, podeljen vremenskim periodom T između dva uzastopna zadatka i opisana je jednačinom (4-5):

$$P = \frac{1}{T} (T_A \cdot P_A + (T - T_A) P_S) \quad (4-5)$$

gde je T_A vreme izvršavanja zadatka, kada MCU radi u aktivnom režimu rada; P_A i P_S su snage u aktivnom i *Standby* modovima rada redom.

Definisano sa n stepen opterećenja procesora, koji je jednak broju taktih ciklusa u periodu T kada mikrokontroler izvršava zadatak. Stepen n se može izraziti kroz:

$$n = \frac{T_A}{T} f_{\text{CLK}} \quad (4-6)$$

Snaga P_A sastoji se od četiri komponente: P_C , P_P , P_M i P_T .

$$P_A = P_C + P_T + P_P + P_M \quad (4-7)$$

P_S uključuje P_P , P_M i P_T :

$$P_S = P_T + P_P + P_M \quad (4-8)$$

S obzirom da se SRAM blokovi ne isključuju u *Standby* režimu, oni predstavljaju velike potrošače statičke energije. Da bi se njihova potrošnja smanjila, primenjuje se tehnika *Reverse body bias* [Fla02], koja dinamički povećava napon praga MOS tranzistora i smanjuje podpragovsku struju curenja u SRAM memorijama. Sličan efekat uštede statičke snage se postiže smanjenjem napona napajanja SRAM memorije [Hem06]. Potrošnja SRAM u *Standby* modu, u poređenju sa aktivnim modom rada, je smanjena faktorom λ i data je sa:

$$P_{\text{M(Standby)}} = P_{\text{ML}} \cdot \lambda \quad (4-9)$$

Srednja vrednost snage disipacije P dobija se kombinujući jednačine od (4-5) do (4-9) i može se predstaviti sa:

$$P = P_{\text{PL}} + P_{\text{TL}} + P_{\text{ML}} \lambda + n \cdot (k_C + k_M) + \frac{n}{f_{\text{CLK}}} [P_{\text{CL}} + P_{\text{ML}} (1 - \lambda)] + (k_P + k_T) f_{\text{CLK}} \quad (4-10)$$

gde optimalna taktna frekvencija iznosi:

$$f_{\text{CLK}} = \sqrt{n \frac{P_{\text{CL}} + P_{\text{ML}} (1 - \lambda)}{k_P + k_T}}, \quad (4-11)$$

Pri vrednosti frekvencije takta definisane sa (4-11), dobija se minimum snage mikrokontrolera P :

$$P = P_{\text{PL}} + P_{\text{TL}} + P_{\text{ML}} \lambda + n \cdot (k_C + k_M) + 2\sqrt{n \cdot (k_P + k_T) (P_{\text{CL}} + P_{\text{ML}} (1 - \lambda))} \quad (4-12)$$

4.5 Rezultati implementacije i procena potrošnje mikrokontrolera korišćenjem više tehnoloških procesa

4.5.1 Postupak procene potrošnje

Mikrokontroler je implementiran korišćenjem tri tehnološka procesa:

- AMIS 350 nm [AMI98],
- Synopsys 90 nm [Syn09]
- TSMC 65 nm [TSM12].

Procesi koriste različite napone napajanja; u tehnologiji 350 nm koristi se napon od 3,3 V dok procesi 90 nm i 65 nm koriste napon od 1,2 V. S obzirom da je 350 nm tehnologija najstarija, površina koju kolo zauzima je očekivano najveća a maksimalna taktna frekvencija je najmanja. Rezultati implementacije dobijeni u procesima 90 i 65 nm su značajno povoljniji.

Korišćeni su alati za projektovanje različitih proizvođača. Za tehnološke procese 350 nm i 65 nm korišćeni su Cadence alati za projekovanje [Cad00a], dok je za proces 90nm korišćen Synopsys [Syn00a].

U sva tri rešenja, potrošnja se određuje nakon implementacije *layout*-a i sprovedenog postupka logičke verifikacije. Rezultati vezani za procenu potrošnje su precizni jer su dobijeni na osnovu konkretnog rasporeda ćelija i veza. Na kraju postupka implementacije *layout*-a, izdvojena je netlista standardnih ćelija i određene su vrednosti kašnjenja na svim vezama. Vrednosti kašnjenja se dobijaju na osnovu parazitskih kapacitivnosti i otpornosti veza, kao i modela potrošnje ćelija, koje su definisane u tehnološkim bibliotekama.

Netlista ćelija i vrednosti kašnjenja na vezama su neophodne za postupak logičke provere. Pored njih, koristi se još i mašinski programski kôd, dobijen kompajliranjem asemblerskog 8051 programa. Programski kôd i ulazni signali mikrokontrolera su sastavni delovi *Testbench* programa za testiranje [Cad00b]. *Testbench* program simulira rad mikrokontrolera tokom izvršavanja različitih programa i tada se snima kompletna promena logičkih stanja na svim vezama *layout*-a. Kompletna aktivnost kola bitna za određivanje statičke i dinamičke potrošnje snima se u *Value charge dump* (.VCD) fajl.

Tabela 4-2 Snaga MCU-a merena za tri *Testbench* programa pri 4,194 MHz, naponu napajanja 3,3V u tehnologiji AMIS 350 nm

Testni program		TS1	TS2	TS3
Blok	Podblok	Snaga[μ W]	Snaga[μ W]	Snaga[μ W]
Stablo takta		1115	1115	1115
PIB		341	341	341
ALU		421	41	773
Core	Ostala kola jezgra	2122	612	2013
Periferijske jedinice		352	340	310
Ukupna potrošnja:		3930	2408	3779

Nakon simulacije rada kola, VCD fajl se učitava u alat za implementaciju *layout*-a [Cad00a], koji generiše precizne rezultate o potrošnji za sve ćelije i memorijske blokove. Rezultati statičke i dinamičke potrošnje se onda grupišu za pojedine blokove.

4.5.2 Rezultati optimizacije dinamičke potrošnje

Vrednost dinamičke komponente snage, za MCU jezgro koje je implementirano u 350 nm procesu, iznosi 7,88 mW pri frekvenciji takta od 4,194 MHz. Statička snaga je zanemarljivo mala u odnosu na dinamičku snagu. Kada se primene tehnike za smanjenje dinamičke snage, koje se zasnivaju na optimizaciji arhitekture i gejtovanju taktnog signala, ukupna snaga se smanjuje na 3,930 mW (Tabela 4-2). Ušteda u dinamičkoj potrošnji iznosi čak 50,1%.

Dobijene su informacije o energetskom budžetu kola i identifikovane su komponente sa uvećanom potrošnjom koje su ponovo optimizovane. Tabela 4-2 daje simulirane vrednosti potrošnje različitih blokova. Rezultati važe za jezgro i periferijske jedinice i dobijeni su nakon primene tehnika za optimizaciju dinamičke potrošnje.

Korišćena su tri testna programa (TS). TS1 se sastoji od raznovrsnih asemblerskih instrukcija koje uključuju aritmetičke, logičke instrukcije, instrukcije prenosa podataka i grananja. TS2 se sastoji iz NOP instrukcija, dok TS3 sadrži aritmetičke instrukcije. Sprovedena analiza snage je pokazala da se tokom izvršavanja programa TS1 samo 10,7 % snage troši na operacije u ALU jedinici, a čak 89,3% u kombinacionim blokovima za dekodiranje instrukcija i za prenos podataka između ALU, registara i memorija. Maksimalna potrošnja je u primeru programa TS3 gde ALU jedinica troši 20,4% ukupne energije.

Simulacije kola su potvrdile značaj sprovedenih optimizacija:

- stvaranje posebnih magistrala SFR registara umesto korišćenja magistrala opšte namene (SFR_bus),
- implementacije nove kontrolne logike koja sprečava nepotrebne promene stanja na magistralama podataka i adresnim magistralama koje imaju značajno kapacitivno opterećenje
- podele kontrolne logike na manje blokove.

Tabela 4-3 Poređenje potrošnje mikrokontrolera pre i posle optimizacije dinamičke snage; MCU radi na 4,194 MHz i naponu napajanja 1,2V; tehnologija je Synopsys 90 nm

	Pre optimizacije		Nakon optimizacije	
	Snaga [mW]	Udeo [%]	Snaga [mW]	Udeo [%]
Interna	0,4380	49,9	0,2115	33,6
Snaga prekidanja	0,0684	7,70	0,0459	7,30
Interna + snaga prekidanja	0,5064	57,6	0,2574	40,9
Statička	0,3720	42,4	0,3712	59,1
Ukupna:	0,8784	100	0,6286	100

Promenom tehnološkog procesa iz 350 nm u 90 nm pojavio se problem velike struje curenja. U 90 nm implementaciji, u primenama koje ne zahtevaju veliku količinu obrađenih podataka, statička snaga je dominantna nad dinamičkom snagom. Na primer, ukupna potrošnja kola iznosi 0,6286 mW na frekvenciji od 4,194 MHz. Statička snaga iznosi 0,3712 mW i čini 59,1% ukupne snage (Tabela 4-3). Rezultati se odnose na jezgro mikrokontrolera i ne obuhvataju potrošnju RAM memorija.

Sledeće, upoređeni su rezultati upotrebe tehnika za optimizaciju dinamičke snage kola. Rezultati su dobijeni korišćenjem dva procesa 350 nm i 90 nm. Simulirana dinamička snaga neoptimizovanog 90 nm rešenja je 0,5064 mW na taktnoj frekvenciji od 4,194MHz (Tabela 4-3). Dinamička snaga optimizovanog rešenja iznosi 0,2574 mW. Dakle, u procesu 90 nm ostvaruje se smanjenje dinamičke snage od 49,2%. Ovaj rezultat je vrlo blizak vrednosti 50,1%, koja se dobija za 350 nm proces i **ukazuje da se sa skaliranjem tehnološkog procesa ne menja stepen uštede u dinamičkoj potrošnji kada se isti optimizacioni postupci primenjuju u različitim procesima.**

Promena tehnologije iz 350 nm do 90 nm smanjuje dinamičku snagu od vrednosti 3,930 mW na 0,2574 mW, što je smanjenje od **15,2 puta**. S obzirom na to da postoje četiri tehnološka procesa između 350 nm i 90 nm, rezultati se slažu sa zaključkom iz [Hem06] da

Tabela 4-4 Potrošnja mikrokontrolera kada je layout podeljen na Power oblasti; rezultati se odnose na aktivni mod rada mikrokontrolera, pri frekvenciji takta od 4,194 MHz i naponu napajanja od 1,2 V, tehnologija je Synopsys 90 nm.

Power oblast:	Interna + snaga promene stanja [mW]	Statička snaga [mW]	Ukupna snaga [mW]
TOP	$P_{TD}=0,0240$	$P_{TL}=0,0071$	$P_T=0,0311$
CORE	$P_{CD}=0,3330$	$P_{CL}=0,2793$	$P_C=0,6123$
MEM	$P_{MD}=0,2061$	$P_{ML}=1,248$	$P_M=1,4541$
PER	$P_{PD}=0,0128$	$P_{PL}=0,0942$	$P_P=0,107$
Total:	$P_D=0,5759$	$P_L=1,6286$	$P=2,2045$

se dinamička potrošnja približno smanjuje faktorom 0,5 pri promeni jedne generacije tehnološkog procesa. Maksimalna taktna frekvencija kola u 90 nm implementaciji je 60 MHz dok je odgovarajuća vrednost dinamičke potrošnje 7,9 mW.

4.5.3 Rezultati optimizacije statičke potrošnje

Optimizacija statičke potrošnje 8051 mikrokontrolera se sastoji od:

- smanjivanja potrošnje memorijskih blokova i
- implementacije modova rada za isključivanje napona napajanja blokova

Statička snaga disipirana na memorijama u procesu Synopsys 90 nm iznosi $P_{ML} = 1,248$ mW i dva puta je veća od statičke potrošnje ostatka čipa. Zato je neophodno prvo optimizovati potrošnju memorija. To se postiže tehnikom RBB [Fla02] ili smanjivanjem napona napajanja memorijskih blokova. Optimizacijom memorijskih blokova u tehnološkom procesu 90nm statička snaga memorija je smanjena 5,9 puta.

Kada MCU radi na niskoj frekvenciji statička snaga jezgra je veća od dinamičke snage. U cilju daljeg smanjivanja statičke snage implementiran je Standby mod rada. Rezultati procene potrošnje su dati u Tabeli 4-4.

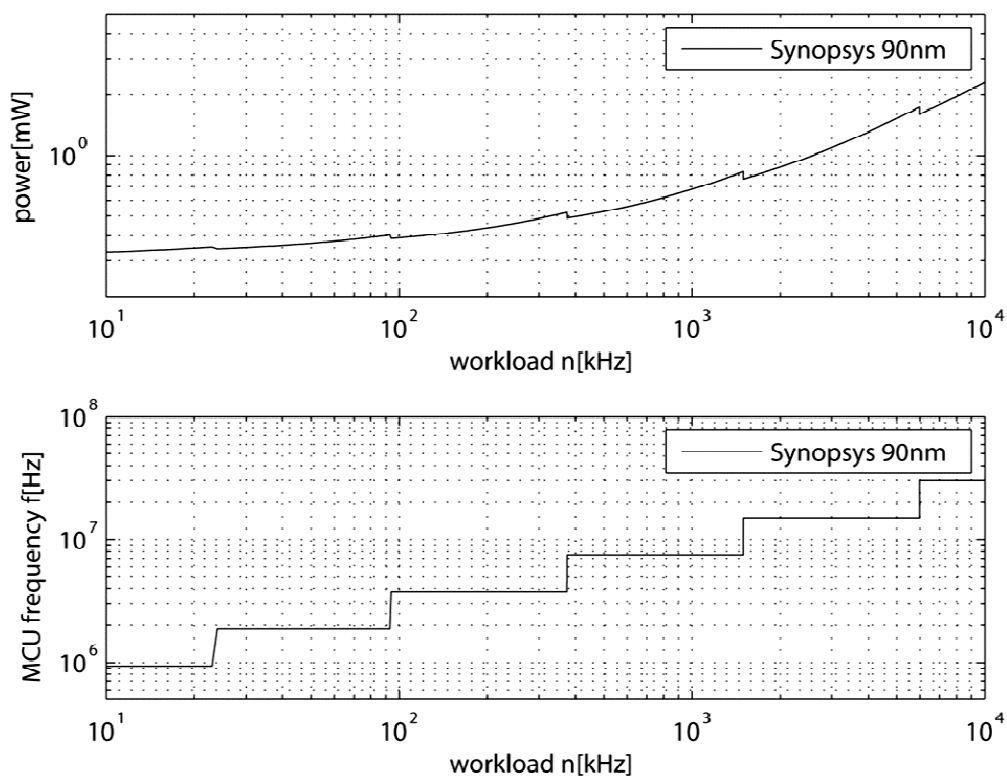
Kada je čip u aktivnom režimu rada statička snaga iznosi 1,6286 mW. Dinamička komponenta snage je znatno manja od statičke i iznosi 0,5759 mW na radnoj frekvenciji od 4,194 MHz. Ukupna snaga mikrokontrolera je 2,2045 mW.

U *Standby* modu jezgro je isključeno, dok periferni jedinice rade. Pri vrednosti taktne frekvencije od 4,194 MHz, ukupna potrošnja kola je jednaka 0,3496 mW, što čini 15,9% ukupne potrošnje čipa u aktivnom režimu rada. **Statička potrošnja u Standby modu je**

0,3128 mW, u poređenju sa statičkom potrošnjom u aktivnom režimu od 1,6286 mW, dobija se smanjenje od 80,8%.

Postupak određivanja statičke snage u tehnološkom procesu Synopsys 90nm poklapa se sa postupkom koji je opisan u prethodnom odeljku, kada je bilo reči o optimizaciji dinamičke snage. Razlika je jedino u alatima koje se koriste pri implementaciji *layout*-a. U tehnologiji 90 nm korišćen je alat za projektovanje IC Compiler [Syn00a], dok su rezultati snage dispacije dobijeni korišćenjem alata Prime Time [Syn00b]. Rezultati dinamičke i statičke potrošnje svih standardnih ćelija sumirani su za različite oblasti mikrokontrolera i prikazani u Tabeli 4-4.

Vrednosti statičke snage P_{CL} , P_{PL} , P_{TL} dobijaju se redom za oblasti jezgra, perifernih jedinica i hijerarhijski glavni blok projekta, koji sadrži PMU. Vrednosti dinamičke potrošnje istih blokova su redom P_{CD} , P_{PD} i P_{TD} . Parametri modela k_C , k_P i k_T se dobijaju direktno iz P_{CD} , P_{PD} , P_{TD} , kada se vrednosti snage podele frekvencijom $f_{CLK}=4,194$ MHz. Parametri P_{CL} , P_{PL} , P_{TL} , k_C , k_P i k_T se koriste u jednačinama od (4-10) do (4-12). Parametri memorija P_{ML} i k_M se mogu naći u tehnološkim bibliotekama procesa [Syn09].



Slika 4-15 Potrošnja P i optimalna frekvencija f MCU-a u zavisnosti od opterećenja n

Jednačine (4-10) - (4-12) se koriste za procenu potrošnje u zavisnosti od procesorskog opterećenja n koje se izražava brojem instrukcija u sekundi.

Iz dobijenih rezultata može se zaključiti da kada mikrokontroler radi na nižoj vrednosti taktne frekvencije, kraće vreme provodi u Standby modu rada, pa je u ukupnoj potrošnji dominantna statička komponenta snage. Statička potrošnja može da se smanji povećavanjem intervala kada je MCU u *Standby* modu. Tada, umesto da koristi više vrednosti taktne frekvencije, mikrokontroler treba da radi sa manjom frekvencijom nego u aktivnom modu rada i boravi duže u Standby modu.

Rezultati prikazani na Slici 4-15 su dobijeni za proces 90 nm. Gornji panel Slike 4-15 prikazuje minimalnu vrednost ukupne potrošnje za različita procesna opterećenja mikrokontrolera i dobija se na osnovu jednačine (4-12). Donji panel Slike 4-15 daje optimalnu vrednost taktne frekvencije da bi potrošnja bila najmanja. Optimalna vrednost frekvencije se računa iz jednačine (4-11).

Sa Slike 4-15 može se videti da dinamička energija 8051 mikrokontrolera preovladava pri procesnim opterećenjima većim od 10^5 instrukcija u sekundi. Za niže vrednosti opterećenja do oko 1000 instrukcija u sekundi dominantna je statička komponenta snage. Kada je broj instrukcija u sekundi mali, dobija se minimalna vrednost ukupne snage od svega 0,2 mW, što je više nego 8 puta bolji rezultat od vrednosti statičke potrošnje aktivnog moda rada, koja je jednaka 1,6286 mW. Ovaj rezultat je naročito važan za primene 8051 mikrokontrolera u senzorskim mrežama, kada smanjenje potrošnje u Standby modu znatno produžava radni vek senzora.

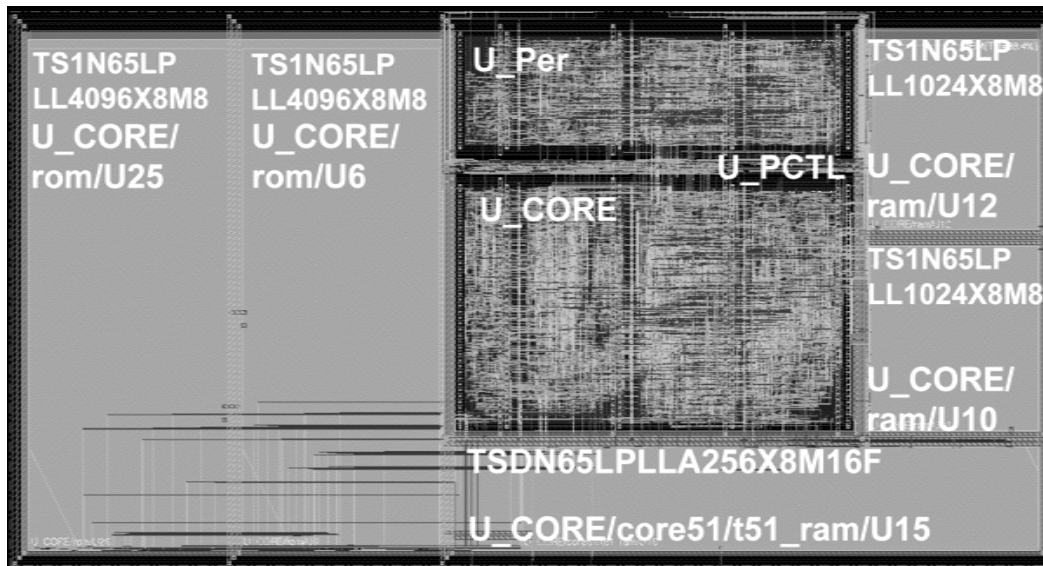
U aktivnom modu rada dinamička komponenta snage može da se smanji promenom taktne frekvencije jezgra. Naime, u PMU je ugrađeno kolo delitelja frekvencije, koje deli nominalnu frekvenciju takta (od 60 MHz) faktorom 1, 2, 4, 8, 16 ili 32. U Standby modu, taktna frekvencija koju koriste perifernijske jedinice se smanjuje na isti način. U cilju optimizacije ukupne potrošnje, za odabrani stepen opterećenja procesora n , radna frekvencija se bira da bude najbliža vrednosti f_{CLK} koja se računa na osnovu jednačine (4-11).

4.5.4 Rezultati primene DVFS tehnike

Mikrokontroler je implementiran u tehnologiji TSMC 65 nm [TSM12]. Layout mikrokontrolera, prikazan na Slici 4-16, zauzima površinu od svega $620 \mu\text{m} \times 330 \mu\text{m}$.

Generalno, za nove tehnologije važi da imaju veću potrošnju kada kolo radi na niskim frekvencijama jer tada u ukupnoj potrošnji dominira statička komponenta. Međutim, tehnologija TSMC 65 nm je pokazala bolje rezultate po pitanju statičke potrošnje nego Synopsys 90 nm. Standardne ćelije iz TSMC 65 nm su projektovane tako da su pri naponu

napajanja od 1,2 V struje curenja u zanemarljivo male, pa je dinamička komponenta snaga znatno veća od statičke. Zato se tehnike za smanjanje statičke snage, koje se primenjuju u Synopsys 90 nm, ne primenjuju u procesu TSMC 65 nm.



Slika 4-16 Layout čipa koji je implementiran u tehnologiji TSMC 65 nm

Umesto tehnike *Power gating*, za smanjenje potrošnje čipa koristi se tehnika *Dynamic Voltage and Frequency Scaling (DVFS)* [Bip06]. Dinamička potrošnja kola smanjuje se sa redukcijom napona napajanja po kvadratnom zakonu. Posledica smanjivanja V_{DD} je povećanje kašnjenja ćelija [Lia05] što smanjuje maksimalnu radnu frekvencija kola (Tabela 4-5).

Tabela 4-5 Rezultati optimizacije potrošnje u tehnološkom procesu TSMC 65 nm.

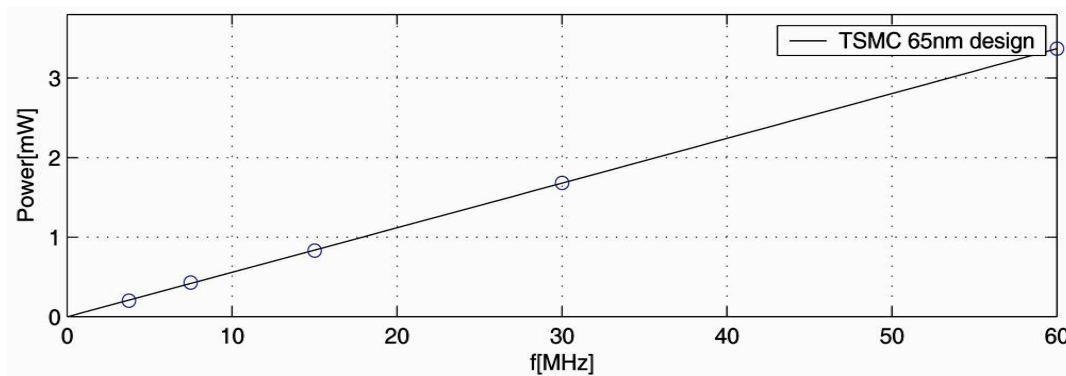
Napon napajanja V_{DD} [V]	1,32	1,2	1,08
Maksimalna taktna frekvencije f [MHz]	100	90	70
Snaga potrošnje P [mW] (pri $f_{CLK}=60$ MHz)	4,738	3,372	2,072

Tehnološke biblioteke procesa TSMC 65 nm omogućavaju procenu brzine i potrošnje za više vrednosti napona napajanja, u opsegu od 1,08 V do 1,32 V. Simulacijama kola dobijeni su rezultati potrošnje za tri vrednosti napona napajanja: 1,08 V, 1,2 V i 1,32 V. Pri maksimalnom naponu napajanja $V_{DDmax}=1,32$ V, taktna frekvencija iznosi $(f_{CLK})_{max}=100$ MHz. Pri naponu napajanja kola koji je jednak $V_{DD}=1,2$ V, frekvencija je $f_{CLK}=90$ MHz. Na nižem naponu $V_{DDmin}=1,08$ V, $(f_{CLK})_{min} = 70$ MHz.

Kada kolo radi pri $V_{DD}=1,2$ V i $f_{CLK}=60$ MHz, potrošnja iznosi 3,372 mW (Tabela 4-5). Poređenja radi, dinamička potrošnja čipa koji je implementiran u 90 nm procesu, iznosi 7,9 mW pri istim radnim uslovima. Rezultati potrošnje potvrđuju zaključak iz [Hem06] da se sa promenom generacije tehnološkog procesa dinamička potrošnja smanjuje za oko 50%.

Radna frekvencija može dodatno da se smanji upotrebom drugih izlaza kola delitelja frekvencije. Pritom se frekvencija menja softverom mikrokontrolera. Upisom nove vrednosti u registar PMSR tokom izvršenja programskog kôda trenutno se bira jedan od izlaza kola delitelja frekvencije.

Dinamička komponenta snage se smanjuje linearno sa promenom frekvencije što se može videti na Slici 4-17.



Slika 4-17 Dinamička potrošnja mikrokontrolera kao funkcija frekvencije takta, dobijena u tehnologiji TSMC 65 nm i naponu napajanja od 1,2 V

5 Tehnike za pouzdan rad mikroprocesora koji su implementirani u nanometarskim procesima

5.1 Rad mikroprocesora u prisustvu intermitentnih i permanentnih grešaka

Savremene tehnologije fabrikacije kola omogućile su integraciju mnoštva novih funkcija na istoj površini silicijuma, znatno veće brzine taktnog signala, manju dinamičku komponentu snage disipacije ali i povećanje statičke potrošnje. Neke od tehnika koje se koriste za smanjenje snage disipacije su dinamičko skaliranje napona i frekvencije (DVFS) i *Power gating* [Bip06]. Primena ovih tehnika je neizbežna u razvoju savremenih mikroprocesora [POW09].

Skaliranje tehnološkog procesa nosi sa sobom i neke nedostatke. Pored uvećanja statičke komponente potrošnje, u uslovima kada kola rade na niskim naponima napajanja, savremeni mikroprocesori postaju nepouzdana. Greške koje se manifestuju pri radu mogu se klasifikovati u dve kategorije - permanentne i intermitentne. Intermitentne greške se javljaju povremeno i mogu da nestanu nakon kratkog vremenskog intervala. Danas se ove greške smatraju najzastupljenijim [Sri04]. Permanentne greške mogu da dovedu mikroprocesor u neispravno stanje, koje se ne može prevazići bez ugradnje dodatnog hardvera. Permanentne greške traju sve dok se komponenta kod koje se javila greška ne popravi ili zameni drugom [Cam92]. U disertaciji je pažnja posvećena prevazilaženju pre svega intermitentnih grešaka.

Tolerancija na greške postiže se uvođenjem nekog oblika redundanse. Redundansa može da bude: hardverska, softverska, informaciona ili vremenska [Pol96].

Hardverska redundansa koristi dodatni hardver u cilju detektovanja i tolerisanja grešaka. Softverska redundansa se sastoji u dodavanju softvera iznad onog potrebnog za izvršavanje zadatah funkcija. Informaciona redundansa se ogleda u obradi dodatnih podataka za detekciju i ispravljanje grešaka, dok vremenska redundansa koristi slobodno vreme mikroprocesora za izvršavanje funkcija oporavka sistema [Kop02], [Cam92].

Ponovljeno izvršavanje zadataka je metoda koja se često koristi kao osnova za razvoj tehnika za prevazilaženje prolaznih grešaka. Princip se sastoji u ponavljanju izvršavanja zadataka u kojima je detektovana greška [Kan03], [Pop07]. Posebna pažnja će biti posvećena vremenskoj i hardverkoj redundansi. Vremenska redundansa ne zahteva dodatni hardver i pogodna je za toleranciju prolaznih grešaka [Pra96]. Prednost tehnika koje su zasnovane na vremenskoj redundansi, u odnosu na tehnike zasnovane na hardverskoj, jeste jednostavnija realizacija; nedostatak je nemogućnost rešavanja problema vezanih za pojavu permanentnih grešaka [Pol96].

U ovoj disertaciji analizirana je potrošnja bloka 8051 mikrokontrolera koji pouzdano radi u uslovima kada su prisutne intermitentne i permanentne greške. Korišćena je metoda ponavljanja izvršenja zadataka kao deo više različitih metoda koje se zasnivaju na vremenskoj [Kop02] i hardverskoj redundansi [Pol96]. Tehnika zasnovana na upotrebi hardveske redundanse je *Standby sparing* [Ejl06]. Pored pouzdanosti, snaga disipacije je prioritet i projektovani IP blok u cilju smanjenja potrošnje koristi tehnike DVFS i *Power gating*.

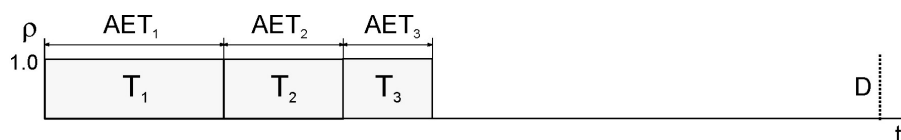
Kreiran je novi metod za procenu potrošnje mikrokontrolera u uslovima kada se primenjuju tehnike *Time redundancy*, *Standby sparing* i *Shared recovery* [Zha09b]. Metod kao ulazne parametre koristi vrednosti potrošnje izmerene pri različitim naponima napajanja. Mikrokontroler je projektovan u savremenim submikronskim tehnološkim procesima izrade kola u kojima je značajna statička potrošnja.

5.2 Tehnike za pouzdan rad sistema

5.2.1 Tehnike koje se zasnivaju na vremenskoj redundansi

Tehnika za pouzdan rad sistema, koja se zasniva na vremenskoj redundansi [Kop02], [Pra96], objašnjena je na primeru grupe zadataka koju čine zadaci T_1 , T_2 i T_3 . Zadaci su prikazani na Slici 5-1. Mikroprocesor koji izvršava zadatke poseduje dva moda rada: aktivni mod i *Standby*. Kada izvršava zadatke u aktivnom modu rada, mikroprocesor radi na maksimalnoj taktnoj frekvenciji f_{max} . Za svaki zadatak T_i određuje se najnepovoljnije vreme

izvršavanja WCET_{*i*} (*Worst case execution time*), određeno kao vremenski period tokom koga zadatak T_{*i*} mora da se izvrši. Zadatak T_{*i*} se izvršava u vremenskom intervalu AET_{*i*} (*Actual execution time interval*), koji je kraći je od intervala WCET_{*i*}.



Slika 5-1 Primer niza zadataka

Da bi sistem pouzdano radio, svi zadaci treba da budu završeni pre roka D (*Deadline time*) koji je prikazan na Slici 5-1. Slobodno vreme mikroprocesora (*Slack* vremenski interval) obuhvata period od trenutka završetka svih zadataka do trenutka isteka intervala D [Pra96]. Tada je mikroprocesor u *Standby* modu rada zbog uštede energije. Trajanje *Slack*-a je jednako razlici intervala D i zbira intervala AET_{*i*} pojedinačnih zadataka (Slika 5-1).

Dok izvršava zadatke, mikroprocesor radi na maksimalnoj frekvenciji f_{\max} , koja odgovara vrednosti napona napajanja $V_{DD\max}$. U cilju smanjenja potrošnje, mikroprocesor može da koristi niže vrednosti napona napajanja i frekvencije. Sa smanjenjem napona napajanja smanjuje se dinamička komponenta snage po kvadratnom zakonu [Kea07] ali se povećavaju kašnjenja standardnih ćelija. Povećavanje kašnjenja utiče na to da se vrednost taktne frekvencije f smanjuje [Cha98]:

$$f \propto \frac{(V_{DD} - V_{TH})^2}{V_{DD}} \quad (5-1)$$

U prethodnoj jednačini V_{TH} predstavlja napon praga MOS tranzistora koji zavisi od tehnološkog procesa. Prethodna jednačina se može pojednostaviti pa se može smatrati da se sa smanjenjem napona napajanja vrednost maksimalne taktne frekvencije linearno smanjuje. Skaliranje napona napajanja se može predstaviti koristeći faktor skaliranja ρ :

$$\rho = \frac{V_{DD}}{V_{DD\max}} \quad (5-2)$$

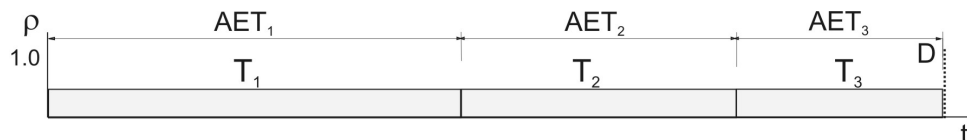
Sa skaliranjem napona napajanja V_{DD} menja se radna frekvencija f . Pretpostavlja se da je frekvencija f proporcionalna vrednosti napona napajanja V_{DD} tako da ρ predstavlja normalizovanu brzinu mikroprocesora, koja je jednaka odnosu trenutne i maksimalne frekvencije f_{\max} .

$$\rho = \frac{f}{f_{\max}} \quad (5-3)$$

DVFS tehnika koristi slobodno vreme procesora kako bi smanjila potrošnju ali samo do mere koja ne dovodi do prekoračenja vremenskih zahteva. Upotreba DVFS usporava izvršavanje zadataka i postoji realna opasnost da neki zadaci budu izvršavani posle roka D [Ejl06]. Vreme izvršenja zadatka T_i produžava se u odnosu na vreme AET_i koje važi u slučaju kada je $\rho=1$. U literaturi se često može naći pretpostavka da se sa skaliranjem radne frekvencije procesora faktorom ρ , vreme izvršenja menja sa faktorom $1/\rho$. [Ejl06], [Pop07], [Ele08]. Vreme izvršenja zadatka T_i se skalira faktorom ρ :

$$AET_i(\rho) = \frac{AET_i}{\rho} \quad (5-4)$$

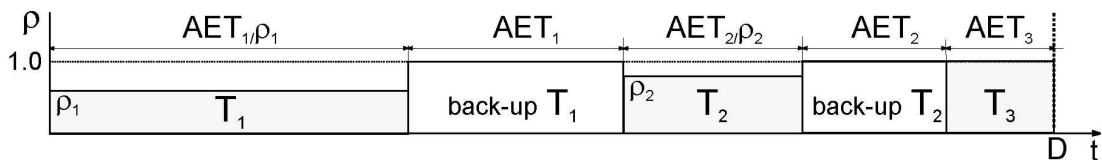
Napon napajanja utiče na pouzdanost izvršenja zadataka. Ako se zadatak izvršava pri maksimalnom naponu (kada je $\rho=1$), smatra se da je izvršavanje zadatka dovoljno pouzdano [Ele08], [Pop07]. Međutim, kada mikroprocesor radi pri niskoj vrednosti napona napajanja javljaju se greške [Sri04], [Ejl06]. Što je napon napajanja niži, češća je pojava grešaka. Kada bi se zanemario nepouzdan rad mikroprocesora pri niskom naponu napajanja i samo razmatrala potrošnja, sve raspoloživo *Slack* vreme bilo bi iskorišćeno da se smanji napon napajanja. Primer takvog rada sistema je prikazan na Slici 5-2.



Slika 5-2 Primer rada sistema kada se napon napajanja smanjuje

Da bi se obezbedila pouzdanost rada, za svaki zadatak tokom čijeg izvršavanja je napon napajanja smanjen, rezerviše se dodatno vreme ili dodatni hardver namenjen izvršavanju rezervne kopije zadatka. Smatra se da su rezervne kopije zadataka pouzdane jer se izvršavaju pri maksimalnoj brzini $\rho=1$, odnosno, pri maksimalnim vrednostima napona napajanja i taktne frekvencije.

Tehnika vremenske redundanse rezerviše dodatne vremenske intervale za kopije zadataka. To se može videti na Slici 5-3 koja prikazuje izvršavanje zadataka T_1 , T_2 i T_3 .



Slika 5-3 Primer rasporeda zadataka koji se zasniva na vremenskoj redundansi

Tokom *Slack* intervala ostavlja se prostor za izvršavanje kopija onih zadataka koji se izvršavaju pri vrednosti napona nižoj od V_{DDmax} . Preostalo vreme do trenutka D koristi se za produžavanje trajanja zadataka. Na Slici 5-3 zadaci T_1 i T_2 izvršavaju se sa brzinama ρ_1 i ρ_2 manjim od jedinice, u intervalima AET_i/ρ_i . Vreme se rezerviše za kopije zadataka T_1 i T_2 . Zadatak T_3 se izvršava na maksimalnoj brzini $\rho=1$, tako da T_3 ne zahteva rezervisanje kopije.

5.2.2 Standby sparing tehnika

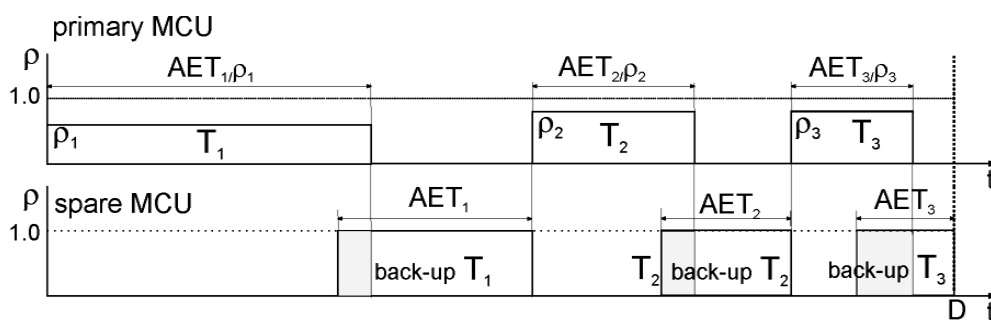
Standby sparing metoda [Ejl06] se zasniva na redundantnosti hardvera i koristi se kada su prisutne permanentne i intermitentne greške. Sistem se sastoji od dva mikroprocesora: primarnog i dodatnog, koji su identične arhitekture. Mikroprocesori izvršavaju identični niz zadataka, s tim što primarni izvršava osnovne zadatke, dok dodatni izvršava rezervne kopije. Kako je potrošnja energije važan aspekt rada integrisanih kola, mikroprocesorski sistem koristi tehnike DVFS i *Power gating*.

Primarni mikroprocesor koristi DVFS. Pored maksimalnih vrednosti napona napajanja V_{DDmax} i taktne frekvencije f_{max} , u cilju smanjenja potrošnje, primarni mikroprocesor koristi niže vrednosti V_{DD} i f . Kada je pri izvršavanju nekog zadatka napon napajanja smanjen, smatra se da je smanjena pouzdanost tog zadatka. Pouzdanost se obezbeđuje time što se umesto svakog osnovnog zadatka u kome se desila greška, izvršava kopija na dodatnoj mikroprocesorskoj jedinici. Ako primarni mikroprocesor radi na maksimalnom naponu napajanja, pretpostavlja se da je izvršavanje dovoljno pouzdano i da nema potrebe da dodatni mikroprocesor izvršava rezervni zadatak.

Dodatni mikroprocesor koristi tehniku *Power gating*. Tokom rada on je znatno duže u pasivnom (*Standby*) režimu nego u aktivnom. Kada izvršava rezervne zadatke radi pri maksimalnoj brzini $\rho=1$, tj. pri maksimalnim vrednostima radne frekvencije f_{max} i napona napajanja V_{DDmax} , jer je pri ovim uslovima verovatnoća pojavljivanja intermitentnih grešaka najmanja [Ejl06].

Princip rada *Standby sparing* sistema može se objasniti na primeru grupe zadataka sa Slike 5-4. Primarni mikroprocesor, kada radi na V_{DDmax} i f_{max} , izvršava zadatak T_i u vremenskom intervalu koji je jednak AET_i . Zadaci treba da budu izvršeni pre zdatog roka D tako da potrošnja bude minimalna. Kada je napon napajanja smanjen, primarni mikroprocesor izvršava osnovni zadatak T_i brzinom ρ_i u vremenskom intervalu AET_i/ρ_i . Za svaki zadatak koji primarni mikroprocesor izvršava pri naponu napajanja nižem od V_{max} , rezerviše se dodatna kopija zadatka na dodatnom mikroprocesoru.

Da bi se svi zadaci izvršili pre isteka zdatog roka D , dodatni mikroprocesor počinje sa radom pre nego što primarni mikroprocesor završi zadatak T_i i proveriti moguću grešku (Slika 5-4). Pre početka izvršavanja rezervnog zadatka dodatni mikroprocesor je u *Standby* modu rada. Izvršavanje rezervnog zadatka počinje sa zakašnjenjem d_i u odnosu na početak izvršavanja osnovnog zadatka T_i . Tada dodatni mikroprocesor prelazi u aktivni mod rada (Slika 5-4). U nastavku, kada primarni mikroprocesor završi svoj zadatak, proverava se ispravnost zadatka T_i . Smatra se da je provera zadatka postupak koji je uključen u vreme izvršenja zadatka na primarnom jezgru. Ako je zadatak T_i uspešno obavljen, otkazuje se dalje izvršavanje rezervnog zadatka, jer nije više potrebno, a dodatni mikroprocesor se vraća u *Standby* radi uštede energije. U slučaju da se desila greška, naredni primarni zadatak T_{i+1} može da bude pokrenut tek nakon što dodatni mikroprocesor izvrši rezervnu kopiju prethodnog zadatka T_i , za šta je potrebno da prođe vremenski interval AET_i .



Slika 5-4 Primer rasporeda zadataka koji se zasniva na tehnici *Standby sparing*

Minimizacija snage disipacije *Standbysparing* sistema se postiže na dva načina:

- smanjivanjem napona napajanja primarnog mikroprocesora i

- smanjivanjem vremenskog intervala u kome je dodatni mikroprocesor u aktivnom modu rada.

Najveći deo energije koju troši mikroprocesorski sistem troši upravo dodatni mikroprocesor. Ovo naročito dolazi do izražaja u uslovima rada kada su stroga vremenska ograničenja vezana za D [Ejl06]. Neka je sa r_i označen vremenski interval između dva uzastopna zadataka T_i i T_{i+1} koji se izvršavaju na primarnom mikroprocesoru (Slika 5-4). Interval r_i je jednak:

$$r_i = d_i + AET_i - \frac{AET_i}{\rho_i} \quad (5-5)$$

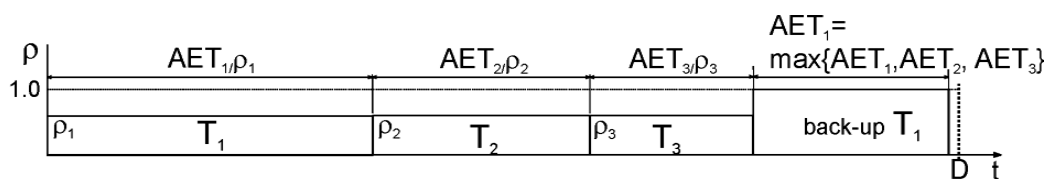
Neka je a_i vreme koje dodatni mikroprocesor provede u aktivnom modu rada tokom izvršavanja rezervne kopije zadatka T_i . Utrošena energija dodatnog mikroprocesora zavisi od dužine intervala a_i :

$$a_i = AET_i - r_i = \frac{AET_i}{\rho_i} - d_i \quad (5-6)$$

U cilju smanjenja ukupne potrošnje dodatnog mikroprocesora, zbir intervala a_i treba da se smanji i da se poveća zbir r_i , koji je ograničen intervalom D . U nastavku biće data analiza potrošnje energije *Standby sparing* sistema.

5.2.3 Shared-recovery tehnika

U tehnici *Shared recovery* [Zha09b] sistem koristi samo jedan mikroprocesor, slično kao kod tehnike *Time redundancy*. Takođe, procesor koristi DVFS za smanjenje potrošnje. Rezerviše se samo jedan vremenski interval za izvršavanje rezervnih kopija više primarnih zadataka. Trajanje tog intervala jednako je maksimalnoj vrednosti trajanja pojedinačnih zadataka - AET_i . Sistem ima više mogućnosti za uštedu energije u odnosu na *Time redundancy*, jer je više *Slack* vremena dostupno za DVFS. Slika 5-5 prikazuje izvršavanje zadataka T_1, T_2, T_3 i u tehnici *Shared recovery*.



Slika 5-5 Primer rasporeda zadataka koji se zasniva na tehnici *Shared recovery*

5.3 Matematički model za procenu potrošnje mikroprocesora koji koristi tehnike za pouzdani rad *Time redundancy*, *Standby sparing* i *Shared recovery*

Prvo je napravljen matematički model za procenu potrošnje energije E_{SS} *Standby sparing* sistema. Iz ovog modela dobijene su vrednosti E_{TR} i E_{SR} za *Time redundancy* i *Shared recovery* sisteme redom, kao specijalni slučajevi modela E_{SS} .

Modeli računaju potrošnju energije u zavisnosti od dužine trajanja zadataka AET_i i dozvoljenog vremenskog roka za izvršenje zadataka D . Pored AET_i i D , ulazni parametri modela su vrednosti snage disipacije P i taktne frekvencije f pri različitim naponima napajanja V_{DD} . Sistem može da koristi više uređenih parova (P, f) .

U nastavku je data analiza *Standby sparing* sistema sa stanovišta potrošnje.

Ukupna potrošnja mikroprocesora jednaka je zbiru statičke P_L i dinamičke snage P_D . Kada je napon napajanja konstantan, dinamička komponenta snage P_D je proporcionalna frekvenciji taktnog signala f .

$$P = P_L + P_D = P_L + k_d \cdot f \quad (5-7)$$

Parametri P_L i k_d iz jednačine (5-7) se dobijaju na osnovu merenih rezultata potrošnje mikroprocesora; zavise od arhitekture samog procesora, napona napajanja i tehnološkog procesa u kome je fabrikovan. Takođe, parametri se mogu dobiti procenom potrošnje pre fabrikacije, koja se zasniva na detaljnoj analizi *layout*-a i logičkoj verifikaciji projekta. P_L i k_d se računaju u uslovima kada mikroprocesor radi na nominalnoj vrednosti napona napajanja V_{DDmax} .

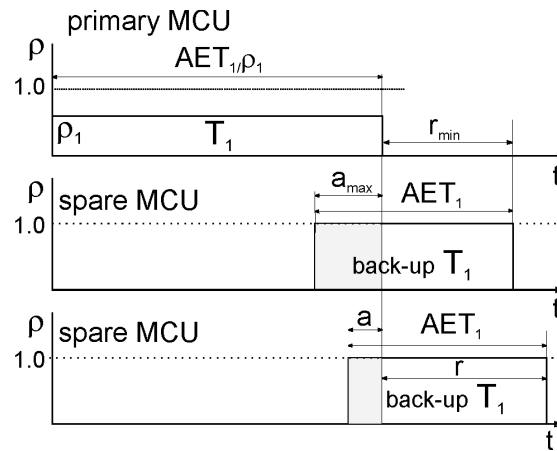
Statička komponenta snage se smanjuje linearno sa promenom napona napajanja kola, dok je dinamička komponenta proporcionalna kvadratu napona napajanja. Uticaj napona napajanja na snagu disipacije mikroprocesora P može se predstaviti formulom (5-8):

$$P(V, f) = P_L \frac{V_{DD}}{V_{DDmax}} + k_d \frac{V_{DD}^2}{V_{DDmax}^2} f \quad (5-8)$$

Jednačina (5-8) se može transformisati u jednačinu (5-9), u kojoj je snaga disipacije P funkcija brzine rada kola ρ :

$$P(\rho) = P_L \cdot \rho + k_d \cdot f_{max} \cdot \rho^3 \quad (5-9)$$

Za realizaciju *Standby sparing* metoda potreban je sistem koji se sastoji od primarnog i dodatnog mikroprocesora. Primer izvršavanja jednog zadatka tehnikom *Standby sparing* prikazan je na Slici 5-6.



Slika 5-6 Izvršavanje jednog zadatka tehnikom *Standby sparing*

Primarni mikroprocesor, kada koristi brzinu ρ , izvršava zadatak T za vreme AET/ρ , što je prikazano na gornjem panelu Slike 5-6. Energija koja se potroši tokom izvršavanja zadatka T je jednaka:

$$E_{PR}(\rho) = \frac{AET}{\rho} P(\rho) = AET(P_L + k_d \cdot f_{max} \cdot \rho^2) \quad (5-10)$$

Dodatni mikroprocesor radi maksimalnom brzinom $\rho=1$. Mogući primeri izvršavanja rezervnog zadatka su prikazani na srednjem i donjem panelu Slike 5-6.

U slučaju greške primarnog procesora, dodatni procesor izvršava rezervni zadatak za vreme koje jednako AET . U slučaju da primarni procesor ispravno izvrši zadatak, dodatni mikroprocesor prekida izvršavanje i prelazi u *Standby*. Vreme koje dodatni procesor provodi u aktivnom modu je jednako razlici vremenskog intervala AET i vremenskog intervala r , između dva uzastopna zadatka (što se može videti na donjem panelu Slike 5-6). Dodatni mikroprocesor troši energiju E_{SP} za izvršavanje rezervnog zadatka:

$$E_{SP}(\rho = 1) = (AET - r)P(\rho = 1) \quad (5-11)$$

Ukupna energija E_{TOT} se sastoji od energija primarnog i dodatnog procesora.

$$E_{TOT} = E_{PR}(\rho) + E_{SP}(\rho = 1) \quad (5-12)$$

Ukupna energija E_{TOT} treba da bude manja od energije E_{PR} , koju bi primarni mikroprocesor trošio kada bi sam izvršavao zadatak pri maksimalnoj brzini $\rho=1$. U suprotnom, upotreba DVFS ne dopinosa uštedama u potrošnji.

$$E_{TOT} \leq E_{PR} (\rho = 1) \quad (5-13)$$

Jednačina (5-13) se može transformisati u:

$$\frac{AET}{\rho} P(\rho) + (AET - r) \cdot P(\rho = 1) \leq AET \cdot P(\rho = 1) \quad (5-14)$$

Vrednost intervala r , koja ispunjava prethodni uslov, treba da bude veća od vrednosti r_{min} :

$$r \geq \frac{AET}{\rho} \frac{P(\rho)}{P(\rho = 1)} = r_{min} \quad (5-15)$$

Granični slučaj, kada je $r=r_{min}$, je prikazan na srednjem panelu Slike 5-6. Energija E_{SP} zavisi od dužine trajanja intervala aktivnog rada a dodatnog procesora koja je jednaka:

$$a = AET - r \quad (5-16)$$

Ako je ispunjen uslov (5-13) dobija se da je maksimum trajanja intervala aktivnog rada dodatnog procesora:

$$a_{max} = AET - r_{min} = AET \cdot \left(1 - \frac{P(\rho)}{\rho \cdot P(\rho = 1)}\right) \quad (5-17)$$

Kada je $\rho=1$, dodatni mikroprocesor ne treba da radi, pa je u tom slučaju $a_{max}=0$.

Ukupna energija sistema E_{TOT} potrebna za izvršavanje zadatka T, jednaka je zbiru primarnog i dodatnog mikroprocesora i može se izraziti preko a_{max} :

$$E_{TOT} = E_{PR} (\rho = 1) - (a_{max} - a) \cdot P(\rho = 1) \quad (5-18)$$

Vrednost E_{TOT} je funkcija dužine trajanja zadatka AET, snage mikroprocesora $P(\rho=1)$, brzine primarnog mikrokontrolera ρ i vremenskog intervala a , tokom kojeg je dodatni mikroprocesor u aktivnom modu rada. U cilju smanjenja E_{TOT} jedino možemo da utičemo na smanjenje intervala a .

Kada je $a=0$, E_{TOT} se sastoji samo od energije primarnog mikroprocesora jer je dodatni mikroprocesor u stanju *Standby*. Tada je E_{TOT} jednako:

$$E_{TOT} = E_{PR} (\rho) = E_{PR} (\rho = 1) - a_{max} \cdot P(\rho = 1) \quad (5-19)$$

Neka je period *ET* (*Execution time*) ukupno vreme koje se izdvaja za izvršenje zadatka T. Vreme *ET* je jednako zbiru intervala tokom koga je primarni mikroprocesor u aktivnom modu rada i slobodnog vremenskog intervala r :

$$ET = \frac{AET}{\rho} + r = \left(\frac{AET}{\rho} + AET \right) - a \quad (5-20)$$

Minimum perioda ET iznosi:

$$ET_{\min} = \frac{AET}{\rho} + r_{\min} \quad (5-21)$$

Kada je $\rho=1$, dodatni mikroprocesor ne treba da radi, ukupno vreme obuhvata samo izvršavanje zadatka na primarnoj jedinici, pa je u tom slučaju:

$$ET_{\min} = AET \quad (5-22)$$

Na osnovu (5-20), može se zaključiti da se sa smanjenjem vremena a , interval ET produžava. Povećavanje zbira intervala ET_i različitih zadataka ograničeno je vremenskim intervalom D .

$$\sum_{i=1}^N ET_i < D \quad (5-23)$$

Na smanjenje energije dodatnog mikroprocesora utiče višak slobodnog vremena SLT (*Slack time interval*), koji je jednak je razlici intervala D i zbira vremenskih intervala $ET_{\min,i}$ različitih zadataka:

$$SLT = D - \sum_{i=1}^N ET_{\min,i} \quad (5-24)$$

SLT se koristi da se vreme aktivnog rada dodatnog procesora smanji što više. Ako je vrednost $SLT > 0$ i ako je zbir intervala a_{\max} manji od SLT :

$$\sum_{i=1}^N a_{\max,i} < SLT \quad (5-25)$$

dodatna jedinica ne treba da radi. Vreme aktivnog rada dodatne jedinice jednako je nuli.

U ovom slučaju *Standby sparing* sistem se ponaša identično sistemu koji je zasnovan na vremenskoj redundansi i dodatni mikroprocesor nije potreban, već samo primarni. U slučaju greške tokom izvršenja nekog zadatka, primarni mikroprocesor ima dovoljno vremena da ponovi zadatak. Ukupna energija *Time redundancy* sistema $E_{TOT}=E_{TR}$ za izvršenje svih zadataka je:

$$E_{TR} = \min \left\{ \sum_{i=1}^N E_{PR_i}(\rho) \right\} = \sum_{i=1}^N E_{PR_i}(\rho=1) - P(\rho=1) \cdot \left(\sum_{i=1}^N a_{\max,i} \right) \quad (5-26)$$

Ako uslov (5-25) nije ispunjen, dodatni procesor mora izvesno vreme da provede u aktivnom modu rada. Tada se višak slobodnog vremena SLT može iskoristiti da se vreme

aktivnog rada dodatnog procesora smanji što više. Ukupno vreme rada dodatnog procesora ne može da bude manje od vrednosti koja je jednaka razlici zbira intervala $a_{\max,i}$ svih zadataka i intervala SLT .

$$\sum_{i=1}^N a_i \leq \left(\sum_{i=1}^N a_{\max,i} \right) - SLT \quad (5-27)$$

Potrošnja *Standby sparing* sistema E_{SS} se dobija koristeći (5-18) kada se saberu potrošnje pojedinačnih zadataka:

$$\begin{aligned} & \sum_{i=1}^N (E_{PR_i}(\rho) + E_{SP_i}(\rho=1)) = \\ & = \sum_{i=1}^N (E_{PR_i}(\rho=1) - P(\rho=1)(a_{\max,i} - a_i)) \\ & = \sum_{i=1}^N E_{PR_i}(\rho=1) - P(\rho=1) \cdot \sum_{i=1}^N (a_{\max,i} - a_i) \end{aligned} \quad (5-28)$$

Na osnovu (5-27) i (5-28), dobija se da je minimum potrošnje energije *Standby-sparing* sistema:

$$E_{SS} = \min \left\{ \sum_{i=1}^N (E_{PR_i}(\rho) + E_{SP_i}(\rho=1)) \right\} = \sum_{i=1}^N E_{PR_i}(\rho=1) - P(\rho=1) \cdot SLT \quad (5-29)$$

U slučaju *Shared recovery* sistema, zbir svih vremena izvršenja zadataka ET_i treba da bude manji od razlike vremena D i maksimalne vrednosti vremena izvršenja zadataka AET_i .

$$\sum_{i=1}^N ET_i < D - \max_{i \in (1, n)} \left\{ AET_i \Big|_{\rho \neq 1} \right\} \quad (5-30)$$

gde je vreme izvršenja zadatka T_i :

$$ET_{SR,i} = AET_i / \rho_i \quad (5-31)$$

Ukupan višak slobodnog vremena (*Slack*) SLT_{SR} jednak je:

$$SLT_{SR} = D - \max_{i \in (1, n)} \left\{ AET_i \Big|_{\rho \neq 1} \right\} - \sum_{i=1}^N ET_i \quad (5-32)$$

Kada je ispunjen uslov $SLT > 0$, raspored zadataka *Shared recovery* se smatra pouzdanim i tada je minimalna vrednost energije sistema E_{SR} :

$$\begin{aligned} E_{SR} & = \min \left\{ \sum_{i=1}^N (E_{PR_i}(\rho)) \right\} = \\ & = \sum_{i=1}^N E_{PR_i}(\rho) - P(\rho=1) \cdot \left(\sum_{i=1}^N a_{\max,i} \right) \end{aligned} \quad (5-33)$$

gde je

$$a_{\max i} = AET_i \left(1 - \frac{P(\rho_i)}{\rho_i \cdot P(\rho = 1)}\right) \quad (5-34)$$

5.4 Poređenje tehnika za pouzdan rad sa stanovišta energetske efikasnosti

Tehnike koje obezbeđuju pouzdan rad sistema primenjene su na primeru 8051 mikrokontrolera. Određena je potrošnja mikrokontrolera dok izvršava zadatke na način određen tehnikama *Time-redundancy*, *Standby sparing* i *Shared recovery*. Na kraju je izvršeno poređenje opisanih tehnika sa stanovišta potrošnje energije.

Zajednička odlika nabrojanih tehnika jeste da smanjuju potrošnju izvršenja zadataka na račun viška slobodnog vremena (*Slack time*). Što je slobodno vreme duže, postoji više prostora za uštedu energije i tada je napon napajanja MCU-a niži. Takođe, sve tri tehnike imaju zajedničku odliku da se kopije zadataka rezervišu samo za one zadatke tokom čijeg izvršavanja je napon napajanja smanjen, odnosno, koji se izvršavaju normalizovanom brzinom manjom od jedinice.

Kao što je rečeno u četvrtoj glavi, mikrokontroler 8051 koji je implementiran u tehnologiji CMOS 65 nm [TSM12] sastoji se od osnovnih blokova: jezgra, perifernih jedinica i memorija. Periferni jedinice se sastoje od kola tajmera/brojača, digitalnih ulazno/izlaznih portova, komunikacionih modula - asinhronog bloka za prijem i slanje podataka (UART) i komunikacionih blokova SPI i I2C. Memorijski blokovi se sastoje od programske memorije kapaciteta 8 kB, eksterne memorije za podatke XRAM kapaciteta 2 kB i interne memorije IRAM kapaciteta 256 B.

U mikrokontroleru je ugrađeno više opcija za smanjenje potrošnje. Tokom aktivnog moda rada kolo delitelja frekvencije omogućava redukciju frekvencije do 32 puta u odnosu na maksimalnu vrednost, koja je jednaka 100 MHz kada kolo radi na $V_{DD} = 1,32$ V. Zatim, kada je kolo u stanju Standby, moguće je zaustaviti rad jezgra. To se postiže gejtovanjem taktnog signala jezgra. Naime, u tehnološkom procesu [TSM12] struje curenja standardnih ćelija su zanemarljive pa je dinamička potrošnja znatno veća od statičke. Zato se tehnika *Power gating* ne koristi već samo *Clock gating*. Dovoljno je bilo da se u cilju smanjenja potrošnje ukine taktni signal jezgra. Inače, u *Standby* modu rada, periferni jedinice nastavljaju da rade.

Sistem koji se koristi za analizu potrošnje tehnika *Time redundancy* i *Shared recovery* sastoji se iz jednog 8051 mikrokontrolera koji koristi DVFS. U tehnološkom procesu 65 nm dostupne su biblioteke standardnih ćelija za napone napajanja od 1,32 V, 1,2 V i 1,08 V, pa je

iz tog razloga odabrano da normalizovana brzina mikrokontrolera ρ može da ima jednu od vrednosti 1,0, 0,91 ili 0,82.

Kada jezgro radi na maksimalnom naponu $V_{DDmax}=1,32$ V vremenskom analizom kola dobijena je maksimalna taktna frekvencija od 100 MHz. Tada je normalizovana brzina $\rho=1,0$. Za brzinu $\rho=0,91$ i napon napajanja je 1,2 V, dobija se taktna frekvencija od 90 MHz. Za vrednost $\rho=0,82$ napon napajanja je najmanji i iznosi $V_{DDreduced}=1,08$ V, dok je taktna frekvencija $f_{reduced}=70$ MHz.

U realizaciji *Standby sparing* sistema koriste se dva 8051 jezgra: primarno i dodatno. Jezgra su odvojena u posebnim *Power oblastima* i imaju nezavisne vodove za napajanje. RAM memorija predstavlja najveći blok *layout*-a i ima površinu tri puta veću od površine jednog jezgra [Jov10]. Kako dodatno jezgro izvršava isti programski kôd kao i primarno jezgro, oba jezgra mogu da dele istu programsku memoriju, pa sa stanovišta površine, mikroprocesorski sistem koji se sastoji od dva jezgra nije mnogo veći od sistema koji ima jedno jezgro. Primarno jezgro koristi DVFS, tako daje brzina ρ jednaka 1,0, 0,91 ili 0,82. Dodatno jezgro ne koristi DVFS, već samo *Clock gating*. Kada je u aktivnom modu rada, dodatno jezgro radi na naponu napajanja $V_{DDmax}=1,32$ V i taktnoj frekvenciji $f_{max}=100$ MHz. U Standby stanju taktni signal jezgra je ukinut.

Potrošnja 8051 mikrokontrolera je utvrđena nakon projektovanja *layout*-a. Procenjena je potrošnja svake standardne ćelije na osnovu modela ćelija iz tehnoloških biblioteka, konkretnih vrednosti parazitnih kapacitivnosti i otpornosti na vezama *layout*-a i prekidačke aktivnosti na ulaznim i izlaznim vezama ćelija. Način procene potrošnje snage je objašnjen u prethodnom poglavlju. Vrednosti potrošnje P i frekvencije f , pri datom naponu napajanja V_{DD} su date u Tabeli 5-1.

Tabela 5-1 Potrošnja mikrokontrolera koji je realizovan u tehnologiji TSMC 65 nm pri različitim vrednostima napona napajanja

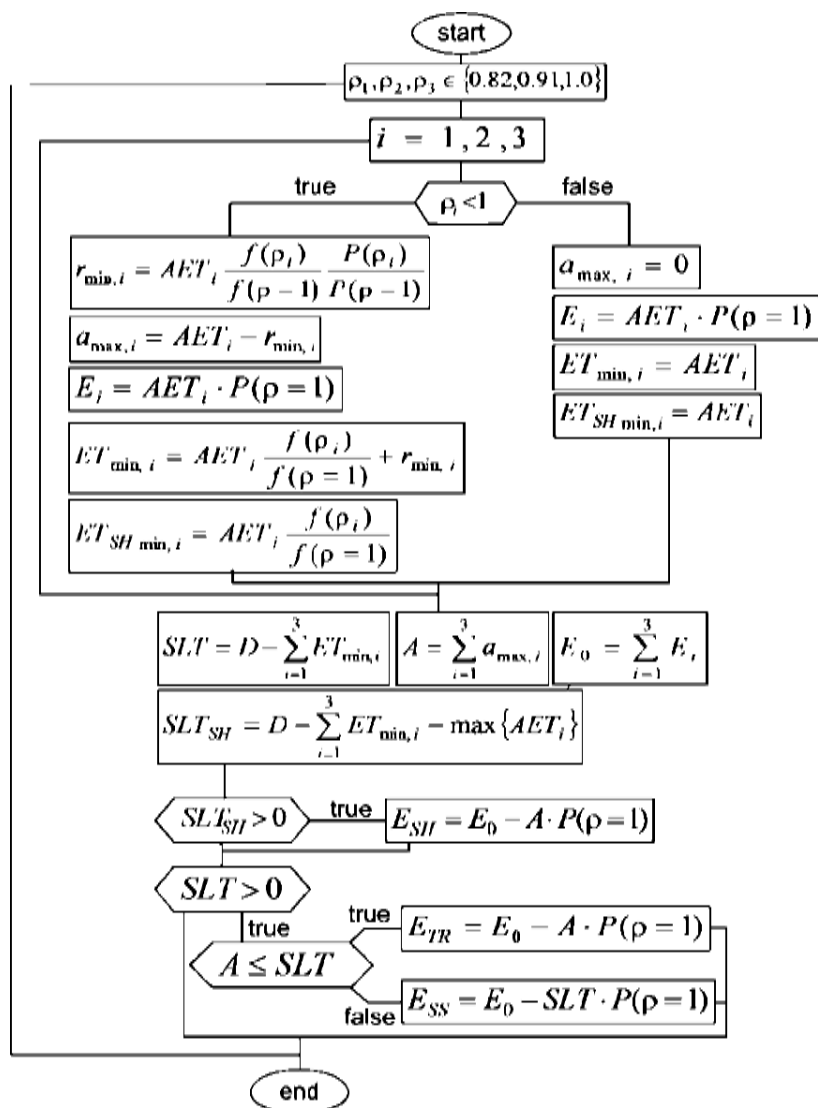
Brzina ρ	1,0	0,91	0,82
Napon napajanja V_{DD} [V]	1,32	1,2	1,08
Taktna frekvencija f [MHz]	100	90	70
Potrošnja P [mW]	4,738	3,372	2,072

Potrošnje sistema *Time redundancy*, *Standby sparing* i *Shared recovery* su analizirane koristeći dva primera rasporeda zadataka koji su opisani u nastavku.

U prvom primeru analizirana je potrošnja tehnika za raspored zadataka koji se sastoji iz tri zadatka T_1 , T_2 i T_3 . Zadaci imaju identično vreme izvršavanja $AET_i=25$ ms i trebaju da budu izvršeni pre isteka vremenskog roka D , koji je zadat kao parametar i menja se u opsegu

do 75 do 200 ms. Normalizovana brzina mikrokontrolera može da ima jednu od vrednosti 0,82, 0,91 ili 1,0.

Za potrebe realizacije matematičkog modela za procenu potrošnje sistema *Time redundancy*, *Standby sparing* i *Shared recovery*, koji je detaljno opisan u prethodnom delu poglavlja, napisan je program koristeći programski paket Matlab [MAT08]. Algoritam je prikazan na Slici 5-7.



Slika 5-7 Algoritam za procenu potrošnje tehnika *Time redundancy*, *Standby sparing* i *Shared recovery*

Algoritam određuje energije izvršenja zadataka E_{TR} , E_{SS} i E_{SR} sistema koje se odnose na *Time redundancy*, *Standby sparing* i *Shared recovery* redom. Ulazni parametri algoritma su dužine trajanja zadataka AET_i , vremenski rok izvršenja zadataka D , vrednosti snage disipacije

P i taktne frekvencije f pri različitim naponima napajanja V_{DD} . Pored vrednosti potrošnje, algoritam određuje i brzine izvršenja zadataka ρ_i koje daju minimalnu potrošnju.

Koraci algoritma prikazani na Slici 5-7. Za zadatke T_1, T_2 i T_3 , čija su vremena izvršenja $AET_i, (i=1, 2, 3)$ generisane su sve moguće varijacije uređenih trojki (ρ_1, ρ_2, ρ_3) iz skupa $\{1,0, 0,91, 0,82\}$. Za svaku uređenu trojku (ρ_1, ρ_2, ρ_3) algoritam koji je prikazan na Slici 5-7, nalazi najpre dužine trajanja vremenskih intervala zadataka T_1, T_2 i T_3 , a zatim i:

- $r_{\min,i}$, minimum vremenskog intervala r_i između zadataka T_i i T_{i+1} , koji se računa po formuli (5-15),
- $a_{\max,i}$, maksimum trajanja intervala aktivnog rada a_i dodatnog procesora za zadatak T_i , koji se računa po formuli (5-17),
- $ET_{\min,i}$ minimum vremenskog intervala koji se izdvaja za izvršenje zadatka T_i , koristeći jednačinu (5-21),
- $ET_{SR \min,i}$ minimum vremenskog intervala za izvršenje zadatka T_i , kada se koristi tehnika *Shared recovery*. Koristi se jednačina (5-31).

Nakon toga, na osnovu izračunatih vrednosti navedenih parametara, algoritam nalazi dužine trajanja *Slack* intervala za tehnike *Standby sparing (SLT)* i *Shared recovery (SLT_{SR})* po formulama (5-24) i (5-32) redom, kao i parametar A koji jednak zbiru svih intervala $a_{\max,i}$ zadataka iz skupa koristeći jednačinu (5-24). Na kraju algoritma, dobijaju se vrednosti potrošnje:

- E_{TR} -*Time-redundancy*, koristeći (5-26) u slučaju da su ispunjeni uslovi ($SLT > 0$) i ($A < SLT$),
- E_{SS} -*Standby Sparing*, koristeći (5-29) kada su ispunjeni ($SLT > 0$) i ($A > SLT$),
- E_{SR} -*Shared recovery*, koristeći (5-32) ako važi ($SLT_{SR} > 0$).

Postupak izračunavanja E_{TR}, E_{SS} i E_{SR} se ponavlja za svaku uređenu trojku (ρ_1, ρ_2, ρ_3) iz skupa varijacija da bi se odredile njihove minimalne vrednosti.

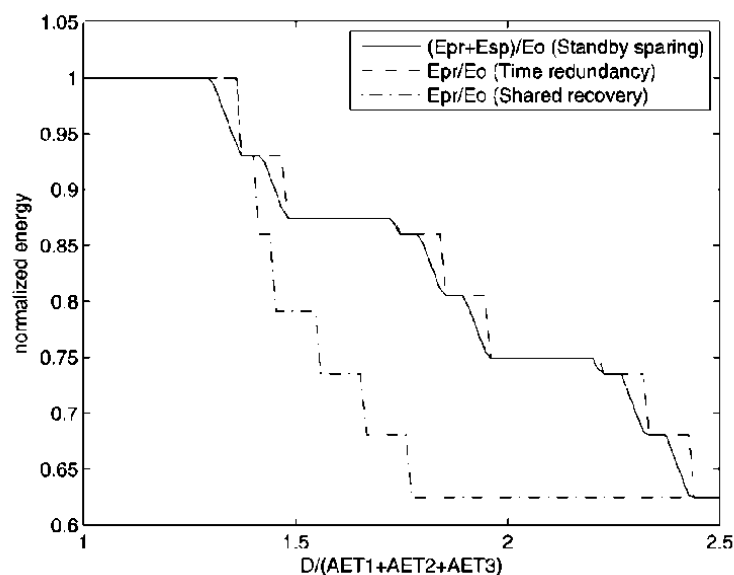
Tabela 5-2 prikazuje potrošnju sistema kada se primenjuju tehnike za pouzdan rad i parametar D se menja u opsegu do 75 do 200 ms. Prikazani rezultati važe za raspored u kome su svi zadaci trajanja $AET_i=25$ ms. Utrošena energija, kada mikrokontroler radi na naponu napajanja $V_{\max}=1,32$ V i brzini $\rho=1,0$, jednaka je $E_0=355$ mJ. Minimalna vrednost

energije $E_{\min}=222$ mJ se dobija kada se sva tri zadatka izvršavaju brzinom $\rho=0,82$. Ostvarena je ušteda u energiji od 37% u odnosu na E_0 . Funkcija vrednosti energije u zavisnosti od vremena D ima opadajući karakter. Najbrže opadanje funkcije se dobija u slučaju tehnike *Shared recovery*, dok su rezultati potrošnje dobijeni tehnikama *Standby sparing* i *Time redundancy* skoro identični.

Tabela 5-2 Potrošnja sistema tokom izvršavanja rasporeda u kome svi zadaci imaju trajanje $AET_i=25$ ms

slučaj 1: $AET_1=25$ms; $AET_2=25$ms; $AET_3=25$ms; $E_0=355$ mJ							
	D[ms]	75	100	125	150	175	200
<i>Vremenska redundansa</i>	ρ_1	1,0	1,0	0,82	0,82	0,82	0,82
	ρ_2	1,0	1,0	1,0	0,82	0,82	0,82
	ρ_3	1,0	1,0	1,0	1,0	0,91	0,82
	E_{pr}[mJ]	355	355	311	266	241	222
<i>Standby sparing</i>	ρ_1	1,0	0,91	0,82	0,82	0,82	0,82
	ρ_2	1,0	1,0	1,0	0,82	0,82	0,82
	ρ_3	1,0	1,0	1,0	1,0	0,91	0,82
	$E_{pr}+E_{sp}$[mJ]	355	343	311	266	241	222
<i>Shared recovery</i>	ρ_1	1,0	1,0	0,82	0,82	0,82	0,82
	ρ_2	1,0	1,0	0,82	0,82	0,82	0,82
	ρ_3	1,0	1,0	0,91	0,82	0,82	0,82
	E_{pr}[mJ]	355	355	241	222	222	222

Na Slici 5-8 prikazana je energija koja se disipira korišćenjem opisanih tehnika kao funkcija viška slobodnog vremena (*Slack*) mikrokontrolera. Zadaci u rasporedu su trajanja $AET_i=25$ ms. Prikazana vrednost potrošnje je normalizovana u odnosu na E_0 , dok je vreme D normalizovano u odnosu na zbir vremena AET_i . Što je vreme *Slack* duže, potrošnja sistema je manja. Rezultati koji su dobijeni tehnikom *Time redundancy* približno se poklapaju sa rezultatima koji su dobijeni tehnikom *Standby sparing*. Tehnika *Shared recovery* daje znatno bolje rezultate, ostvaruje uštedu do 22% E_0 u odnosu na rezultate druge dve tehnike. U *Shared recovery* manji je deo *Slack* vremena rezervisan za kopije zadataka i ima više prostora za primenu DVFS.



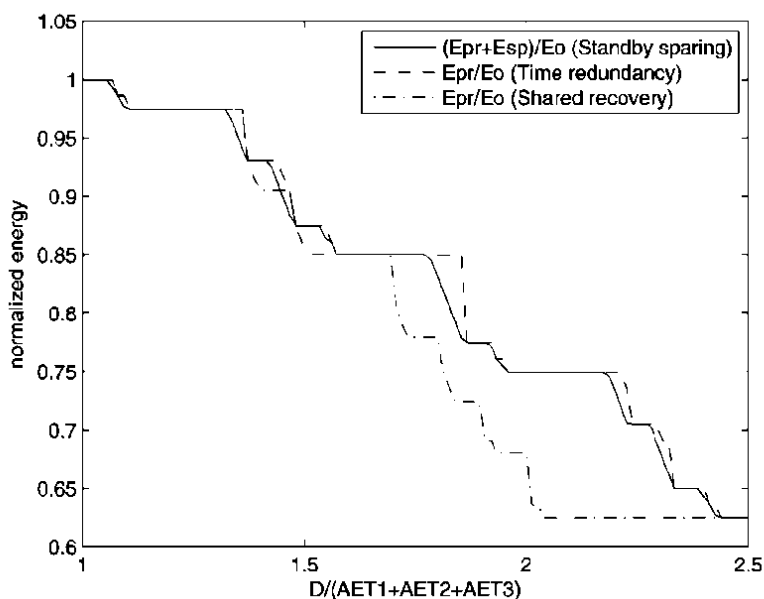
Slika 5-8 Energija izvršenja zadataka normalizovana u odnosu na E_0 u zavisnosti od *Slack* vremena; zadaci imaju isto trajanje $AET_i=25\text{ms}$;

U drugom primeru analizirana je potrošnja tehnika za pouzdan rad za raspored koji se sastoji iz tri zadatka T_1 , T_2 i T_3 različitog trajanja $AET_1=5\text{ ms}$; $AET_2=25\text{ ms}$; $AET_3=45\text{ ms}$. Parametar D se menja u opsegu do 75 do 200 ms. Normalizovana vrednost brzine ima jednu od vrednosti 0,82, 0,91 ili 1.0. Tabela 5-3 prikazuje dobijene vrednosti potrošnje.

Tabela 5-3 Potrošnja energije sistema tokom izvršavanja skupa zadataka, za slučaj $AET_1=5\text{ms}$; $AET_2=25\text{ms}$; $AET_3=45\text{ms}$

slučaj: $AET_1=5\text{ms}$; $AET_2=25\text{ms}$; $AET_3=45\text{ms}$; $E_0=355\text{ mJ}$							
	$D[\text{ms}]$	75	100	125	150	175	200
<i>Vremenska redundansa</i>	ρ_1	1,0	0,82	0,82	0,82	1,0	0,82
	ρ_2	1,0	1,0	0,82	1,0	0,82	0,82
	ρ_3	1,0	1,0	1,0	0,82	0,82	0,82
	Epr[mJ]	355	346	302	266	230	222
<i>Standby sparing</i>	ρ_1	1,0	1,0	0,82	0,82	1,0	0,82
	ρ_2	1,0	0,91	0,82	1,0	0,82	0,82
	ρ_3	1,0	1,0	1,0	0,82	0,82	0,82
	Epr+Esp[mJ]	355	343	302	266	230	222
<i>Shared recovery</i>	ρ_1	1,0	0,82	0,82	0,82	0,82	0,82
	ρ_2	1,0	1,0	0,82	0,91	0,82	0,82
	ρ_3	1,0	1,0	1,0	0,82	0,82	0,82
	Epr[mJ]	355	346	302	241	222	222

Slika 5-9 prikazuje energiju u funkciji od vremenskog intervala *Slack* za slučaj $AET_1=5$ ms; $AET_2=25$ ms; $AET_3=45$ ms. Razlika u utrošenoj energiji tehnika *Time redundancy* i *Standby sparing* je u ovom slučaju do 7,5% vrednosti E_0 . U odnosu na *Standby sparing* tehnika *Shared recovery* štedi do 13% E_0 .



Slika 5-9 Energija izvršenja zadataka normalizovana u odnosu na E_0 u zavisnosti od *Slack* vremena; zadaci su trajanja $AET_1=5$ ms; $AET_2=25$ ms; $AET_3=45$ ms

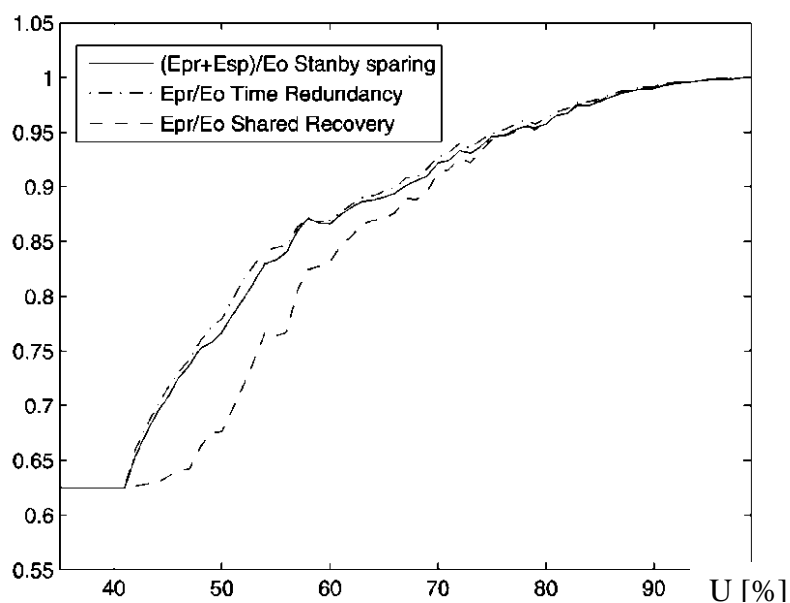
U daljoj analizi, opisani algoritam je primenjen na rasporede zadataka koji su slučajno generisani. U rasporedima, dužine trajanja zadataka su slučajno odabrane. Naime, kreirani su skupovi zadataka gde se svaki skup sastoji od tri zadataka različitog trajanja AET_i . Trajanja pojedinačnih zadataka određena su algoritmom UUniFast [Bin05] koji se koristi za generisanje slučajnih vrednosti.

U sprovedenom postupku vreme D je fiksirano na konstatnu vrednost $D=100$ ms. Neka sa U označimo faktor iskorišćenja mikrokontrolera, koji je jednak količniku sume vremena izvršenja zadataka AET_i i vremenskog intervala D . U postupku koji je opisan u nastavku parametar U se menja u opsegu od 0 do 100% sa korakom 1%.

Za svaku vrednost parametra U , generisani su skupovi zadataka, gde svaki skup sadrži tri zadatka T_j . Vremena izvršenja AET_i su slučajno odabrana algoritmom UUniFast [Bin05] tako da važi pravilo da je zbir AET_i zadataka u skupu jednak proizvodu odabranog parametra U i

konstante D . Prilikom generisanja AET_i , za maksimalnu vrednost je uzet proizvod faktora iskorišćenja U i vremena D , dok je minimalna vrednost AET_i jednaka nuli.

Za svaku vrednost parametra U , generisano je ukupno 100 različitih skupova zadataka. Za svaki skup zadataka, algoritam koji je prikazan na Slici 5-7, nalazi vrednosti potrošnje pri korišćenju tehnika *Standby sparing*, *Time redundancy* i *Shared recovery*. Na kraju postupka, za svaku vrednost parametra U , određena je aritmetička sredina potrošnje 100 različitih skupova zadataka. Dobijeni rezultati su prikazani na Slici 5-10.



Slika 5-10 Srednja potrošnja sistema kada MCU izvršava rasporede zadataka sa zadatim faktorom iskorišćenja U

Tehnika *Shared-recovery* ima manju potrošnju od tehnike *Standby sparing*; razlika u potrošnji iznosi do 12% vrednosti E_0 . Pored toga, *Standby sparing* daje tek malo bolje rezultate od *Time-redundancy*.

Na osnovu dobijenih rezultata može se izvući zaključak da u uslovima rada kola pri niskom naponu napajanja i prisustva intermitentnih greška, korišćenje tehnike *Standby sparing* nije opravdano. Umesto nje, dovoljno je da se koristi tehnika *Time redundancy*. Sa druge strane, tehnika *Shared recovery* pruža najviše ušteda. Međutim, u cilju prevazilaženja permanentnih grešaka neophodno je korišćenje dodatnog jezgra, a to omogućava jedino tehnika *Standby sparing*.

6 Primena projektovanog IP bloka mikrokontrolera u najsavremenijem SoC

Projektovani IP blok 8051 mikrokontrolera, koji je predstavljen u doktorskoj disertaciji, je ugrađen u najsavremeniji telekomunikacioni čip [LIM15b]. Na internet stranici proizvođača čipa je rečeno da je 8051 IP blok, koji je ugrađen u SoC, zlata vredan [LIM15a].

Telekomunikacioni SoC [LIM15b] je *Field Programmable* RF primopredajnik (FPRF) i pokriva veliki opseg frekvencija i komunikacionih standarda koje se koriste u najsavremenijim telekomunikacionim sistemima [LIM15b]. FPRF kolo je projektovano u 65 nm CMOS tehnološkom procesu i ima primenu u:

- sistemima telekomunikacionih baznih stanica,
- *machine-to-machine* (M2M) mrežama,
- širokopojasnim bežičnim komunikacijama (*Broadband Wireless*),
- netbook i tablet računarima,
- opremi za testiranje,
- vojnoj industriji i
- softverski definisanom radiju [LIM15b].

Napredna arhitektura FPRF, specijalni algoritmi koji su ugrađeni u blokove za digitalnu obradu signala (DSP) i mala potrošnja omogućavaju primenu FPRF u svim tipovima bežičnih standarda, uključujući sve 2G, 3G i 4G varijante, kao i WiFi [LIM15b].

Integrirani MCU ima značajnu primenu u FPRF [LIM15a]. MCU sprovedi niz postupaka kalibracije i podešavanja u cilju postizanja najboljih performansi FPRF [LIM15b]. U rešenjima konkurentnih RF primopredajnika [ANA15], eksterni mikroprocesor (*Baseband*) se

koristi za podešavanje, kontrolu i kalibraciju primopredajnika. Eksterni mikroprocesor podešava parametre kao što su frekvencija, pojačanje i propusni opseg [ANA15]. Rešenje FPRF [LIM15b] poseduje i ovu opciju. Problem predstavlja postupak kalibracije, za koji je potrebno dosta interakcije između primopredajnika i Baseband-a, što je spor proces i znatno opterećuje Baseband [LIM15a]. Umesto toga, FPRF koristi integrisani 8051 IP blok, koji može samostalno da kalibriše primopredajnik, bez naročitog uticaja *Baseband* čipa. Ovo rešenje štedi i vreme i novac, kako na proizvodnoj liniji tako i tokom redovne eksploatacije [LIM15a].

6.1 Ugradnja projektovanog 8051 IP bloka u FPRF SoC

Za kontrolu rada FPRF čipa koristi se *Baseband* procesor. Obično je *Baseband* 32-bitni mikroprocesor moćnih performansi – ima visoku taktnu frekvenciju, sadrži mnoge komunikacione module i aritmetičke blokove za brzo digitalno procesiranje signala [LIM15b].

Komunikacija između *Baseband*-a i FPRF se obavlja preko *Serial Port Interface* (SPI). *Baseband* obavlja niz postupaka kalibracije, podešavanja i kontrole čipa kroz interfejs bbSPI koji je prikazan na Slici 6-1. Komunikacija bbSPI se sastoji iz 4 signala:

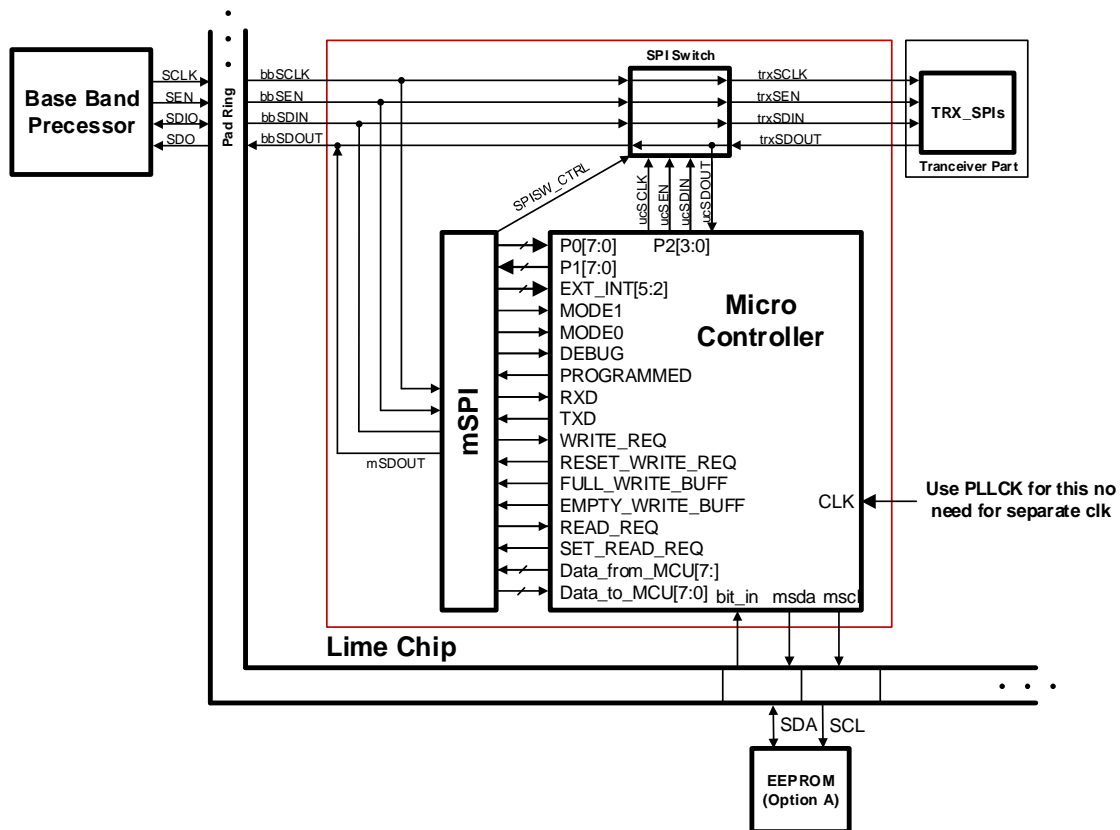
- bbSCLK – signal takta SPI komunikacije, ulazni pin FPRF čipa,
- bbSDIN - ulazni pin FPRF za unos podataka,
- bbSDOUT - izlazni pin FPRF za slanje podataka i
- bbSEN – ulazni pin čipa za dozvolu prenosa podataka.

Baseband preko bbSPI komunicira sa primopredajnim delom (*Transceiver* blok - TRX) FPRF čipa (Slika6-1). Komunikacija se sastoji iz upisa vrednosti u kontrolne registre i čitanja statusnih registara. TRX se sastoji od mnoštva IP kola sa mešovitim signalima (digitalnih i analognih filtara, bloka za kontrolu napona napajanja, PLL, A/D konvertora, D/A konvertora, pojačavača, digitalnih blokova za obradu signala, itd.) [LIM15b]. Svi IP blokovi unutar TRX imaju jedinstvene SPI adrese.

U komunikaciji sa TRX *Baseband* je master i upravlja radom TRX, što je prikazano na Slici 6-1. SPI interfejs bloka TRX (prikazan na Slici 6-1 kao TRX_SPI) se sastoji od 4 signala:

- trxSCLK, ulaznog signala bloka TRX za takt,
- trxSDIN, ulaznog signala bloka TRX za podatke,
- trxSDOUT, izlaznog signala za podatke i

- trxSEN – ulaznog signala za dozvolu prenosa podataka.



Slika 6-1 Baseband procesor direktno upravlja radom bloka TRX

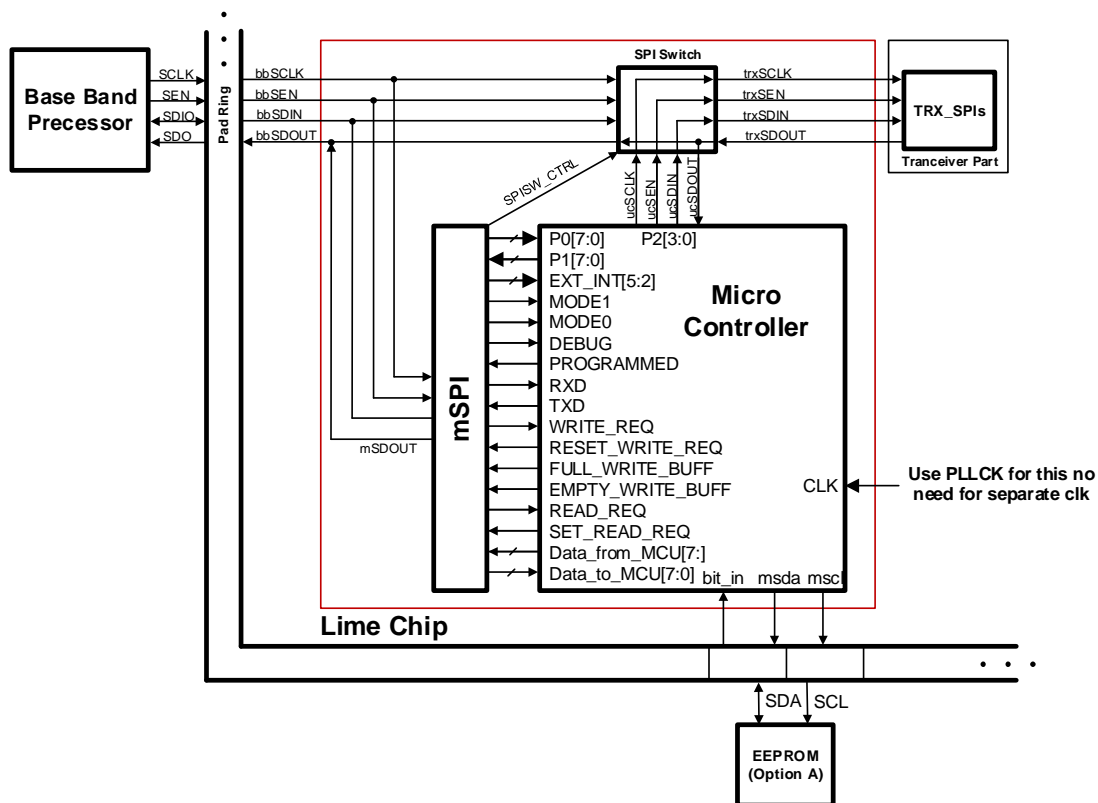
Za dodatnu kontrolu FPRF koristi se 8051 mikrokontroler (MCU) koji je integrisan na FPRF, a prikazan je u centralnom delu Slike 6-1. Korisnici čipa imaju slobodu izbora kontrole podešavanja bloka TRX. Mogu recimo da koriste *Baseband* i da sva podešavanja prenose kroz SPI interfejs ili da pišu funkcije na programskom jeziku 8051 mikrokontrolera koje se implementiraju u programskoj memoriji MCU [LIM15b].

Način integracije MCU-a u FPRF je prikazan na Slici 6-1. Komunikacija FPRF sa spoljašnjim svetom je ostvarena kroz bbSPI interfejs, pa MCU koristi isti interfejs. U tom cilju je projektovan blok za serijsku komunikaciju - mSPI koji je prikazan na Slici 6-1. Preko mSPI *Baseband* upravlja radom MCU.

Za komunikaciju sa TRX, MCU koristi isti SPI protokol kao i *Baseband*. Povezan je sa TRX_SPI preko svog interfejsa - ucSPI, koji je realizovan digitalnim portom P2 (Slika 6-1). Tri pina porta P2 su podešena da rade kao izlazi pinovi, dok je jedan podešen kao ulazni pin. Interfejs ucSPI se sastoji od:

- ucSCL, izlaznog signala MCU za takt,
- ucSDIN, izlaznog signala za slanje podataka,

- ucSDOUT, ulaznog signala za prijem podataka i
- ucSEN, izlaznog signala za dozvolu SPI komunikacije.



Slika 6-2 Baseband procesor predaje bloku MCU kontrolu TRX blokova

U komunikaciji ucSPI, MCU je master dok su TRX slave blokovi. SPI protokol je realizovan u softveru mikrokontrolera. MCU započinje komunikaciju, šalje podatke u kontrolne registre bloka TRX i prima od njih statusne informacije. Način komunikacije MCU i TRX je prikazan na Slici 6-2.

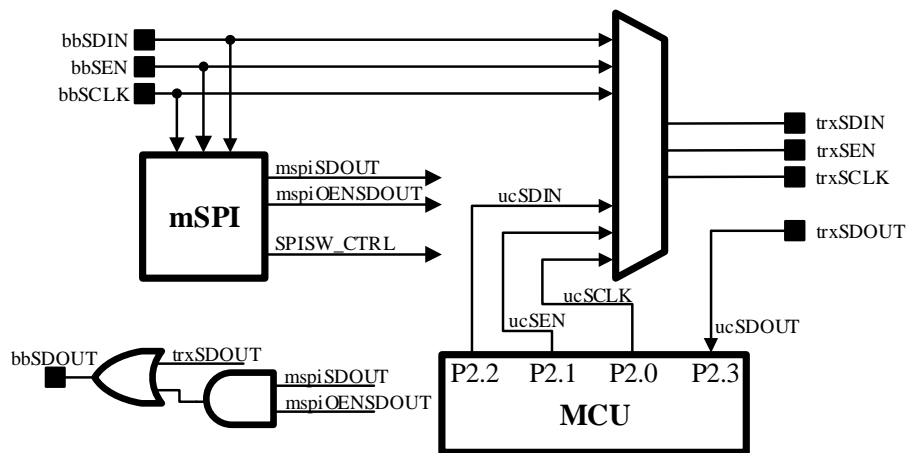
Za kontrolu TRX koristi se SPI prekidač, koji je prikazan kao SPI Switch na Slikama 6-1 i 6-2. SPI Switch određuje ko komunicira sa blokom TRX–Baseband ili MCU.

Baseband upravlja stanjem prekidača, tako da ima kontrolu nad TRX (što je prikazano na Slici 6-1) ili prepušta kontrolu mikrokontroleru (prikazano na Slici 6-2). Šema SPI prekidača je prikazana na Slici 6-3.

Druga dva 8-bitna porta mikrokontrolera, P0 i P1, se koriste u komunikaciji Baseband čipa i MCU.

P0 je ulazni port MCU. Preko porta P0, Baseband šalje MCU komande za izvršavanje različitih funkcija kontrole/ kalibracije/ podešavanja primopredajnika [LIM15b].

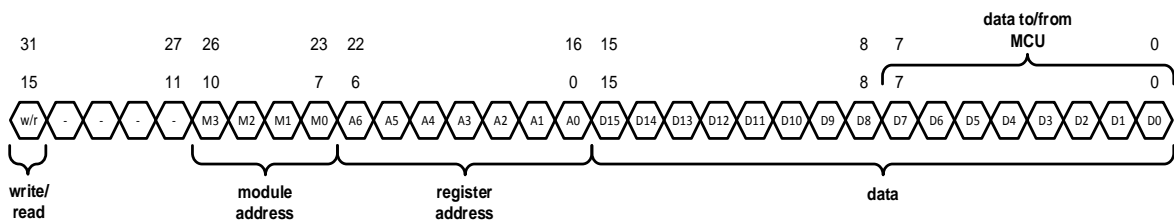
P1 je izlaz koji MCU koristi da prenese informacije Baseband–u o uspešnosti sprovedenih postupaka [LIM15b]. Registri P0 i P1su dostupni Baseband-u kroz mSPI.



Slika 6-3 Realizacija SPI prekidača

6.2 Realizacija komunikacije SPI

Paket podataka, koji *Baseband* procesor šalje ka FPRF, sadrži 32 bita. Paket je prikazan na Slici 6-4. Adresni deo sadrži 7 bitova; njime je moguće adresirati do 128 različitih registara. Deo paketa koji se koristi za prenos podataka je dužine 16 bitova. Za adresu modula koriste se 4 bita. Svaki IP blok na čipu ima jedinstvenu adresu modula. Za MCU je rezervisana 4-bitna adresa modula “0000”.



Slika 6-4 32 bitni paket podataka koji Baseband šalje čipu

Definicije pojedinačnih bitova paketa sa Slike 6-4 su sledeće:

- **W/R**, kontrolni bit za upis/čitanje (0-čitanje, 1-upis),
- **M3-M0**, adresa modula (za MCU jednaka “0000”),
- **A6-A0**, adresa mSPI registra i
- **D15-D0**, bitovi za podatke.

Blok mSPI (prikazan na Slikama 6-1 i 6-2) se koristi za komunikaciju između *Baseband* i MCU. Sadrži ukupno sedam 8-bitnih registara, obeležavenih sa mSPI_REG0- mSPI_REG6. Adrese i značenja mSPI registara su prikazani u Tabeli 6-1

Tabela 6-1 Adrese i opisi mSPI registara

registar	adresa	opis
mSPI REG0	0000000	kontrola ulaza porta P0
mSPI REG1	0000001	čitanje vrednosti porta P1
mSPI REG2	0000010	kontrola ulaznih pinova MCU
mSPI REG3	0000011	čitanje statusnih signala MCU
mSPI REG4	0000100	za upis podataka u MCU
mSPI REG5	0000101	čitanje podataka iz MCU
mSPI REG6	0000110	kontrola SPI prekidača

Tokom projektovanja komunikacionih modula posebna pažnja je posvećena sinhronizaciji taktnih signala. *Baseband* mikroprocesor generiše bbSCLK dok MCU ima svoj taktni signal CLK, koji je nezavisan od bbSCLK. Ova dva signala imaju potpuno različite frekvencije. Frekvencija CLK je fiksirana na 60 MHz, dok je frekvencija bbSCLK promenljiva.

Da bi se rešio problem različitih taktnih frekvencija, u blok mSPI su ugrađena posebna kola za sinhronizaciju bbSCLK i CLK. Upotrebom ovih kola, bbSPI može da radi u velikom opsegu frekvencija – od 1 MHz do 100 MHz.

6.3 Opcije za programiranje mikrokontrolera

Baseband procesor upravlja radom MCU preko skupa od ukupno sedam 8-bitnih mSPI_REG registara. *Baseband* može da resetuje MCU ili da izabere jednu od opcija za programiranje koje će u nastavku biti detaljno objašnjene.

Programski kôd se učitava u MCU na dva načina:

- iz spoljašnje I2C EEPROM memorije
- ili preko *Baseband* procesora i bbSPI interfejsa.

Programska memorija je kapaciteta 8 kB i implementirana je kao SRAM. Da bi se sprečio gubitak programskog kôda nakon nestanka napajanja, potreban je spoljašnji EEPROM čip (Slika 6-1). Nakon resetovanja, mikrokontroler učitava sadržaj EEPROM čipa u SRAM. EEPROM se ne koristi samo za smeštanje programskog kôda već i za smeštanje podataka.

U I2C komunikaciji između MCU i EEPROM, MCU ima ulogu mastera. Maksimalna frekvencija takta I2C komunikacije ograničena je na 100 kHz. I2C interfejs se sastoji od dve linije:

- SDA - za podatke i
- SCL –za taktni signal

Resetovanje mikrokontrolera se obavlja upisivanjem komande za reset u bitove Mode(1:0)="00" registra mSPI_REG. Nakon resetovanja, sledi postupak programiranja. Koriste se tri opcije koje se označavaju sa A, B i C.

6.3.1 Opcija A

Opcija A za programiranje čipa koristi EEPROM memoriju. Programski kôd se preko *Baseband* čipa programira istovremeno u SRAM i spoljašnji EEPROM čip. Opcija A se sastoji se iz sledećih pod-operacija:

1. *Baseband* postavlja bitove MODE(1:0)="01" za biranje moda A.
2. *Baseband* programira 8 kB programa u SRAM preko bbSPI.
3. Istovremeno dok prima programski kôd, mikrokontroler upisuje isti i u EEPROM.
4. Kada je prenos programa u SRAM i EEPROM završen, MCU započinje izvršavanje programa.

Baseband procesor na kraju proverava da li je proces programiranja gotov preko bita Programmed koji se nalazi u registru mSPI_REG3. Kada je Programmed='1', to znači da je postupak programiranja završen.

6.3.2 Opcija B

Opcija B ne koristi spoljašnji EEPROM. Programski kôd se preko *Baseband* upisuje samo u SRAM. Sastoji se iz sledećih operacija:

1. *Baseband* postavlja bitove Mode(1:0)="10".
2. *Baseband* programira 8 kB programskog kôda u SRAM.
3. Kada se upisivanje programa završi, MCU započinje izvršavanje programa.

6.3.3 Opcija C

Opcija C posle resetovanja iščitava programski kôd iz EEPROM-a u SRAM. Sastoji se iz sledećih operacija:

1. *Baseband* postavlja bitove MODE(1:0)="11".
2. Sadržaj EEPROM-a se čita i prebacuje u SRAM preko I2C-a.
3. Kada je prenos završen, MCU započinje izvršavanje programa.

6.4 Postupak logičke verifikacije IP bloka MCU

Postupci logičke verifikacije IP bloka 8051 mikrokontrolera obuhvataju:

- verifikaciju postupaka programiranja i inicijalizacije MCU preko SPI i I2C (opcije A,

B i C),

- proveru rada, uključujući proveru svih instrukcija iz skupa i modova adresiranja,
- proveru rada perifernih jedinica (kola tajmera/brojača, portova, komunikacionih blokova) i
- proveru posebnih opcija za debugovanje programskog kôda.

Postupak logičke verifikacije počinje pisanjem asemblerskog programa. Delovi programskog kôda pisani su i u programskom jeziku C. Oni su kasnije kompajlirani Keil [KEI15] ili SDCC [SDC15] C kompajlerima u odgovarajući .hex fajl. Nakon toga, posebni program prevodi .hex fajl u VHDLprogramski kôd koji se koristi u opsežnim simulacijama.

Testbench program se koristi tokom logičke verifikacije. U njemu su instancirane sledeće komponente:

1. Programski kôd MCU,
2. MCU blok,
3. biheviornalni opis SPI kontrolera *Baseband* procesora i
4. biheviornalni opis EEPROM memorije.

Testbench program prolazi kroz sve opcije programiranja i generiše neophodne ulazne signale. Prvo iščitava programski kôd i upisuje ga u MCU preko bbSPI. Pritom SPI kontroler šalje 32-bitne pakete podataka MCU upisujući podatke u registre mSPI_REG0 – mSPI_REG6.

Ispravnost rada MCU-a se proverava poređenjem dobijenih i očekivanih rezultata preko vremenskih dijagrama programa za logičku verifikaciju [CAD00c] koji omogućavaju uvid u sadržaje SFR i lokacije IRAM memorije. Simulacije rada kola su sprovedene nad:

- RTL opisom mikrokontrolera,
- netlistom ćelija koja se dobija nakon postupka sinteze kola,
- i na kraju, nakon izrade *layout*-a kola, nad netlistom ćelija iz *layout*-a

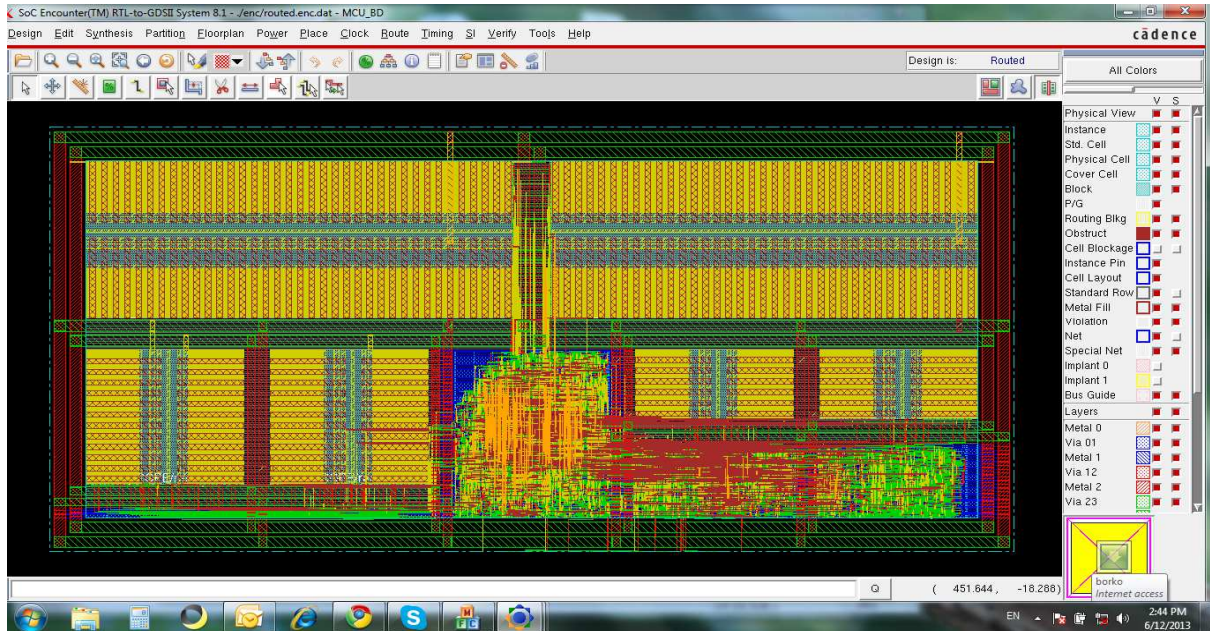
Posebno su verifikovana kola za sinhronizaciju frekvencija *Baseband* procesora bbSCLK i takta mikrokontrolera CLK. Taktna frekvencija MCU je 60 MHz, dok SPI komunikacija koristi opseg frekvencija od 1 MHz do 100 MHz. Simulacije su pokrivalo mnogo kombinacija frekvencija bbSCLK i CLK.

6.5 Rezultati implementacije mikrokontrolera

MCU je realizovan u tehnologiji TSMC 65 nm i koristi napon napajanja $V_{DD}=1,2$ V. Prilikom implementacije korišćeni su alati:

- RTL Compiler za sintezu [CAD00a],
- SoC Encounter za rameštaj i povezivanje veza [CAD00b] i
- NCSim za logičku verifikaciju kola [CAD00c].

Izgled *layout*-a je prikazan na Slici 6-5.

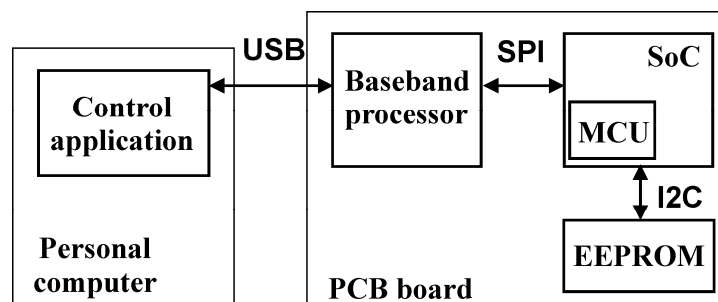


Slika 6-5 *Layout* projektovanog IP bloka mikrokontrolera koji je ugrađen u FPRF

MCU ima više prednosti u odnosu na osnovnu arhitekturu 8051 mikrokontrolera:

- Arhitektura jezgra MCU ostvaruje brzinu od jedne jedno-bajtnje instrukcije koja se izvršava u dva taktna ciklusa.
- Kolo radi na frekvenciji od 60 MHz.
- Korišćeno je više tehnika za smanjenje dinamičke potrošnje. Na frekvenciji 60 MHz potrošnja snage je svega 3 mW.
- Projektovano kolo ima površinu od 0.3x0.6 mm².

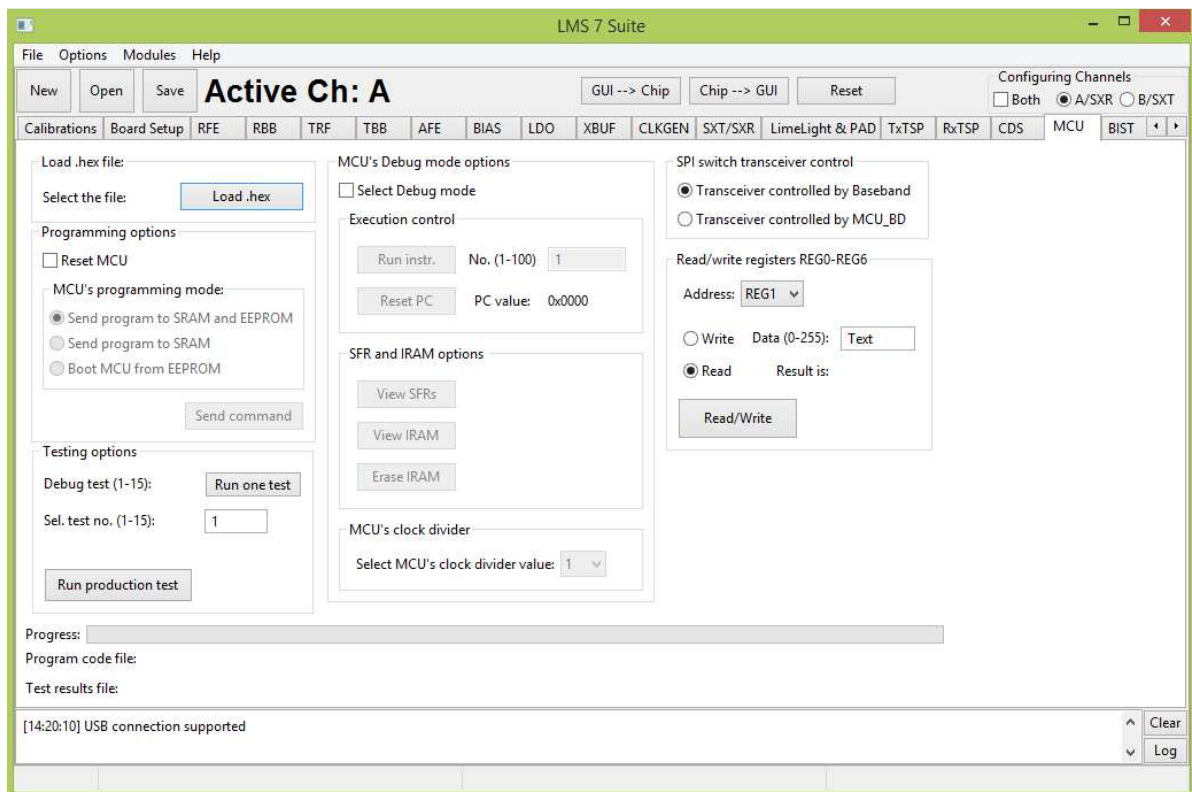
6.6 Testna postavka za proveru rada MCU



Slika 6-6 Globalna šema testne postavke za proveru rada mikrokontrolera

Globalna šema testne postavke za verifikaciju rada MCU je prikazana na Slici 6-6. Sastoji se od kontrolne aplikacije FPRF čipa, koja se instalira na personalnom računaru i štampane ploče koja je projektovana za potrebe testiranja svih funkcija FPRF čipa [LIM15b].

Veza između računara i štampane ploče je USB. Pored FPRF čipa, koji je predmet provere, štampana ploča sadrži *Baseband* procesor i EEPROM memoriju za smeštanje programskog kôda. Veza između Baseband procesora i čipa je SPI dok se za komunikaciju između čipa i EEPROM memorije koristi I2C.



Slika 6-7 Izgled dela aplikacije koji je namenjen kontroli MCU

Kontrolna aplikacija se koristi za kontrolu svih funkcija FPRF čipa. Aplikacija je razvijena je okruženju Visual Studio C++ [MIC13]. Kontrole čipa se posredno, preko *Baseband* mikroprocesora prenose u FPRF. U tom cilju, u firmver *Baseband-a* su ugrađene osnovne funkcije za upis i čitanje registara FPRF čipa.

Poseban deo ove aplikacije se koristi za programiranje, verifikaciju rada i testiranje IP bloka 8051. Izgled kontrolnog taba aplikacije je prikazan na Slici 6-7. U delu programa koji je namenjen testiranju i kontroli MCU, napisane su prvo osnovne funkcije za upis i čitanje registara mSPI_REG0-mSPI_REG6. Nakon pisanja osnovnih funkcija, realizovane su i druge

funkcije koje pružaju potpunu kontrolu rada MCU. One su podeljene u nekoliko osnovnih grupa:

- funkcije za programiranje i inicijalizaciju,
- opcije za testiranje,
- debugovanje, odnosno proveru programskog kôda i toka izvršavanja instrukcija,
- kontrolu SPI_Switch prekidača za komunikaciju sa TRX i
- čitanje i upis 8-bitnih registara mSPI_REG0 do mSPI_REG6.

Opcije za programiranje omogućavaju:

- učitavanje .hex fajla, kojim se programira MCU (preko tastera **Load .hex** na Slici 6-7),
- resetovanje mikrokontrolera (preko tastera **Reset MCU** na Slici 6-7),
- biranje moda programiranja MCU. Može se odabrati jedna od tri opcije:
 - **Send program to SRAM and EEPROM**, za korišćenje opcije A;
 - **Send program to SRAM**, za korišćenje opcije B;
 - **Boot MCU from EEPROM**, za korišćenje opcije C.
- MCU se programira preko tastera **Send command** (Slika 6-7) koristeći prethodno odabranu opciju.

Poseban deo aplikacije se koristi se za testiranje MCU 8051 i sadrži sledeće opcije:

- funkcije za detaljnu proveru rada. U tu svrhu se koriste tasteri **Run one test** i *edit* polje u kome se upisuje redni broj testa. Postoji ukupno 15 različitih funkcionalnih testova;
- funkcije za testiranje MCU koje se koriste nakon proizvodnje čipa. U tu svrhu se koristi **Run Production test** (Slika 6-7). Funkcije za testiranje MCU biće detaljno objašnjene kasnije.

Funkcije koje se koriste za proveru programskog kôda (debugovanje programa) se sastoje iz sledećih opcija:

- opcija **Select Debug mode** (Slika 6-7) se koristi za postavljenje Debug moda rada mikrokontrolera. Tokom moda Debug izvršavanje instrukcija se zaustavlja. Tada je moguće čitanje rezultata. To se postiže čitanjem sadržaja IRAM memorije i SFR registara. Takođe, može se zadati komanda da mikrokontroler izvrši određeni broj instrukcija koji se specificira *Edit* poljem,
- preko **Run Inst.** MCU izvršava niz instrukcija čiji se broj zadaje *Edit* poljem **No. (1-100)**. Nakon izvršenja zadatog broja instrukcija rad mikrokontrolera se zaustavlja.

- preko **Reset PC** programski brojač se resetuje,
- **View SFR** (Slika 6-7) čita i prikazuje sadržaj SFR registara,
- **View IRAM** čita i prikazuje sadržaj IRAM memorije,
- **Erase IRAM** briše sadržaj IRAM ,
- opcijom **MCU's clock divider value** nominalna taktna frekvencija (koja je jednaka 60MHz) može da se smanji koristeći jedan od faktora: 1, 2, 4, 8,16 ili 32,
- opcija **SPI switch control** se koristi za kontrolu SPI prekidača. Bira se jedna od dve opcije - da li se TRX blok se upravlja iz Baseband-a ili preko MCU-a
- preko **Read/write registers REG0-REG6** (Slika 6-7) ostvaruje se direktna kontrola MCU čitanjem sadržaja i upisom novih vrednosti u registre mSPI_REG0-mSPI_REG6.

6.7 Opis *Production* testa

Preko **Run Production Test** kontrolna aplikacija učitava u MCU poseban .hex fajl sa programskim kôdom koji je namenjen testiranju čipa nakon procesa proizvodnje. Nakon učitavanja .hex fajla, automatski se pokreće postupak testiranja koji se sastoji od 15 različitih testova za proveru različitih funkcija MCU. Testovi pokreću sekvencijalno, jedan za drugim i mogu se podeliti u nekoliko grupa:

- za proveru izvršavanja instrukcija,
- za proveru modova adresiranja,
- za proveru rada perifernih jedinica.

U slučaju uspešnog testiranja mikrokontrolera, kontrolna aplikacija prikazuje poruku o uspehu. U suprotnom, prikazuje se poruka o neuspehu sa rednim brojem testa u kome se pojavila greška (sa rednim brojem od 1 do 15).

Zaključak

U disertaciji je predstavljena nova arhitektura 8051 mikrokontrolera koja je pogodna za ugradnju u savremene sisteme na čipu. Sistematozovani su postupci koje se koriste za smanjenje snage disipacije mikrokontrolera. Sa promenom tehnologije značajno se menjaju dinamička i statička snaga kola; rezultati skaliranja tehnološkog procesa su jasno prikazani u disertaciji. Primenjene su tehnike za minimizaciju snage na svim nivoima projektovanja kola: na najvišem nivou - sistemskom, zatim, nivou projektovanja arhitekture, *Register Transfer Level* (RTL) nivou, nivou logičkih gejtova, i na kraju, nivou tehnologije izrade kola. Primenom tehnika menja se udeo disipirane snage u ukupnoj snazi koja je postojala pre primene postupaka. Treba istaći da je analiza potrošnje sprovedena u više tehnoloških procesa izrade kola: 350 nm, 90 nm i 65 nm.

U disertaciji je posebno analizirana dinamička potrošnja mikrokontrolera. Postupak optimizacije dinamičke potrošnje je sproveden na nivou arhitekture i na RTL nivou. Koriste se još tehnike gejtovanja taktnog signala i gejtovanja podataka. Jedan od doprinosa disertacije jeste razmatranje uticaja promene tehnološkog procesa na uštedu energije koja se dobija primenom tehnika za minimizaciju dinamičke snage. U tehnologiji CMOS 350 nm, nakon primene tehnika, ušteda u dinamičkoj potrošnji iznosi 50,1%. Kada se primene isti postupci za kolo implementirano u procesu 90 nm, dobija se ušteda od 49,1%. Može se izvesti zaključak da ušteda dinamičke potrošnje, sračunata u odnosu na potrošnju početnog - neoptimizovanog kola, ne zavisi od odabranog tehnološkog procesa. Osim toga, rezultati iz tri različita tehnološka procesa potvrđuju da se sa promenom jedne generacije procesa

dinamička potrošnja smanjuje približno za 50%, što se poklapa sa zaključcima koji se mogu naći i u literaturi.

U savremenim tehnološkim procesima statička potrošnja ima sve veći udeo u ukupnoj potrošnji. Udeo statičke snage u ukupnoj snazi disipacije 8051 mikrokontrolera je jasno prikazan u tezi, razmatrajući pritom više tehnoloških procesa. Recimo, promena tehnologije iz 350 nm u 90 nm uzrokuje značajno uvećanje statičke snage. U tehnologiji CMOS 90 nm potrošnja kola iznosi 0,6286 mW, na frekvenciji takta 4 MHz. Od toga, statička snaga iznosi 0,3712 mW i čini 59,1% ukupne snage kola.

Pri projektovanju novog 8051 mikrokontrolera primenjeni su postupci za smanjenje statičke snage integrisanih kola. Kako se za implementaciju čipa koriste unapred isprojektovane standardne ćelije iz odabrane tehnologije, nije moguće koristiti tehnike za smanjenje potrošnje na nivou tranzistora, kao što su recimo *Transistor stacking* i *Reverse-body bias*. U cilju primene tehnike *Power gating, layout* mikrokontrolera je podeljen na oblasti sa odvojenim vodovima za napajanje. Dalje, projektovani su *Low-power* modovi rada 8051 mikrokontrolera koji omogućavaju isključivanje napona napajanja u neaktivnim blokovima. U odnosu na projekat u kome modovi rada nisu implementirani, već je samo dinamička snaga optimizovana, dobija se značajno smanjenje statičke potrošnje. Statička snaga je čak 8 puta manja u primenama koje ne zahtevaju obradu velike količine informacija. U tom cilju, tokom aktivnog moda rada MCU radi na višim frekvencijama i koristi duže intervale mirovanja u Standby modu.

Poseban doprinos predložene doktorske teze predstavlja novi postupak za procenu snage mikrokontrolera koji ima više modova rada i implementiran je u tehnološkim procesima u kojima statička snaga čini značajan deo ukupne potrošnje kola. Postupak se koristi za procenu snage u primenama u kojima je količina obrađenih podataka mala, kao što su na primer senzorske mreže. Za dato opterećenje procesora, koje je izraženo brojem instrukcija u sekundi, opisani postupak procenjuje najmanju vrednost potrošnje i određuje optimalnu vrednost taktne frekvencije na kojoj se minimalna potrošnja dobija.

U disertaciji je opisan novi metod za procenu potrošnje mikrokontrolerskog sistema koji koristi niske vrednosti napona napajanja, a pritom treba pouzdano da radi u prisustvu intermitentnih grešaka. Novi metod je primenjen na 8051 mikrokontrolere koji su implementirani u procesu CMOS 65 nm. Pored pouzdanosti, snaga disipacije je jedan od prioriteta, zato projektovani sistem koristi tehnike za smanjenje snage disipacije DVFS i *Power gating*.

Na osnovu merenih vrednosti potrošnje mikrokontrolera, kreiran je metod za procenu potrošnje sistema koji koristi tehnike za pouzdan rad *Time redundancy*, *Standby sparing* i *Shared recovery*. Prvo je kreiran model za procenu potrošnje kada se koristi *Standby sparing*. Iz ovog modela dobijeni su modeli potrošnje za *Time redundancy* i *Shared recovery* sisteme, kao specijalni slučajevi modela *Standby sparing*. Kreiran je najpre matematički model, a zatim je opisan algoritam i napisan program za realizaciju matematičkog modela.

Modeli potrošnje izračunavaju energiju mikrokontrolerskog sistema utrošenu za izvršenje rasporeda zadataka koji se izvršavaju po pravilima tehnika za pouzdan rad *Time redundancy*, *Standby sparing* i *Shared recovery*. Ulazni parametri modela su dužine trajanja zadataka u rasporedu, dozvoljeni rok izvršenja rasporeda zadataka, vrednosti snage disipacije P i taktne frekvencije f pri različitim naponima napajanja V_{DD} .

Dobijeni rezultati su pokazali da tehnika *Shared-recovery* ima manju potrošnju od tehnike *Standby sparing*; razlika u potrošnji iznosi do 12% vrednosti koja se dobija u slučaju kada se ne primenjuje DVFS. *Standby sparing* daje tek malo bolje rezultate od *Time-redundancy*. Na osnovu dobijenih rezultata, može se izvući zaključak da korišćenje tehnike *Standby sparing* nije opravdano u uslovima rada kada su prisutne samo intermitentne greške. Umesto *Standby sparing* dovoljno je korišćenje *Time redundancy*. *Shared recovery* pruža najviše ušteda u potrošnji. U cilju otklanjanja permanentnih grešaka neophodno je korišćenje dodatnog jezgra, a to omogućava jedino tehnika *Standby sparing*.

Dobijeni modeli su primenljivi i za bilo koje druge procesore, tehnološke procese i rasporede zadataka.

Predložena rešenja projektovanja i optimizacije 8051 mikrokontrolera imaju značajnu praktičnu primenu. Rezultati koji su predstavljani u doktorskoj disertaciji se ne zasnivaju samo na simulacijama, već su praktično provereni nakon fabrikacije čipa. Naime, projektovani 8051 mikrokontroler (MCU), koji je predstavljen u doktorskoj disertaciji, je ugrađen u vidu IP bloka u najsavremeniji telekomunikacioni *Field Programmable Radio Frequency* (FPRF) čip. U doktorskoj disertaciji je prikazan nov način ugradnje MCU-a u FPRF, koji može da se primeni i u sličnim rešenjima *System-on Chip* (SoC).

Integrirani MCU ima veliku praktičnu primenu, koristi za kontrolu i kalibraciju čipa FPRF. Naime, ugradnjom MCU-a u FPRF čip, korisnici čipa imaju slobodu izbora podešavanja parametara FPRF čipa. Mogu da koriste spoljašnji čip procesor (*Baseband*) i da podešavanja FPRF prenose kroz njegov SPI interfejs ili da pišu posebne funkcije na programskom jeziku 8051 mikrokontrolera i implementiraju ih u programskoj memoriji MCU.

U doktorskoj disertaciji je opisana nova realizacija komunikacionih blokova. Kako je veza FPRF sa spoljašnjim svetom ostvarena kroz *Serial Protocol Interface* (SPI) interfejs, MCU koristi SPI. U tom cilju je projektovan novi blok za serijsku komunikaciju – mSPI. Preko bloka mSPI *Baseband* može da upravlja radom MCU-a i da obavlja postupke vezane za programiranje. 8051 MCU koristi nekoliko modova programiranja, koji su objašnjeni u disertaciji. Programska SRAM memorija mikrokontrolera se programira programskim kôdom koji se prenosi preko Baseband procesora i SPI interfejsa. U drugoj opciji, programski kôd se pamti u SRAM memoriji i spoljašnjem EEPROM čipu, gde se kôd trajno pamti. Treća opcija inicijalizuje SRAM memoriju direktno iz EEPROM čipa, bez uticaja *Baseband*-a.

Bitno je da se naglasi da se kroz iste pinove bloka mSPI obavlja celokupna komunikacija, izvršavaju postupci programiranja i inicijalizacije MCU, vrši provera programskog kôda (*Program code debugging*), postupak detaljnog testiranja mikrokontrolera, kao i testiranja koje se sprovodi nakon fabrikacije čipa na proizvodnoj liniji (*Production test*). Za sve ove operacije se koriste samo četiri pina integrisanog kola, čime se ostvaruje značajna ušteda u ceni čipa. Rezultati naučnog istraživanja su:

- Nova arhitektura mikrokontrolera 8051 koja je pogodna za ugradnju u SoC kola.
- Rezultati implementacije mikrokontrolera i optimizacije potrošnje, dobijeni korišćenjem više različitih tehnoloških procesa. Verifikacija predloženih metoda korišćenjem modernih alata za projektovanje kola.
- Novi postupak za procenu potrošnje mikrokontrolera koji uzima u obzir struje curenja nanometarskih tehnologija proizvodnje integrisanih kola. Ovo uključuje i nove postupke za procenu potrošnje mikrokontrolerskog sistema koji radi na niskim vrednostima napona napajanja, a pritom pouzdano radi u prisutvu intermitentnih grešaka
- Novi realizovani prototip 8051 mikrokontrolera koji predstavlja IP blok, ugrađen je u složeni sistem na čipu (SoC) i koristi za upravljanje i nadzor IP blokova. Posebno, primena projektovanog IP bloka u telekomunikacionom čipu, koji je implementiran u CMOS tehnologiji 65 nm.
- Prikaz merenja kao verifikacija primenljivosti predloženih metoda minimizacije potrošnje. Izmerena je potrošnja novog projektovanog IP bloka 8051 mikrokontrolera, koji je implementiran u 65 nm CMOS procesu, kao deo složenog telekomunikacionog sistema na čipu.

Literatura

- [ANA15] ANALOG DEVICES, <http://www.analog.com/en/products/rf-microwave/integrated-transceivers-transmitters-receivers/wideband-transceivers-ic/ad9361.html>
- [Aga06] A. Agarwal, S. Mukhopadhyay, A. Raychowdhury, K. Roy, and C. Kim, “Leakage Power Analysis and Reduction for Nanoscale Circuits”, *IEEE Micro*, Vol. 26, Issue 2, pp. 68-80, 2006.
- [AMI98] AMIS, 350nm Standard cell technology library, 1998.
- [Arn00] K. Arnold, Embedded controller hardware design, LLH Technology Publishing, Eagle Rock, USA, 2000.
- [Ben94] L. Benini, P. Siegel and G. D. Micheli, “Automatic Synthesis of Gated Clocks for Power Reduction in Sequential Circuits”, *IEEE Design and Test of Computers*, Vol. 11, No. 4, pp. 32-40, 1994.
- [Bip06] P. Bipul, A. Agarwal and K. Roy, “Low-Power Design Techniques for Scaled Technologies”, *Integration, The VLSI Journal*, Vol. 39, Issue 2, pp. 64–89, 2006.
- [Bin05] E. Bini, G. Buttazzo, “Measuring the performance of schedulability tests”, *Real-Time Systems*, Vol. 30, No. 1-2, pp. 129–154, May 2005.
- [Bor12] J. Borgeson, S. Schauer and H. Diewald, Benchmarking MCU power consumption for ultra-low-power applications, Working paper, Texas Instruments, 2012.

- [Bor98] S. Borkar, Y. Ye, V. De, “A new technique for standby leakage reduction in high performance circuits”, *IEEE Symp. on VLSI Circuits*, 40, June 11–13, 1998.
- [CAD00a] Cadence, SoC Encounter EDA tool, accessed 2013.
- [CAD00b] Cadence NCSim, NCSim, EDA software and verification tools, accessed 2013.
- [CAD00c] Cadence, RTL Compiler EDA tool, accessed 2013.
- [Cam92] A. Campbell, P McDonald, K. Rey, “Single Event Upset Rates in Space”, *IEEE Trans. on Nuclear Science*, Vol. 39, pp. 1828-1835, 1992
- [Cao00] K. Cao, W.C. Lee, W. Liu, X. Jin, P. Su, S. Fung, J. An, B. Yu, C. Hu, “BSIM4 gate leakage model including source drain partition,” in *Tech. Dig. Int. Electron Devices Meeting*, pp. 815–818, 2000.
- [Cha97] Kao, J., Chandrakasan, A., and Antoniadis, D., “Transistor sizing issues and tools for multi-threshold CMOS technology”, *Proc. of ACM/IEEE Design Automation Conf.*, pp. 495, June 9–13, 1997.
- [Cha98] A. Chandrakasan and R. Brodersen, *Low-Power CMOS Design*, IEEE Press, 1998.
- [Che98] Z. Chen, L. Wei, M. Johnson, K. Roy, “Estimation of standby leakage power in CMOS circuits considering accurate modeling of transistor stacks”, *IEEE Int. Conf. on Comput.-Aided Design*, Aug.10–12, 1998.
- [Ejl06] A. Ejlali, B. M. Al-Hashimi, M. T. Schmitz, P. Rosinger, S. G. Miremadi, “Combined Time and Information Redundancy for SEU -Tolerance in Energy Efficient Real-Time Systems,” *IEEE Trans. VLSI Systems*, Vol.14, No.4 pp. 323-335, April 2006
- [Ele08] P. Eles, V. Izosimov, P. Pop, Z. Peng, “Synthesis of Fault Tolerant Real-Time Systems” in *Proc. Design, Automation and Test in Europe (DATE 2008)*, pp. 1117-1122, 2008
- [Fje93] T. A. Fjeldly, M. Shur, “Threshold voltage modeling and the subthreshold regime of operation of short-channel MOSFETs”, *IEEE Trans. Electron. Devices*, Vol. 40, January 1993.
- [Fla02] K. Flautner, N. S. Kim, S. Martin, D. Blaauv, T. Mudge, “Drowsy Caches: Simple techniques for reducing the leakage power”, *Proc of 29th Annual International Symposium On Computer Architecture (ISCA)*, pp. 148-157, May 2002.

- [IEE09] IEEE, 1801-2009-IEEE standard for design and verification of low power integrated circuits, 2009
- [Igd07] S. Idgunji, "Case study of a Low Power MTCMOS based ARM926 SoC: Design, Analysis and Test Challenges", *Proc. of IEEE Test Conference (ITC2007)*, pp. 1-10, 21-26 Oct. 2007.
- [Jov04] B. Jovanović, M. Damnjanović, P. Petković, "Digital Signal Processing for an Integrated Power Meter", *Proceedings of 49. Internationales Wissenschaftliches Kolloquium*, Technische Universitat Ilmenau Germany, Vol. 2, pp.190-195, September 27-30, 2004.
- [Jov10] B. Jovanović, M. Zwolinski, M. Damnjanović, "Low power digital design in Integrated Power Meter IC", *Proc. of Small Systems Simulation Symposium*, 12-14 February 2010, YSS, Serbia, 2010, pp. 49-55
- [Jov12] B. Jovanovic, M. Damnjanović, "The Decomposition of DSP's Control Logic Block for Power Reduction", *ELECTRONICS Journal; Elektrotehnički fakultet, Univerzitet u Banjoj Luci, Bosna i Hercegovina*; Vol. 16, No. 1; pp. 85-91; Jun 2012.
- [Jov14] B. Jovanović, M. Damnjanović, "Glitch free clock switching techniques in modern microcontrollers", *Proceedings of the 5th Small System Simulation Symposium*, Niš, 12.02.-14.02., 2014, pp. 119-122
- [Jov15] B. Jovanović, M. Damnjanović, P. Petković, V. Litovski, "Standard Cell Based Low Power Embedded Controller Design", *Journal of Circuits Systems and Computers*, World Scientific Publishing Co. Pte. Ltd., Singapore, JCSC Vol. 24, No. 6, July 2015.
- [Kes02] A. Keshavarzi, et al., "Forward body bias for microprocessors in 130nm technology generation and beyond", *Symp. on VLSI Circuits*, pp. 312, June 13-15, 2002.
- [Kes99] A. Keshavarzi, C. F. Hawkins, K. Roy, V. De, "Effectiveness of reverse body bias for low power CMOS circuits", *Proc. 8th NASA Symp. on VLSI Design*, 231, Oct. 1999.
- [Hem06] M. Hempstead, G. Y. Wei, D. Brooks, "Architecture and Circuits Techniques for Low Throughput, Energy-Constrained Systems Across Technology Generations", *Proc. of Int. Conference on Compilers, Architecture, and Synthesis for Embedded Systems (CASES 06)*, Oct. 23-25, 2006, pp. 368-378, IEEE, 2006

- [Hon99] I. Hong, D. Kirovski, G. Qu, "Power optimiyation of Variable Voltage Core Based Systems" IEEE Trans. of CAD of ICS, Vol.18, No.12, pp.1702-1714, Dec. 1999
- [Kan03] N. Kandasamy, J. P. Hayes, J. McDonald, B. T. Murray, "Transparent Recovery from Intermittent Faults in Time Triggered Distributed", IEEE Trans. on Computes, Vol. 52, pp. 113-125, 2003.
- [Kat09] S. Katkoori, S. Roy, N. Ranganathan, "A Framework for Power-Gating Functional Units in Embedded Microprocessors", IEEE Transactions on Very Large Scale Integration (VLSI) systems, ISSN 1063-8210, Vol.17, No.11, pp.1640-1649, 2009
- [Kea07] M. Keating, D. Flynn, R. Aitken, A. Gibbons, K. Shi, Low Power Methodology Manual, Springer, 2007.
- [KEI15] KEIL C compiler and development tool for 8051 microcontrollers, <http://www.keil.com/c51/devproc>
- [Kim02] C. Kim, K. Roy, "Dynamic V_{TH} Scaling Scheme for Active Leakage Power Reduction" DATE, pp.163-167, May 2002.
- [Kop02] H. Kopetz, Real-time systems, Design principles for distributed applications, *Kluwer Academic Publishers*, 2002.
- [Kur98] T. Kuroda, K. Suzuki, S. Mita, "Variable Supply Voltage Scheme for Low Power High Speed CMOS Digital design", IEEE Journal of Solid State Circuits, Vol. 33, No.3, pp. 452-462, March 1998.
- [Kwo09] J. Kwong, Y. Ramadass, N. Verma, A. Chandrakasan, "A 65 nm Sub-VT Microcontroller With Integrated SRAM and Switched Capacitor DC-DC Converter", IEEE Journal Of Solid-State Circuits, Vol. 44, No. 1, pp. 115-126, 2009.
- [Lee08] J. H. Lee, Y. H. Kim, K. R. Cho, "A Low-Power Implementation of Asynchronous 8051 Employing Adaptive Pipeline Structure", IEEE Trans. on CAS: Express Briefs, Vol. 55, No. 7, pp. 673-677, 2008.
- [Lee98] H. D. Lee, J. M. Hwang, "Accurate extraction of reverse leakage current components of shallow silicided p+-n junction for quarter- and sub-quarter-micron MOSFETs", IEEE Trans. Electron. Devices, Vol. 45, August 1998.
- [Lia05] W. Liao, L. He and K. Lepak, "Temperature and supply voltage aware performance and power modeling at micro-architectural level", IEEE

- Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 24, Issue 7, pp. 1042-1053, 2005
- [LIM15a] LIME MICROSYSTEMS, <http://www.limemicro.com/blog-2/the-lowly-8051-proves-worth-its-weight-in-gold/>
- [LIM15b] LIME MICROSYSTEMS, <http://www.limemicro.com/products/field-programmable-rf-ics-lms7002m/>
- [Lim99] K. M. Lim, et al., “CalmRISCTM, A Low Power Microcontroller with Efficient Coprocessor Interface”, *Proc. of International Conference on Computer Design*, Austin, USA, IEEE, 1999, pp. 299-302.
- [Lit00] V. Litovski, *Projektovanje elektronskih kola*, Udžbenik, Niš, March, 2000, ISBN 86-7369-015-3
- [Lit09] V. Litovski, *Osnovi testiranja elektronskih kola*, Elektronski fakultet, Niš, 2009, ISBN 978-86-85195-71-6
- [Mah03] R. Mahmud, “Techniques to make clock switching glitch free”, Online, Available: <http://www.eetimes.com/>.
- [Mah04] H. Mahmoodi-Meimand, K. Roy, “Data retention flip flops for Power Down Applications”, *IEEE ISCAS*, pp. 677-680, 2004
- [Maj00] B. Majkusiak, M. H. Badri, “Semiconductor thickness and back-gate voltage effects on the gate tunnel current in the MOS/SOI system with an ultrathin oxide”, *IEEE Trans. Electron. Devices*, Vol. 47, December 2000.
- [Mas93] G. Massobrio, P. Antognetti. *Semiconductor Device Modeling with SPICE*, McGraw-Hill, New York, 1993
- [MAT08] MATLAB version 7.6.0.324 Natick, Massachusetts: The MathWorks Inc., 2008.
- [Meh12] N. Mehta, B. Amrutur, “Dynamic supply and threshold voltage scaling for CMOS digital circuits using in-situ power monitor”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 20, No. 5, pp. 892–901, 2012.
- [MIC13] Microsoft, <https://www.visualstudio.com/en-us/products/visual-studio-express-vs.aspx>
- [Mik10] K. Mikhaylov and J. Tervonen, “Optimization of microcontroller hardware parameters for Wireless Sensor Network node power consumption and lifetime improvement”, *Proceedings of International Congress on Ultra Modern*

Telecommunications and Control Systems and Workshops (ICUMT), Moscow, Russia, 2010, pp. 1150-1156, IEEE, 2010

- [Mis11] J. Mistry, B. Al-Hashimi, D. Flynn and S. Hill, "Sub-Clock Power-Gating Technique for Minimizing Leakage Power During Active Mode", *Proc. of Design, Automation & Test in Europe Conference*, 14-18 March 2011, IEEE, 2011, pp. 1-6.
- [Mis12] A. Mishra and R. A. Mishra, "Leakage Current Minimization in Dynamic Circuits Using Sleep Switch", *IEEE Students Conference on Engineering and Systems (SCES)*, Uttar Pradesh, 2012.
- [Moy01] B. Moyer, "Low-Power Design for Embedded Processors", *Proceedings of the IEEE*, Vol. 89, No. 11, Nov. 2001, pp. 1576-1587. IEEE, 2001.
- [Muk03] S. Mukhopadhyay, C. Neau, T. Cakici, A. Agarwal, C. H. Kim, K. Roy, "Gate leakage reduction for scaled devices using transistor stacking", *IEEE Trans. on Very Large-Scale Integration Syst.*, 2003.
- [Mut95] S. Mutoh, et al., "1-V Power supply high-speed digital circuit technology with multi-threshold voltage CMOS", *IEEE J. Solid-State Circuits*, 30, 847, 1995.
- [Mut96] S. Mutoh, et al., "A 1-V multi-threshold voltage CMOS DSP with an efficient power management for mobile phone application", *Dig. Tech. Papers EEE Int. Solid-State Circuits Conf.*, pp. 168, Feb. 8–10, 1996.
- [Nos01] K. Nose, M. Hirabayashi, H. Kawaguchi, S. Lee, T. Sukurai, "V_{TH} Hoping Scheme for 82% Power Savings in Low Voltage Processors" *CICC*, pp. 93-96 2001.
- [Pet09] P. Petković, *Projektovanje CMOS integrisanih kola sa mešovitim parametrima*, Univerzitet u Nišu, Elektronski fakultet, 2009, ISBN 978-86-85195-86-0
- [Pig06] C. Piguet, *Low-power CMOS circuits: technology, logic design, and CAD tools*, Taylor & Francis Group, LLC 2006
- [Pol96] S. Poledna, *Fault tolerant real-time systems: The problem of replica determinism*, Kluwer Academic Publishers, 1996
- [Pop07] P. Pop, K. H. Poulsen, V. Lzosimov, P. Eles, "Scheduling and Voltage Scaling for Energy Reliability Tradeoffs in Fault Tollerant Time Triggered Embedded Systems", *IEEE/ACM Proc. of Int. Conf. on Hardware Software Codesign and System Synthesis*, pp. 233-238, 2007

- [POW09] A practical guide to low power design: user experience with CPF, Power Forward, 2009
- [Pra96] D.K. Pradhan, Fault tolerant computer system design, Prentice Hall, 1996
- [Pui98] J. M. Puiatti, C. Piguet, E. Sanchez and J. Llosa, "VLIW Architectures for Low-Power Processors: A First Evaluation", *Proc. of 24th European Solid-State Circuits Conference (ESSCIRC '98)*, 22-24 Sep. 1998, pp. 436-439.
- [Ros00] M. Rosar, B. Leroy, G. Schweeger, "A new model for the description of gate voltage and temperature dependence of gate-induced drain leakage (GIDL) in the low electric field region", *IEEE Trans. Electron. Devices*, Vol. 47, January 2000.
- [Rot02] A. L. P. Rotondaro et al., "Advanced CMOS transistors with a novel HfSiON Gate dielectric", *VLSI Symp. 2002, Tech. Dig.*, pp. 148
- [Roy03] K. Roy, S. Mukhopadhyay, H. Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-submicron CMOS circuits", *Proc. IEEE*, 2003.
- [SDC15] Open source SDCC C compiler for 8051 microcontrollers
<http://sdcc.sourceforge.net/>
- [Sta01] M. Stadele, B. R. Tuttle, K. Hess, "Tunneling through ultrathin sio2 gate oxides from microscopic models", *J. Applied Physics*, Vol. 89, January 2001.
- [Sri04] J. Srinivasan, S.V Adve, P. Bose, J. A. Rivers, "The Impact of Technology Scaling on Lifetime Reliability", *Proc. of Int. Conf. on Dependable Systems and Networks*, pp. 177-186, 2004.
- [SYN09] Synopsys, Synopsys 90nm Generic Library for Teaching IC Design, 2009
- [SYN00a] Synopsys, IC Compiler, Software & Tools for IC Design
- [SYN00b] Synopsys Prime Time, Prime Time Suite
- [SYN00c] Synopsys, DC Compiler, Software & Tools for IC Design
- [Tsi99] Y. P. Tsividis, *Operating and Modeling of the MOS Transistor*, McGraw-Hill, New York, 1999.
- [TSM05] TSMC Taiwan Semiconductor Manufacturing Company. Fine Grain MTCMOS Design Methodology, TSMC Reference Flow Release 6.0, 2005
- [TSM12] TSMC, TSMC 65nm standard cell library (2012),
- [Tsu93] C. Y. Tsui, M. Pedram and A. M. Despain, "Technology decomposition and mapping targeting low power dissipation", *Proc. of 30th ACM/IEEE Design Automation Conference*, USA, June 14-18, 1993, pp. 68-73

- [Vas04] A. Vassighi, Heat and Power Management for High Performance Integrated Circuits, Ph. D. thesis, University of Waterloo, Waterloo, Ontario, Canada, 2004.
- [Vog12] A. Voggeneder, T51 MCU project (2012), <http://opencores.com/project,t51>
- [Wei99] L. Wei, Z. Chen, K. Roy, M. Johnson, Y. Ye, and V. De, “Design and Optimization of Dual-Threshold Circuits for Low-Voltage Low-Power Applications”, *IEEE Transactions On Very Large Scale Integration (VLSI) Systems*, Vol. 7, (1999), pp. 16–24
- [Zha09a] B. Zhai, S. Pant, L. Nazhandali, S. Hanson, J. Olson, A. Reeves, M. Minuth, R. Helfand, T. Austin, D. Sylvester and D. Blaauw, “Energy-Efficient Sub-threshold Processor Design”, *IEEE Transactions On Very Large Scale Integration (VLSI) Systems*, Vol. 17, No. 8, (2009) pp. 1127 - 1137.
- [Zha09b] B. Zhao, D. Zhu, “Enhanced reliability aware power management through shared recovery technique”, *Proceedings of IEEE/ACM International Conference on Computer Aided Design*, 2009
- [Wu00] Q. Wu, M. Pedram and X. Wu, “Clock-Gating and Its Application to Low Power Design of Sequential Circuits”, *IEEE Transactions CAS I: Fundamental Theory and Applications*, Vol. 47, Issue 3, 2000.

Kratka biografija kandidata

Kandidat Borisav Jovanović je rođen 03.09.1979. godine u Nišu. Osnovnu školu „Dositej Obradović“ i Gimnaziju „Svetozar Marković“ završio je u Nišu. Nosilac je diplome „Vuk Karadžić“ kao i većeg broja diploma sa učešća na brojnim takmičenjima u znanju. U toku studija na Elektronskom fakultetu u Nišu, 2001. godine, kao jedan od najboljih studenata generacije, dobio je nagradu Kraljevske porodice Karađorđević. Diplomirao je 22.11.2002. godine na smeru Elektronika, sa prosečnom ocenom 9,77 (devet i 77/100) u toku studija i ocenom 10 (deset) na diplomskom ispitu. Diplomski rad „Digitalna kola za korenovanje“ nagrađen je kao najbolji diplomski rad na Fakultetu u oblasti Elektronike. Poslediplomske studije upisao je 2003. godine na Elektronskom fakultetu u Nišu, smer Elektronika. Studije je završio sa prosečnom ocenom deset. Magistarsku tezu "Projektovanje DSP bloka u kolu specifične namene" odbranio 23.09.2005. godine.

Maja 2003. godine izabran je u zvanje asistent - pripravnik na Elektronskom fakultetu, na Katedri za elektroniku, gde se i sada nalazi. Od 2004. godine uključen je u naučno-istraživački rad na Elektronskom fakultetu, na Katedri za elektroniku. U okviru nastavnog rada angažovan na izvođenju računskih i laboratorijskih vežbi iz predmeta: Projektovanje VLSI, Projektovanje elektronskih sistema, Medicinska elektronika, Medicinski elektronski sistemi, Elektronika I, Testiranje elektronskih kola, Objektno-orjentisane tehnike projektovanja sistema, Projektovanje elektronskih kola.

Mr Borisav Jovanović je autor 50 naučnih radova i 14 tehničkih rešenja

Naučni radovi kandidata

a) M23 Radovi objavljeni u časopisima međunarodnog značaja sa SCI liste

- 1) **Jovanović, B.**, Damnjanović, M., Petković, P., Litovski, V.: Standard Cell Based Low Power Embedded Controller Design, Journal of Circuits Systems and Computers, World Scientific Publishing Co. Pte. Ltd., Singapore, accepted for publication, Jan. 27, 2015, will be published in JCSC Vol. 24, No. 6 (July 2015)

b) M72 Odbranjena magistarska teza

- 1) **Jovanović, B.**: Projektovanje DSP bloka u kolu specifične namene, Magistarska teza, Elektronski fakultet, Univerzitet u Nišu, 23. Septembar, 2005.

c) M24 Radovi objavljeni u časopisima međunarodnog značaja

- 1) **Jovanović, B.**, Litovski, V., Pavlović, M.: QRS complex detection based ECG signal artefact discrimination, FACTA UNIVERSITATIS, Series: Electronic and Energetics, University of Niš, accepted for publication, 2015.
- 2) **Jovanović B.**, Damnjanović M., Litovski V.: Square Root on Chip, ETF Journal of Electrical Engineering, A Publication of the EE Department, University of Montenegro, Vol. 12, May, 2004

- 3) Damnjanović, M., Petković, P., **Jovanović, B.**: Integrated Power Meter IC Calibration, Electronics, vol. 8, No.2, December, 2004, pp. 45-48
- 4) **Jovanović B.**, Damnjanović M., Pavlović M.: 12-channel PC-Based Electrocardiograph, Electronics, University of Banja Luka, vol. 8, No.2, December, 2006, pp. 44-48
- 5) Stevanović, D., Petković, P., **Jovanović, B.**: Modelling and Simulation of Power Consumption at Nonlinear Loads, International Journal of Research and Reviews in Computer Science (IJRRCS)-Special Issue April, Science Academy Publisher United Kingdom, April, 2011, pp. 27-32, ISSN 2079-2557
- 6) Stevanović D., **Jovanović B.**, Petković P., Litovski V.: Korišćenje snage distorzije za identifikaciju izvora harmonijskog zagađenja na mreži, Časopis Tehnika - Elektrotehnika, 6/2011, Izdavač: Savez inženjera i tehničara Srbije, 2011; pp. 975-980, ISSN 0040-2176
- 7) **Jovanovic B.**, Damnjanović M.: The Decomposition of DSP's Control Logic Block for Power Reduction, ELECTRONICS Journal; Elektrotehnički fakultet, Univerzitet u Banjoj Luci, Bosna i Hercegovina; VOL. 16, NO. 1; pp. 85-91; Godina: Jun 2012, ISSN broj: 1450-5843;

d) M33 Radovi saopšteni na skupu međunarodnog značaja štampani u celini

- 1) **Jovanović, B.**, Damnjanović, M.: Glitch free clock switching techniques in modern microcontrollers, Proceedings of the 5th Small System Simulation Symposium, Niš, 12.02.-14.02., 2014, pp. 119-122, ISBN 978-86-6125-098-9
- 2) Melikyan, V., Sahakyan, A., Piloyan, M., **Jovanović, B.**: High Accuracy Self-Configurable DLL by Frequency Range, Proceedings of the 1st International Conference on Electrical, Electronic and Computing Engineering - IcETRAN, Vrnjačka Banja, 02.06.-05.06., 2014, ELI1.4, ISBN 978-86-80509-70-9
- 3) **Jovanović, B.**, Mirković, D., Damnjanović, M.: The Design of MCU's Communication Interface, X Symposium on Industrial Electronics INDEL 2014, Banja Luka (Bosnia and Herzegovina), 6-8th November, 2014, pp. 99-103, ISBN 978-99955-46-22-9
- 4) Damnjanović M., **Jovanović B.**, Sokolović M.: Decimation Filters Design for

- an Integrated Power-Meter, Proceedings of 24th Int. Conference Miel 2004, May 15-19, 2004, ISBN 0-7803-8166-1, vol. 2, pp. 601-604
- 5) **Jovanović B.**, Damnjanović M., Petković P.: Digital Signal Processing for an Integrated Power Meter, Proceedings of 49. Internationales Wissenschaftliches Kolloquium, Technische Universität Ilmenau, September 27-30, 2004, ISBN 3-8322-2824, vol. 2, pp.190-195
 - 6) **Jovanović B.**, Sokolović M., Savić M., Jevtić M., Petković P.: Testing Set-up for Digital Part of the Power-Meter IC, Electronics ET2004, September 22-24, 2004, Sozopol, Bulgaria, ISBN 954-438-446-4, pp. 19
 - 7) **Jovanović B.**, Petković P., Damnjanović M.: Serial Port Interface for Microcontroller Embedded into Integrated Power-Meter, Electronics ET2007, September 19-21, 2007, Sozopol, Bulgaria, ISBN 1313-1842, Book 4, pp. 103-108
 - 8) **Jovanović B.**, Zerbe V.: An Example of Hardware-In-The-Loop-Simulation using Mission Level Designer Simulation, Proceedings of the Small Systems Simulation Symposium 2005, March 28-29, 2005, ISBN 86-85195-23-3, pp. 16-19
 - 9) Damnjanović M., Petković P., **Jovanović B.**: Integrated Power Meter IC Calibration, Proceedings of the Small Systems Simulation Symposium 2005, March 28-29, 2005, ISBN 86-85195-23-3, pp. 59-62
 - 10) **Jovanović B.**, Zwolinski, M., Damnjanović, M.: Low power digital design in Integrated Power Meter IC, Proceedings of the Small Systems Simulation Symposium 2010, Niš, 12-14 February, 2010, pp. 49-55, ISBN 987-86-6125-006-4
 - 11) **Jovanović B.**, Damnjanović, M., Stevanović, D: The Decomposition of DSP's Control Logic Block; Proceedings of the Small System Simulation Symposium 2012, Niš, Srbija, 12.-14.02. 2012, Elektronski fakultet, Univerzitet u Nišu; pp. 119-124; Godina: 2012; ISBN 978-86-6125-059-0
 - 12) Stevanović, D., **Jovanović B.**, Petković, P.; Simulation of Utility Losses Caused by Nonlinear Loads at Power Grid, Small System Simulation Symposium 2012, Niš, Srbija, 12.-14.02. 2012, Elektronski fakultet, Univerzitet u Nišu; pp. 155-160; Godina: 2012; ISBN 978-86-6125-059-0

e) M63Radovi saopšteni na skupu nacionalnog značaja štampani u celini

- 1) **Jovanović, B.**, Mirković, D., Damnjanović, M.: Logička verifikacija i projektovanje kola za testiranje IP bloka mikrokontrolera, Zbornik LVIII konferencije ETRAN, Vrnjačka Banja, 02.06.-05.06., 2014, EL2.6, ISBN 978-86-80509-70-9
- 2) **Jovanović B.**, Damnjanović M.: Digital Systems for Square Root Computation, Proceedings of XLVII Conference ETRAN 2003, ISBN 86-80509-45-0, June 08-13, 2003, vol. 1, pp. 68-71
(Rad je nagrađen kao najbolji rad u kategoriji mladih istraživača u oblasti Elektronike)
- 3) Dimitrijević M., **Jovanović B.**, Andjelković B., Savić M., Sokolović M.: Experiences in Using CADENCE - The Industry Standard for Integrated Circuits, Proceedings of XLVII Conference ETRAN 2003, ISBN 86-80509-45-0, June 08-13, 2003, Vol. 1, pp. 31-34
- 4) **Jovanović B.**, Damnjanović M.: Digital System For Power Line Frequency Measurement, Proceedings of XLVIII Conference ETRAN 2004, June 06-10, 2004, vol. 1, ISBN 86-80509-49-3, pp. 29-32
- 5) Jevtić M., **Jovanović B.**, Brankov S.: The Design of the Integrated Power-Meter IC Control Unit, Proceedings of XLVIII Conference ETRAN 2004, June 06-10, 2004, ISBN 86-80509-49-3, vol. 1, pp. 75 78 (in Serbian)
- 6) **Jovanović B.**, Jevtić M., Došić S., Sokolović M., Petković P.: The Design of BIST logic Implemented in the Integrated Power-Meter IC DSP Block, Proceedings of V Industrial Electronics Symposium INDEL 2004, ISBN 86-7122-014-1, November 11-13, 2004, pp 120-125 (in Serbian)
- 7) Damnjanović M., **Jovanović B.**: Energy Calculation in Power Meter IC, Proceedings of V Industrial Electronics Symposium INDEL 2004, November 11-13, 2004, ISBN 86-7122-014-1, pp. 126-131
- 8) **Jovanović B.**, Damnjanović M., Petković P.: Design and Test Architecture of Integrated Power-Meter Digital Part, Proceedings of XLIX Conference ETRAN 2005, June 05-10, 2005, ISBN 86-80509-53-1, Vol. 1, pp. 50-53
- 9) Živanov M., Slankamenac M., Teodorović P., **Jovanović B.**, Miličić D.: Hardware-Software Student Competition 2005, Proceedings of L Conference ETRAN 2006, June 06-09, 2006, Vol. 1, ISBN 86-80509-58-2, pp. 46-49

- 10) Damnjanović M., **Jovanović B.**: Fast Adders in VLSI, Proceedings of VI Industrial Electronics Symposium INDEL 2006, November 10-11, 2006, ISBN 99938-793-7-1, pp. 80-83
- 11) Damnjanović M., **Jovanović B.**: PC-Based 12-channel Electrocardiograph for Resting and Exercise Test, Proceedings of VI Industrial Electronics Symposium INDEL 2006, November 10-11, 2006, ISBN 99938-793-7-1, pp. 253-257
- 12) **Jovanović B.**, Nikolić M., Petković P., Damnjanović M.: A New Testing Set-up for Integrated Power Meter, Proceedings of LI konferencije ETRAN, Herceg Novi-Igalo, June 04-08, 2007, CD ISBN 978-86-80509-62-4, rad EL2.5
- 13) Marinković M., **Jovanović B.**, Petković P.: Design for Testability of Decimation Filters in Solid-state Energy Meter, Proceedings of LI Conference ETRAN, Herceg Novi - Igalo, June 04-08, 2007, CD ISBN 978-86-80509-62-4, rad EL2.4
- 14) **Jovanović, B.**, Damnjanović, M.: Data-Acquisition Block In Integrated Power Meter, Zbornik radova VII simpozijuma Industrijska Elektronika - INDEL 2008, Banja Luka, 06.11-08.11, 2008, pp.153-156, ISBN 978-99955-46-01-4
- 15) Mirković, D, **Jovanović, B.**, Petković, P.: Analiza uticaja promene temperature na merenje energije integrisanim meračem potrošnje električne energije, Zbornik radova VII simpozijuma Industrijska Elektronika - INDEL 2008, Banja Luka, 06.11-08.11, 2008, pp.148-152, ISBN 978-99955-46-01-4
- 16) **Jovanović, B.**, Damnjanović, M.: Digital signal processing in 3-phase integrated power meter IC, Zbornik radova LII konferencije ETRAN, Palić, 08.06-12.06., 2008, EL3.3-1-4, ISBN 978-86-80509-63-1
- 17) Mirković, D., **Jovanović, B.**: Primena serijske I2C EEPROM memorije u sistemu sa integrisanim meračem potrošnje električne energije, Zbornik radova LII konferencije ETRAN, Palić, 08.06-12.06., 2008, EL3.5-1-4, ISBN 978-86-80509-63-1
- 18) Stevanović, D., **Jovanović, B.**, Sokolović, M., Petković, P.: Projektovanje RTC u integrisanom meraču potrošnje električne energije, Zbornik radova LII konferencije ETRAN, Palić, 08.06-12.06., 2008, EL3.4-1-4, ISBN 978-86-80509-63-1

- 19) **Jovanović, B.**, Damnjanović, M., Petković, P.: Low-power design of digital signal processing block for integrated power meter, LIII Konferencija ETRAN, Vrnjačka Banja, 15.06-18.06., 2009, EL 2.1-1-4, ISBN 978-86-80509-64-8
- 20) Stevanović, D., **Jovanović, B.**, Petković, P.: Logička verifikacija mikrokontrolera u integrisanom meraču potrošnje električne energije, LIII Konferencija ETRAN, Vrnjačka Banja, 15.06-18.06., 2009, EL 2.2-1-4, ISBN 978-86-80509-64-8
- 21) Stevanović, D., **Jovanović, B.**, Petković, P.: Identifikacija izvora harmonijskog zagađenja korišćenjem snage distorzije, VIII Symposium on Industrial Electronics INDEL 2010, Banja Luka, 4-6 November, 2010
- 22) **Jovanović, B.**, Damnjanović, M.: Low Power Microcontroller Design By using UPF, VIII Symposium on Industrial Electronics INDEL 2010, Banja Luka, 4-6 November, 2010,
- 23) **Jovanović, B.**, Damnjanović, M.: Low power techniques for leakage power minimization, Zbornik LIV Konferencije ETRAN, Donji Milanovac, 07.06.“ 11.06., 2010, EL3.4-1-4, ISBN 978-86-80509-65-5
- 24) Stevanović, D., **Jovanović, B.**: Izračunavanje snage distorzije u integrisanom meraču potrošnje električne energije, Zbornik LIV Konferencije ETRAN, Donji Milanovac, 07.06. “ 11.06., 2010, EL3.5-1-4, ISBN 978-86-80509-65-5
- 25) Dimitrijević, M., **Jovanović, B.**: Određivanje THD faktora bazirano na integrisanim kolima Teradian 71M6533 i IMPEG, Zbornik LV konferencije ETRAN, Banja Vrućica, Bosna i Hercegovina, 06.06.-09.06., 2011, EL 3.4, ISBN 978-86-80509-66-2
- 26) **Jovanović, B.**, Damnjanović, M.: Novel PC-based cardiac stress test system, Zbornik LV konferencije ETRAN, Banja Vrućica, Bosna i Hercegovina, 06.06.-09.06., 2011, EL 2.4, ISBN 978-86-80509-66-2
- 27) **Jovanović, B.**, Damnjanović, M.,; Energy efficiency of hard real-time systems based on standby sparing; 56. Konferencija za ETRAN, Zlatibor, 11-14. juna 2012.; Izdavač: Društvo za ETRAN; Broj stranica: EL2.2 1-5, 2013; ISBN 978-86-80509-67-9
- 28) Petković, P., **Jovanović, B.**, Stevanović, D.: Energetska efikasnost i elektronika; Energetska efikasnost ENEF 2013, Banja Luka, 22.-23.11.2013.;

Elektrotehnički fakultet, Univerzitet u Banjoj Luci; pp. B3.1-B3.8, 2013, ISBN: 978-99955-46-18-2;

- 29) **Jovanović, B.**, Damnjanović M.: Low Power Dual Processor Fault-Tolerant System; Energetska efikasnost ENEF 2013, Banja Luka, 22.-23.11.2013.; Elektrotehnički fakultet, Univerzitet u Banjoj Luci, Bosna i Hercegovina; pp. B3.9-B3.12, 2013, ISBN: 978-99955-46-18-2

f) M85 Tehnička rešenja

- 1) **Jovanović, B.**, Mirković, D., Damnjanović, M.: Kolo za programiranje IP bloka 8051 mikrokontrolera, Tehničko rešenje, Elektronski fakultet u Nišu, 2014
- 2) **Jovanović, B.**, Damnjanović, M.: Procesorski sistem baziran na Standby Sparing metodi, Elektronski fakultet u Nišu, 2013
- 3) **Jovanović, B.**, Damnjanović, M.: 8052 blok u 90nm CMOS, TR11007 Tehničko rešenje - laboratorijski prototip, 2011
- 4) Stevanović, D., **Jovanović, B.**, Petković, P.: Blok za merenje snage distorzije, TR11007 Tehničko rešenje - laboratorijski prototip, 2011
- 5) Litovski, V., Petković, P., Damnjanović, M., Milovanović, D., Andrejević Stošović, M., Savić, M., **Jovanović, B.**, Andjelković, B., Milić, M., Nikolić, M., Dimitrijević, M., Djordjević, Sr.: IMPEG 2, TR 6108B Tehničko rešenje - laboratorijski prototip, 29.04., 2008, 07/01-005-10-058
- 6) **Jovanović, B.**, Damnjanović, M., Petković, P., Dimitrijević, M.: 8052+ LCD 46, TR 6108B Tehničko rešenje - laboratorijski prototip, 29.04., 2008, 07/01-005-10-059
- 7) Petković, P., Damnjanović, M., **Jovanović, B.**, Milić, M.: IMPEG 2 -RTC, TR 6108B Tehničko rešenje - laboratorijski prototip, 2008
- 8) Marinković, M., **Jovanović, B.**, Dimitrijević, M., Petković, P., Andjelković, B.: IMPEG2-HT, TR 6108B Tehničko rešenje - laboratorijski prototip, 29.04., 2008, 07/01-005-10-062
- 9) Marinković, M., **Jovanović, B.**, Andrejević Stošović, M., Petković, P., Andjelković, B.: IMPEG2-FIR, TR 6108B Tehničko rešenje - laboratorijski prototip, 2008
- 10) Marinković, M., **Jovanović, B.**, Andrejević Stošović, M., Petković, P.,

- Andjelković, B.: IMPEG2-SINE, TR 6108B Tehničko rešenje - laboratorijski prototip, 2008
- 11) Litovski, V., Petković, P., Damnjanović, M., **Jovanović, B.**, Milić, M.: IMPEG2-BAQ, TR 6108B Tehničko rešenje - laboratorijski prototip, 2008
 - 12) Andrejević Stošović, M., Litovski, V., **Jovanović, B.**, Djordjević, Sr., Andjelković, B., Milojković, J., Milić, M., Savić, M., Petković, P., Nikolić, M., Milovanović, D., Jevtić, M., Dimitrijević, M., Damnjanović, M., Cvetković, M., Đošić, S.: Testni čip za integrisani merač potrošnje električne energije, Rezultat prihvaćen kao deo izveštaja za 2003. godinu u okviru projekta "Razvoj uređaja i sistema za merenje i upravljanje potrošnjom električne energije u industriji", evidencioni broj IT.1.01.0076.B., 2003
 - 13) **Jovanović, B.**, Petković, P., Dimitrijević, M.: NF FIR decimacioni filter u strujnom kanalu IMPEG, Rezultat prihvaćen kao deo izveštaja za 2003. godinu u okviru projekta "Razvoj uređaja i sistema za merenje i upravljanje potrošnjom električne energije u industriji", evidencioni broj IT.1.01.0076.B., 2003
 - 14) **Jovanović, B.**, Petković, P., Dimitrijević, M.: NF FIR decimacioni filter u naponskom kanalu IMPEG, Rezultat prihvaćen kao deo izveštaja za 2003. godinu u okviru projekta "Razvoj uređaja i sistema za merenje i upravljanje potrošnjom električne energije u industriji", evidencioni broj IT.1.01.0076.B., 2003

Izjave autora



Prilog 1.

IZJAVA O AUTORSTVU

Izjavljujem da je doktorska disertacija, pod naslovom

Napredni metodi projektovanja digitalnih integrisanih kola u nanometarskim tehnologijama sa posebnim naglaskom na brzinu, statičku i dinamičku potrošnju

- rezultat sopstvenog istraživačkog rada,
- da predložena disertacija, ni u celini, ni u delovima, nije bila predložena za dobijanje bilo koje diplome, prema studijskim programima drugih visokoškolskih ustanova,
- da su rezultati korektno navedeni i
- da nisam kršio autorska prava, niti zloupotrebio intelektualnu svojinu drugih lica.

U Nišu, 31.08.2015.

Autor disertacije:

Mr Borisav Jovanović, dipl. inž.

Potpis doktoranta



Prilog 2.

IZJAVA O ISTOVETNOSTI ŠTAMPANE I ELEKTRONSKE VERZIJE DOKTORSKE DISERTACIJE

Ime i prezime autora: **Borisav Jovanović**

Studijski program: **Elektronika**

Naslov rada: **Napredni metodi projektovanja digitalnih integrisanih kola u nanometarskim tehnologijama sa posebnim naglaskom na brzinu, statičku i dinamičku potrošnju**

Mentor: **prof. dr Predrag Petković**

Izjavljujem da je štampana verzija moje doktorske disertacije istovetna elektronskoj verziji, koju sam predao za unošenje u **Digitalni repozitorijum Univerziteta u Nišu**.

Dozvoljavam da se objave moji lični podaci, koji su u vezi sa dobijanjem akademskog zvanja doktora nauka, kao što su ime i prezime, godina i mesto rođenja i datum odbrane rada, i to u katalogu Biblioteke, Digitalnom repozitorijumu Univerziteta u Nišu, kao i u publikacijama Univerziteta u Nišu.

U Nišu, 31.08.2015.

Autor disertacije:

Mr Borisav Jovanović, dipl. inž.

Potpis doktoranta



Prilog 3.

IZJAVA O KORIŠĆENJU

Ovlašćujem Univerzitetsku biblioteku „Nikola Tesla“ da, u Digitalni repozitorijum Univerziteta u Nišu, unese moju doktorsku disertaciju, pod naslovom:

Napredni metodi projektovanja digitalnih integrisanih kola u nanometarskim tehnologijama sa posebnim naglaskom na brzinu, statičku i dinamičku potrošnju

koja je moje autorsko delo.

Disertaciju sa svim priložima predao sam u elektronskom formatu, pogodnom za trajno arhiviranje.

Moju doktorsku disertaciju, unetu u Digitalni repozitorijum Univerziteta u Nišu, mogu koristiti svi koji poštuju odredbe sadržane u odabranom tipu licence Kreativne zajednice (Creative Commons), za koju sam se odlučio.

1. Autorstvo
2. Autorstvo – nekomercijalno
3. Autorstvo – nekomercijalno – bez prerade
4. Autorstvo – nekomercijalno – deliti pod istim uslovima
5. Autorstvo – bez prerade
6. Autorstvo – deliti pod istim uslovima

U Nišu, 31.08.2015.

Autor disertacije:

Mr Borisav Jovanović, dipl. inž.

Potpis doktoranta
