

УНИВЕРЗИТЕТ У НИШУ  
ЕЛЕКТРОНСКИ ФАКУЛТЕТ

Александра Медведева 14 · Поштански фах 73  
18000 Ниш · Србија  
Телефон 018 529 105 · Телефакс 018 588 399  
E-mail: [efinfo@elfak.ni.ac.rs](mailto:efinfo@elfak.ni.ac.rs); <http://www.elfak.ni.ac.rs>  
Текући рачун: 840-1721666-89; ПИБ: 100232259



UNIVERSITY OF NIŠ  
FACULTY OF ELECTRONIC ENGINEERING

Aleksandra Medvedeva 14 · P.O. Box 73  
18000 Niš - Serbia  
Phone +381 18 529 105 · Fax +381 18 588 399  
E-mail: [efinfo@elfak.ni.ac.rs](mailto:efinfo@elfak.ni.ac.rs)  
<http://www.elfak.ni.ac.rs>

ДЕКАН  
16.12.2015.

ОБАВЕШТЕЊЕ  
НАСТАВНИЦИМА И САРАДНИЦИМА ЕЛЕКТРОНСКОГ ФАКУЛТЕТА

Докторска дисертација кандидата **мр Борисава Јовановића** под насловом «Напредни методи пројектовања дигиталних интегрисаних кола у нанометарским технологијама са посебним нагласком на брзину, статичку и динамичку потрошњу» и Извештај Комисије за оцену и одбрану докторске дисертације доступни су на увид јавности у електронској верзији на званичној интернет страници Факултета и налазе се у штампаном облику у Библиотеци Електронског факултета у Нишу и могу се погледати до **15.01.2016. године**.

Примедбе на наведени извештај достављају се декану Факултета у напред наведеном року.

ЕЛЕКТРОНСКИ ФАКУЛТЕТ У НИШУ

Декан



Проф. др Драган Јанковић

**ИЗВЕШТАЈ О ОЦЕНИ ДОКТОРСКЕ ДИСЕРТАЦИЈЕ****ПОДАЦИ О КАНДИДАТУ**

Презиме, име једног родитеља и име	Јовановић Драгослав Борисав
Датум и место рођења	03.09.1979, Ниш, Србија
<b>Основне студије</b>	
Универзитет	Универзитет у Нишу
Факултет	Електронски факултет
Студијски програм	Електроника
Звање	Дипломирани инжењер електротехнике за електронику
Година уписа	1997/1998.
Година завршетка	2002.
Просечна оцена	9,77

**Магстер студије, магистарске студије**

Универзитет	Универзитет у Нишу
Факултет	Електронски факултет
Студијски програм	Електроника
Звање	Магистар техничких наука
Година уписа	2003.
Година завршетка	2005.
Просечна оцена	10,00
Научна област	Електроника
Наслов завршног рада	"Пројектовање ДСП блока у колу специфичне намене" - магистарска теза

**Докторске студије**

Универзитет	Универзитет у Нишу
Факултет	Електронски факултет
Студијски програм	Електроника
Година уписа	2006.
Остварен број ЕСПБ бодова	624
Просечна оцена	10,00

**НАСЛОВ ТЕМЕ ДОКТОРСКЕ ДИСЕРТАЦИЈЕ**

Наслов теме докторске дисертације	Напредни методи пројектовања дигиталних интегрисаних кола у нанометарским технологијама са посебним нагласком на брзину, статичку и динамичку потрошњу
Име и презиме ментора, звање	Предраг Петковић, редовни професор
Број и датум добијања сагласности за тему докторске дисертације	07/03-016/15-005, 16.04.2015

**ПРЕГЛЕД ДОКТОРСКЕ ДИСЕРТАЦИЈЕ**

Број страна	101
Број поглавља	6
Број слика (шема, графикона)	56
Број табела	9
Број прилога	3

**ПРИКАЗ НАУЧНИХ И СТРУЧНИХ РАДОВА КАНДИДАТА  
који садрже резултате истраживања у оквиру докторске дисертације**

Р. бр.	Аутор-и, наслов, часопис, година, број волумена, странице	Категорија
1	<p><b>Jovanović, B., Damnjanović, M., Petković, P., Litovski, V.:</b> Standard Cell Based Low Power Embedded Controller Design, Journal of Circuits Systems and Computers, Volume No.24, Issue No. 6, World Scientific Publishing Co. Pte. Ltd., Singapore, July 2015, DOI: 10.1142/S0218126615500772</p> <p>Микроконтролери се често у виду IP блокова уграђују у системе интегрисане на чипу. У раду су описани поступци који се користе при пројектовању интегрисаних кола, као и примена техника за минимизацију потрошње IP блока микроконтролера, који користи 8051 скуп инструкција. Презентовани су неопходни кораци за смањење снаге дисипације кола, спроведени на на више нивоа апстракције пројектовања кола. Циљ је био да се смањи снага дисипације у применама микроконтролера које не захтевају интензивну обраду података. Разматран је утицај скалирања технолошког процеса на потрошњу, поређењем резултата добијених из више имплементација микроконтролера, добијених коришћењем различитих технолошких процеса. Креирани су модели за процену потрошње који омогућавају процену снаге микроконтролера у применама које се одликују малом количином обрађених података.</p>	M23
2	<p><b>Jovanović, B., Litovski, V., Pavlović, M.:</b> QRS complex detection based ECG signal artefact discrimination, Facta Universitates Series: Electronics and Energetics Vol. 28, No 4, December 2015, pp. 571 - 584. DOI: 10.2298/FUEE1504571J</p> <p>У раду је описан нови алгоритам за идентификацију сметњи у ECG сигналу који се користи у најсавременијим интегрисаним колима за обраду ECG сигнала, која се одликују малом динамичком и статичком потрошњом и могу да раде веома дуго на једном пуњењу батерија. Алгоритам је оптимизован са становишта броја рачунских операција и извршава се на SoC колу који садржи микроконтролер, у коме је смањење динамичке и статичке потрошње приоритет, дакле. Алгоритам се заснива на новом начину детекције QRS комплекса, који је применљив у микропроцесорским системима малих перформанси – који обрађују малу количину података и користе специјалне модове за малу потрошњу. У раду су представљени практични резултати примене предложеног алгоритма.</p>	M24
3	<p><b>Jovanović, B., Damnjanović, M.:</b> Glitch free clock switching techniques in modern microcontrollers, Proceedings of the 5th Small System Simulation Symposium, Niš, 12.02.-14.02., 2014, pp. 119-122, ISBN 978-86-6125-098-9</p> <p>Савремени системи интегрисани на чипу могу да користе више такних сигнала различитих фреквенција. Ово важи и за кола микропроцесора који користе више тактних фреквенција у циљу смањења потрошње. Тактни сигнали савремених процесора могу да буду међусобно потпуно независни или да неки сигнал има фреквенцију која је целобројни умножак фреквенције другог сигнала. У оба случаја, приликом промене тактне фреквенције постоји опасност од генерисања глича који доводи до неисправног рада кола. У раду су представљена нова дигитална кола која се користе за промену тактне фреквенције у колу микроконтролера и онемогућавају појаву гличева. Коло има практичну примену у савременим микропроцесорским системима интегрисаним на чипу.</p>	M33
4	<p><b>Jovanović, B., Zwolinski, M., Damnjanović, M.:</b> Low power digital design in Integrated Power Meter IC , Proceedings of the Small Systems Simulation Symposium 2010, Niš, 12-14 February, 2010, pp. 49-55, ISBN 987-86-6125-006-4</p> <p>Интегрисано коло мерача потрошње електричне енергије садржи дигиталне блокове: дигиталне филтре, блок за дигиталну обраду сигнала (DSP) и микроконтролер. Два блока која имају највећу потрошњу су DSP и микроконтролер. При оптимизацији DSP блока примењена је техника гејтовања тактног сигнала и потрошња је смањена за 27%. После примене технике кодирања стања коначног аутомата Грејевим кодом, потрошња је смањена за 35%. Укупно смањење снаге од 42% постиже се поделом контролне логике DSP-а у више мањих јединица. Поред тога, примењене су технике које минимизују прекидачку активност на унутрашњим сигнаlima микроконтролера. У односу на почетну имплементацију, која испуњава само основне функционалне захтеве, постигнуто је укупно смањење снаге од близу 50%.</p>	M33
5	<p><b>Jovanovic B., Damnjanović M.;</b> The Decomposition of DSP's Control Logic Block for Power Reduction, ELECTRONICS Journal; Elektrotehnički fakultet, Univerzitet u Banjoj Luci, Bosna i Hercegovina; VOL. 16, NO. 1; pp. 85-91; Godina: Jun 2012, ISSN број: 1450-5843</p> <p>У раду се разматрају архитектура и методи пројектовања за малу потрошњу блока који се користи за дигиталну обраду сигнала, који је уграђен у трофазни Интегрисани мерач потрошње електричне енергије. Коришћене технике за смањење снаге дисипације се првенствено фокусирају на оптимизацију блокова контролне логике. Контролна јединица DSP блока, имплементирана као коначни аутомат, дели се у четири мања аутомата; примењене су технике гејтовања тактног сигнала и кодирање стања аутомата Грејевим кодом. У раду су описане операције које DSP блок извршава и презентовани резултати оптимизације снаге дисипације.</p>	M52

<p>Petković, P., Jovanović, B., Stevanović, D.: Energetska efikasnost i elektronika Zbornik radova konferencije Energetska efikasnost ENEF 2013, Banja Luka, ISBN 978-99955-46-18-2 22.11.-23.11. 2013 pp. B3 1</p> <p>Примена енергетски ефикасних уређаја наметнута је тежњом да се избалансира потрошња енергената са њиховом производњом. У том глобалном процесу електроника није изузетак. Њен значај проистиче из укупног удела електронских уређаја као потрошача електричне енергије. У раду је, најпре, дат приказ удела електронских уређаја на укупну потрошњу електричне енергије. Затим су описане технике за смањење потрошње у CMOS интегрисаним колима. Њихов ефекат илустрован је на примеру пројектовања микроконтролера. Приказани су конкретни резултати које даје пројектовање за смањену потрошњу на примеру микроконтролера. Ради се о резултатима који проистичу из пројекта реализованог у ЈЕДА лабораторији Електронског факултета Универзитета у Нишу. На крају је дат приказ утицаја енергетски ефикасних електронских уређаја на параметре електроенергетске мреже. Указује се на повећање присуства хармоника и предлаже метод за њихово регистровање на бази сваког домаћинства.</p>	M61
<p>Jovanović, B., Mirković, D., Damnjanović, M.: Logička verifikacija i projektovanje kola za testiranje IP bloka mikrokontrolera, Zbornik LVIII konferencije ETRAN, Vrnjačka Banja, 02.06.-05.06., 2014, EL2.6, ISBN 978-86-80509-70-9</p> <p>У раду је детаљно објашњен поступак верификације пројекта, глобална шема и рад уграђених кола која омогућавају поступак програмирања IP блока микроконтролера. IP блок користи стандардни 8051 скуп инструкција. Пројектовани микроконтролер део је сложеног интегрисаног система на чипу. Рад микроконтролера проверава се кроз SPI интерфејс коришћењем различитих асемблерских програма</p>	M63
<p>Jovanović, B., Damnjanović M.: Low Power Dual Processor Fault-Tolerant System; Energetska efikasnost ENEF 2013, Banja Luka, 22.-23.11.2013., Elektrotehnički fakultet, Univerzitet u Banjoj Luci, Bosna i Hercegovina; pp. B3.9-B3.12, 2013, ISBN: 978-99955-46-18-2</p> <p>Предложена техника заснована је на Standby-Sparing методи. Користи се у Real-time системима за уштеду снаге диспације микропроцесора који раде на малим напонима напајања. За проверу технике развијен је систем који се састоји од два идентична језгра микроконтролера. Систем обезбеђује толеранцију на грешке и малу потрошњу.</p>	M63
<p>Jovanović, B., Damnjanović, M.: Low power techniques for leakage power minimization, Zbornik LIV Konferencije ETRAN, Donji Milanovac, 07.- 11. 06., 2010, EL3.4-1-4, ISBN 978-86-80509-65-5</p> <p>У раду су објашњене технике које се користе за смањивање статичке снаге дигиталних кола које се користе у савременим технолошким процесима израде интегрисаних кола. Представљене су нове могућности које пружају савремени алати за пројектовање интегрисаних кола. Технике су примењене при пројектовању 8051 мкроконтролера, који је део сложеног кола мерача потрошње електричне енергије.</p>	M63
<p>Jovanović, B., Damnjanović, M., Petković, P.: Low-power design of digital signal processing block for integrated power meter, LIII Konferencija ETRAN, Vrnjačka Banja, 15.06-18.06. 2009, EL 2.1-1-4, ISBN 978-86-80509-64-8</p> <p>У раду је разматрана архитектура и пројектовање DSP блока (уграђеног у Интегрисани мерач потрошње електричне енергије) са аспекта минимизовања његове снаге. Дискутовани су оптимizacionи нивои, описана архитектура и представљени конкретни резултати оптимизације блока. Блок за дигитално процесирање сигнала је део Интегрисаног мерача потрошње електричне енергије који извршава прецизна израчунавања у циљу мерења параметара мрежног сигнала: ефективних вредности струје и напона, активне, реактивне и привидне снаге, фреквенције, фактора снаге. У раду су разматрани поступци минимизације снаге дисипације DSP блока. У другом поглављу описани су методи за оптимизацију снаге дисипације. Треће поглавље описује архитектуру DSP блока. Четврто поглавље описује примену <i>Clock gating</i> техника на потрошњу DSP блока, док пето поглавље описује примену технике изолације операнада.</p>	M63

**НАПОМЕНА:** уколико је кандидат објавио више од 3 рада, додати нове редове у овај део документа

### ИСПУЊЕНОСТ УСЛОВА ЗА ОДБРАНУ ДОКТОРСКЕ ДИСЕРТАЦИЈЕ

Кандидат испуњава услове за оцену и одбрану докторске дисертације који су предвиђени Законом о високом образовању, Статутом Универзитета и Статутом Факултета. ДА

У извештају Комисије за оцену испуњености критеријума за покретање поступака за пријаву докторске дисертације, покретање поступака за оцену и одбрану докторске дисертације и изборе у звања наставника на Електронском факултету у Нишу, у решењу бр. 07/03-033/15-001 од 04.09.2015. године, наводи се да кандидат мр Борисав Јовановић **ИСПУЊАВА** предвиђене критеријуме за покретање поступка за оцену и одбрану докторске дисертације, на основу члана 20. става 5. тачака 3.4 и 3.6 Правилника о поступку припреме и условима за одбрану докторске дисертације Универзитета у Нишу.

### ВРЕДНОВАЊЕ ПОЈЕДИНИХ ДЕЛОВА ДОКТОРСКЕ ДИСЕРТАЦИЈЕ

Докторска дисертација мр Борисава Јовановића под насловом “Напредни методи пројектовања дигиталних интегрисаних кола у нанометарским технологијама са посебним нагласком на брзину, статичку и динамичку потрошњу” има 101 страницу, 56 слика и укупно 9 табела.

Дисертација се састоји из осам целина: 1. Увод, 2. Узрочници дисипирања снаге у CMOS колима, 3. Технике за смањивање потрошње интегрисаних кола, 4. ASIC пројектовање микроконтролера за малу потрошњу, 5. Технике за поуздан рад микропроцесора који су имплементирани у нанометарским процесима, 6. Примена пројектованог IP блока микроконтролера у најсавременијем SoC, 7. Закључак, 8. Литература. Списак литературе садржи 88 референци.

У уводу су приказани предмет и циљеви истраживања. Истакнут је значај смањивања потрошње интегрисаних кола. Мања потрошња кола доноси многе предности: већи степен интеграције система, смањивање површине чипа, смањивање учесталости отказа и продужење радног века електронских уређаја. Проблеми везани за снагу дисипације постају још значајнији када дигитално коло треба да буде уграђено у сложени интегрисани систем на чипу (SoC), у коме други потрошачи (као што су A/D конвертори) имају приоритет и тешко их је оптимизовати са становишта потрошње.

У другом поглављу дат је преглед узрочника снаге дисипације у интегрисаним колима према месту и условима њиховог настанка. Истакнут је значај статичке снаге, која има све већи удео у укупној потрошњи интегрисаних кола која су имплементирана у модерним технолошким процесима. Узроци статичке снаге могу се поделити у неколико група. Разматран је удео појединих извора потрошње у укупној дисипацији снаге.

У трећем поглављу дат је преглед техника за редукацију статичке и динамичке потрошње које се ослањају на савремене технологије фабрикације интегрисаних кола. Технике укључују примену различитих напона напајања (Multi-Voltage), искључивање латентних делова са напајања (Power gating), употребу библиотека стандардних ћелија са различитим напонима прага транзистора, промену поларизације основе (Reverse-body bias), динамичку промену напона прага транзистора у колу, итд. Једна од техника која се данас често примењује јесте техника динамичког скалирања напона напајања и фреквенције (DVFS). Посебно су представљене технике за редукацију динамичке потрошње, које укључују коришћење гејтованог тактног сигнала, као и технике које су засноване на променама у архитектури кола које резултују мањом потрошњом.

У четвртом поглављу кандидат је описао примену техника за смањење потрошње при развоју новог 8051 микроконтролера. Иако су 8051 микроконтролери одавно доступни на тржишту као дискретне компоненте, данас се често користе као IP (Intellectual Property) блокови који се уграђују у сложене системе интегрисане на чипу (SoC). Због мање површине чипа коју заузимају и уштеде у снази дисипације, IP језгра 8051 микроконтролера се радије користе уместо 32-битних процесора. Дисертација јасно описује кораке који се спроводе током пројектовања кола. Ново решење 8051 микроконтролера одликује се минималном потрошњом за дату технологију у применама које не захтевају интензивну обраду података. Затим, сагледан је утицај скалирања технолошког процеса на потрошњу микроконтролера, упоређивањем резултата које је кандидат остварио пројектовањем 8051 микроконтролера у различитим технолошким процесима. Креирани су нови модели за процену потрошње који омогућавају процену снаге микроконтролера у применама које се одликују малом количином обрађених података.

У петом поглављу кандидат је описао нови метод за процену потрошње микроконтролерског система који користи ниске вредности напона напајања, а истовремено поуздано ради у присуству грешака. Са скалирањем технологије фабрикације интегрисаних кола, и нарочито, радом кола на све нижим напонима напајања, савремени микропроцесори постају подложнији интермитентним грешакама, па је неопходна примена метода који ове проблеме решавају. Креиран је нови метод за процену потрошње микроконтролера у условима када се примењују технике за поуздан рад засноване на примени временске редундансе (Time redundancy), уштеде у пасивном стању (Standby sparing) и заједничког опоравка (Shared recovery). Поред поузданости, снага дисипације микроконтролера је један од приоритета, зато нови метод за процену потрошње који је описан у дисертацији подразумева да микроконтролер користи DVFS и искључивање латентних делова са напајања.

У шестом поглављу докторске дисертације приказана је практична примена пројектованог 8051 микроконтролера у најсавременијем телекомуникационом чипу. Пројектовано коло у виду IP блока уграђено је у SoC чип. Примена овог IP блока омогућава, између осталих предности, ефикасну контролу и бржу калибрацију SoC чипа. У дисертацији је представљен нови начин уградње IP блока микроконтролера у сложени SoC и приказани су резултати имплементације.

У закључку су сумирани резултати представљени у дисертацији.

Кратак опис појединих делова дисертације (до 500 речи)

## ВРЕДНОВАЊЕ РЕЗУЛТАТА ДОКТОРСКЕ ДИСЕРТАЦИЈЕ

Ниво остваривања постављених циљева из пријаве докторске дисертације (до 200 речи)

Комисија је прегледала наведену докторску дисертацију и утврдила је да су остварени сви циљеви који су представљени у пријави теме докторске дисертације:

1. Описано је ново решење IP блока 8051 микроконтролера, чија је архитектура прилагођена уградњи у савремена SoC интегрисана кола, која се имплементирају методом стандардних ћелија. Описани су поступци који се користе при пројектовању модерних интегрисаних кола, као и примена техника за минимизацију потрошње.
2. Имплементирано ново решење 8051 микроконтролера одликује се минималном потрошњом за дату технологију у применама које не захтевају интензивну обраду података. Резултати имплементације микроконтролера и оптимизације потрошње добијени су евалуацијом особина истог микроконтролера који

је кандидат пројектовао и реализовао у три различита технолошка процеса. При томе, резултати су верификовани употребом најсавременијих алата за пројектовање кола.

3. Описан је нови поступак за процену потрошње микроконтролера који узима у обзир струје цурења нанометарских технологија производње интегрисаних кола. Ово укључује и нове поступке за процену потрошње микроконтролерског система који ради на ниским вредностима напона напајања, а истовремено поуздано ради у присуству интермитентних грешака.
4. Реализован је нови прототип микроконтролера у виду IP блока прилагођен за уградњу у сложене системе на чипу (SoC). Посебно, представљена је практична примена пројектованог IP блока у телекомуникационом чипу, који је имплементиран у CMOS технологији 65 nm.
5. Представљени су резултати мерења као верификација применљивости предложених метода минимизације потрошње. Конкретно, измерена је потрошња новог пројектованог IP блока 8051 микроконтролера, који је имплементиран у 65 nm CMOS процесу и представља део фабрикованог сложеног комуникационог система на чипу.

Вредновање значаја и научног доприноса резултата дисертације *(до 200 речи)*

У дисертацији су систематизовани поступци који се користе за смањивање снаге дисипације микроконтролера и приказани су резултати процене његове потрошње. Треба истаћи да је анализа потрошње спроведена у више технолошких процеса израде кола: 350nm, 90 nm и 65 nm. Разматран је утицај скалирања технолошког процеса на потрошњу поређењем резултата процене потрошње микроконтролера реализованих у три различита технолошка процеса.

Анализирана је динамичка потрошња 8051 микроконтролера реализованих у више технолошких процеса. По први пут је разматран утицај промене технолошког процеса на уштеду у снази дисипације 8051 микроконтролера, која се добија применом техника за минимизацију динамичке снаге. Показано је да уштеда динамичке потрошње, срачуната у односу на потрошњу почетног - неоптимизованог кола, не зависи од одабраног технолошког процеса. Осим тога, резултати из различитих технолошка процеса потврђују да се са променом једне генерације процеса динамичка потрошња смањује приближно за 50%.

Посебан допринос предложене тезе представља нови поступак за процену потрошње 8051 микроконтролера реализованог у технолошким процесима у којима статичка снага чини значајан део укупне потрошње. Поступак се користи за процену снаге микроконтролера у применама у којима је количина обрађених података мала, као што су, на пример, сензорске мреже. За дато оптерећење микроконтролера које је изражено бројем инструкција у секунди, описани поступак даје оптималну вредност тактне фреквенције на којој је потрошња минимална.

Верификован је нови метод за процену потрошње микроконтролерског система који има ниске вредности напона напајања, а поуздано ради у присуству интермитентних грешака. Систем се базира на 8051 микроконтролерима и имплементиран је у савременим технолошким процесима производње CMOS интегрисаних кола. Креирани метод процењује потрошњу микроконтролера у условима када се примењују технике за поуздан рад система.

Оцена самосталности научног рада кандидата *(до 100 речи)*

Комисија је утврдила да решења предложена у докторској дисертацији кандидата, која се тичу пројектовања и оптимизације потрошње кола микроконтролера, имају значајну практичну примену, као и да одсликавају потпуно самостални научни рад кандидата. Престављени резултати нису засновани само на симулацијама електронских кола, већ су практично проверени након фабрикације чипа, што представља додатну вредност ове дисертације. Кандидат је за реализацију докторске дисертације испројектовао нови микроконтролер и уградио га у виду IP блока у најсавременији телекомуникациони SoC чип, реализован у технологији CMOS 65 nm. Чип је фабрикован и налази се у слободној продаји. У докторској дисертацији приказан је начин уградње пројектованог микроконтролера у SoC, тако да он може да се примени у многим сличним решењима.

**ЗАКЉУЧАК** (до 100 речи)

На основу увида у докторску дисертацију и вишегодишњи рад кандидата, Комисија сматра да докторска дисертација кандидата мр Борисава Јовановића садржи више оригиналних доприноса и решења у области пројектовања интегрисаних дигиталних кола, како са теоретског становишта тако и са аспекта практичне примене. У дисертацији је теоријски и практично представљен проблем пројектовања и оптимизације микроконтролера који је имплементиран коришћењем савремених нанометарских процеса. Саставни део дисертације чини и конкретно решење 8051 микроконтролера које је оригинално и широко применљиво у облику IP блока. Део резултата кандидат је публиковао на међународним и домаћим конференцијама и у часопису са SCI листе (M23).

Имајући у виду актуелност тематике и остварене научне резултате кандидата, Комисија предлаже Научно-наставном већу Електронског факултета у Нишу да се докторска дисертација кандидата Борисава Јовановића “Напредни методи пројектовања дигиталних интегрисаних кола у нанометарским технологијама са посебним нагласком на брзину, статичку и динамичку потрошњу” прихвати и да се кандидату одобри одбрана докторске дисертације.


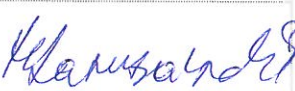



**КОМИСИЈА**

Број одлуке ННВ о именовану Комисије

8/20-01-009/15-031

Датум именовања Комисије

07.12.2015.

Р. бр.	Име и презиме, звање		Потпис
1.	др. Предраг Петковић, редовни професор	председник	
	Електроника (Научна област)	Електронски факултет у Нишу (Установа у којој је запослен)	
2.	др. Милунка Дамњановић, редовни професор	ментор, члан	
	Електроника (Научна област)	Електронски факултет у Нишу (Установа у којој је запослен)	
3.	др. Милун Јевтић, редовни професор	члан	
	Електроника (Научна област)	Електронски факултет у Нишу (Установа у којој је запослен)	
4.	др. Драгиша Миловановић, редовни професор		
	Електроника	Електронски факултет у Нишу	
5.	др. Милош Живанов, редовни професор		
	Електроника	Факултет техничких наука у Новом Саду	

Датум и место:

15.12.2015

10.12.2015, Ниш

07/03-033/15-004