



UNIVERZITET U NOVOM SADU
FAKULTET TEHNIČKIH NAUKA U
NOVOM SADU



Predrag Teodorović

Dizajn i minimizacija rekurzivnih Bulovih formula za memristivna logička kola

DOKTORSKA DISERTACIJA

Novi Sad, 2014.



УНИВЕРЗИТЕТ У НОВОМ САДУ • ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА
21000 НОВИ САД, Трг Доситеја Обрадовића 6

КЉУЧНА ДОКУМЕНТАЦИЈСКА ИНФОРМАЦИЈА

Редни број, РБР:	
Идентификациони број, ИБР:	
Тип документације, ТД:	Монографска публикација
Тип записа, ТЗ:	Текстуални штампани материјал
Врста рада, ВР:	Докторска дисертација
Аутор, АУ:	Предраг Теодоровић
Ментор, МН:	др Вељко Малбаша, ред. проф.
Наслов рада, НР:	Дизајн и минимизација рекурзивних Булових формула за мемристивна логичка кола
Језик публикације, ЈП:	Српски
Језик извода, ЈИ:	Српски/Енглески
Земља публиковања, ЗП:	Србија
Уже географско подручје, УГП:	Војводина
Година, ГО:	2014
Издавач, ИЗ:	Ауторски репринт
Место и адреса, МА:	Факултет техничких наука, Трг Доситеја Обрадовића 6, Нови Сад
Физички опис рада, ФО: (поглавља/страна/ цитата/табела/слика/графика/прилога)	8/139/156/8/33/35/0
Научна област, НО:	Електроника
Научна дисциплина, НД:	Електроника
Предметна одредница/Кључне речи, ПО:	Мемристори (мемристивни системи, мем-елементи), Логичка кола, рекурзивна Булова формула, Булова логичка импликација
УДК	
Чува се, ЧУ:	Библиотека Факултета техничких наука у Новом Саду, Трг Доситеја Обрадовића 6, 21000 Нови Сад
Важна напомена, ВН:	
Извод, ИЗ:	У раду је разматран проблем дизајна и минимизације рекурзивне Булове формуле конструисане за произвољну Булову функцију $y: B^N \rightarrow B$. У циљу решавања овог проблема, представљене су две алгоритамске хеуристике за минимизацију рекурзивне Булове формуле. Минимизација рекурзивне Булове формуле врши се коришћењем регуларних поредака позитивних производ термова. У дисертацији је доказано како је ова регуларност поредака заправо потребан и довољан услов да жељена Булова функција у буде коректно представљена рекурзивном Буловом формулом конструисаном на основу тих поредака. Показано је и како представљени алгоритми дају боље резултате за већи број инстанци проблема у поређењу са алгоритмима доступним у литератури.
Датум прихватања теме, ДП:	
Датум одбране, ДО:	
Чланови комисије, КО:	Председник: др Љиљана Живанов, ред. проф. Члан: др Вељко Милутиновић, ред. проф. Члан: др Станиша Даутовић, доцент Члан: др Растислав Струхарик, доцент Члан, ментор: др Вељко Малбаша, ред. проф.
	Потпис ментора



KEY WORDS DOCUMENTATION

Accession number, ANO :	
Identification number, INO :	
Document type, DT :	Monograph
Type of record, TR :	Printed text
Contents code, CC :	Ph.D. Thesis
Author, AU :	Predrag Teodorovic
Mentor, MN :	Veljko Malbasa, Ph.D., full professor
Title, TI :	Logic design and minimization of recursive Boolean formulas for memristive circuits
Language of text, LT :	Serbian
Language of abstract, LA :	Serbian/English
Country of publication, CP :	Serbia
Locality of publication, LP :	Vojvodina
Publication year, PY :	2014
Publisher, PB :	Author's reprint
Publication place, PP :	Faculty of Technical Sciences, Trg Dositeja Obradovića 6, 21000 Novi Sad
Physical description, PD : <small>(chapters/pages/ref./tables/pictures/graphs/appendixes)</small>	8/139/156/8/33/35/0
Scientific field, SF :	Electronics
Scientific discipline, SD :	Electronics
Subject/Key words, S/KW :	Memristors (memristive systems, mem-elements), logic circuits, recursive Boolean formula, Boolean implication
UC	
Holding data, HD :	Library of the Faculty of Technical Sciences in Novi Sad, Trg Dositeja Obradovica 6, 21000 Novi Sad
Note, N :	
Abstract, AB :	In this thesis, the problem of design and minimization of recursive Boolean formula, based on an arbitrary Boolean function $y: B^N \rightarrow B$, is considered. As a solution of a problem, two heuristic algorithms that minimize the length of recursive Boolean formula, were presented. Minimization, itself, is done by using regular orders of positive product terms. In the thesis it was proved that the regularity of orders represents necessary and sufficient condition for correct representation of Boolean function y by recursive Boolean formula based on such regular order. Developed algorithms are compared with other heuristic algorithms for recursive Boolean formula minimization, available in the literature, and it is shown how algorithms proposed in this thesis provide better results for more problem instances.
Accepted by the Scientific Board on, ASB :	
Defended on, DE :	
Defended Board, DB :	President: Ljiljana Zivanov, Ph. D., full prof.
	Member: Veljko Milutinovic, Ph. D., full prof.
	Member: Stanisa Dautovic, Ph. D., ass. prof.
	Member: Rastislav Struharik, Ph. D., ass. prof.
	Member, Mentor: Veljko Malbasa, Ph. D., full prof.
	Mentor's sign

Posvećeno mojoj porodici i roditeljima.

Sadržaj

1	Uvod	13
2	Dvokrajni i višekrajni mem-elementi i mem-sistemi	17
2.1	Memristor	17
2.2	Memristivni sistemi	22
2.3	Idealan memristor kao strujom kontrolisan memristivni sistem prvog reda	25
2.4	Fabrikacija prvog memristora	33
2.5	Modeli HP memristora	37
2.6	Mem-kapacitivni sistemi i mem-kondenzator	41
2.7	Mem-induktivni sistemi i mem-kalem	44
2.8	Višekrajni memristivni elementi	46
2.9	Mem-elementi višeg reda	49
3	Digitalna kola sa mem-elementima	51
3.1	Digitalna logička kola sa memristorima	51
3.2	Sekvencijalna logička kola sa memristorima	58
3.3	Memorije sa memristivnim elementima	63
3.4	Memristor i mem-elementi kao nova paradigma digitalne elektronike	73
4	Rekurzivna Bulova formula sa fiksnim poretkom pozitivnih proizvod termova	77
5	Generisanje pobudnih naponskih sekvenci za <i>stateful logic</i> kolo	89
5.1	Računanje Bulove funkcije pomoću dva memristora	89
5.2	Model memristora korišćen za simulacije	91
5.3	Generisanje sekvenci pobudnih signala	93
6	Regularan poredak pozitivnih proizvod termova u rekurzivnoj Bulovoj formuli	101
7	Algoritamske heuristike za minimizaciju rekurzivne Bulove formule	107
7.1	Bi-Color Vertex Partition (BCVP) algoritam	107
7.2	Leaf relocation (LR) algoritam	113
7.3	Poređenje algoritamskih heuristika za minimizaciju dužine rekurzivne Bulove formule	120
8	Zaključak	125

Slike

2.1	M-R mutator korišten u [Chua71] kao emulator memristora (preuzeto iz [Chua71])	19
2.2	Implementacija M-R mutatora korišćenjem aktivnih komponenti (preuzeto iz [Chua71])	20
2.3	Simbol memristora i hipotetička kriva koja opisuje zavisnost $q = q(\varphi)$	21
2.4	Nelinearno pasivno kolo koje ispoljava memristivni efekat (preuzeto iz [CA12])	22
2.5	a) <i>Lissajous figura</i> kao moguća strujno-naponska karakteristika memristivnog sistema; b) <i>Lissajous figura</i> koja ne može biti strujno-naponska karakteristika memristivnog sistema	23
2.6	Degeneracija <i>Lissajous figure</i> sa porastom pobudne frekvencije	24
2.7	Konstitutivna relacija memristora korišćenog u primeru (preuzeto iz [Chua11])	25
2.8	Strujna pobuda i odgovarajuća količina naelektrisanja (preuzeto iz [Chua11])	26
2.9	Napon i fluks memristora (preuzeto iz [Chua11])	27
2.10	<i>Lissajous figura</i> strujno-naponske karakteristike memristora (preuzeto iz [Chua11])	27
2.11	Zavisnost memristanse od promenljive stanja memristivnog sistema (preuzeto iz [Chua11])	28
2.12	Zavisnost memristanse od struje i talasni oblik memristanse (preuzeto iz [Chua11])	28
2.13	Degenerisana <i>Lissajous figura</i> pri pobudi $i(t) = \cos \omega t$ (preuzeto iz [Chua11])	29
2.14	Degenerisana <i>Lissajous figura</i> za memristor sa konstitutivnom relacijom $\varphi(q) = \frac{1}{3}q^3$ i strujnu pobudu $i(t) = \cos(t)$ (preuzeto iz [Chua11])	29
2.15	Konstitutivna relacija memristora pogodnog za implementaciju binarne memorije (preuzeto iz [Chua11])	32
2.16	Zavisnost memristanse od promenljive stanja (preuzeto iz [Chua11])	32
2.17	Uštinuta histerezisna petlja idealne memristivne binarne memorijske ćelije (preuzeto iz [Chua11])	33
2.18	Struktura HP memristora i uticaj spoljašnjeg električnog polja na domen sa redukovanim kiseonikom (preuzeto iz [Tetz14])	34
2.19	Širina dopiranog sloja kod HP memristora kao promenljiva stanja (preuzeto iz [SSSW08])	37
2.20	Linearan model HP memristora sa serijskom vezom otpornika	38

2.21	<i>Lissajous figura</i> dobijena korišćenjem <i>linear ion drift</i> modela HP memristora sa: a) prostoperiodičnom; b) akumulativnom periodičnom pobudom (preuzeto iz [SSSW08])	39
2.22	a) i b) <i>Lissajous figure</i> generisane različitim amplitudama pobudnog signala; c) <i>Lissajous figura</i> dobijena korišćenjem modela memristora sa prozorskom funkcijom (preuzeto iz [SSSW08]). Napomena: na slikama a), b) i c) crvenom bojom su prikazani talasni oblici promenljive stanja, dok su plavom bojom prikazani talasni oblici napona na memristoru	40
2.23	Trokrajni elementi: a) konvencionalna FET struktura, b) mem-FET sa memristivnim dielektrikom u gejtu, c) mem-FET sa memristivnim kanalom, d) mem-FET sa memristivnim dielektrikom u gejtu i memristivnim kanalom (preuzeto iz [SDML12])	48
2.24	Periodni sistem mem-elemenata (prvih 25) (preuzeto iz [Tetz14])	50
3.1	MPLA struktura	52
3.2	PMLA struktura punog sabirača (preuzeto iz [RRMKP12])	55
3.3	Talasni oblici ulaza i izlaza jednobitnog punog sabirača implementiranog PMLA kolom (preuzeto iz [RRMKP12])	55
3.4	Hibridna mem-CMOS FPGA struktura (preuzeto iz [XRCBCYW09])	56
3.5	a) Pogled odozgo na hibridnu mem-CMOS FPGA strukturu; b) Način povezivanja logičkih kola u hibridnoj mem-CMOS FPGA strukturi (preuzeto iz [XRCBCYW09])	56
3.6	“ <i>Stateful logic</i> ” kolo (preuzeto iz [BSKYSW10])	58
3.7	Idealizovana strujno-naponska karakteristika memristora (preuzeto iz [BSKYSW10])	59
3.8	Eksperimentalna potvrda funkcionalnosti <i>stateful logic</i> kola (preuzeto iz [BSKYSW10])	61
3.9	NAND kolo u <i>stateful logic</i> topologiji (preuzeto iz [BSKYSW10])	61
3.10	Promena promenljive stanja tokom izračunavanja Bulove implikacije $p \rightarrow q$ za vrednosti promenljivih $p = 0, q = 0$ (plava isprekidana linija) i $p = 1, q = 0$ (crvena linija), korišćenjem <i>linear ion drift</i> modela memristora (preuzeto iz [KKWF11])	63
3.11	Promena memristanse tokom izračunavanja Bulove implikacije $p \rightarrow q$ za vrednosti promenljivih $p = 0, q = 0$ (plava isprekidana linija) i $p = 1, q = 0$ (crvena linija), korišćenjem <i>linear ion drift</i> modela memristora (preuzeto iz [KKWF11])	63
3.12	Promena promenljive stanja tokom izračunavanja Bulove implikacije $p \rightarrow q$ za vrednosti promenljivih $p = 0, q = 0$ (plava isprekidana linija) i $p = 1, q = 0$ (crvena linija), korišćenjem TEAM modela memristora (preuzeto iz [KKWF11])	64
3.13	Promena memristanse tokom izračunavanja Bulove implikacije $p \rightarrow q$ za vrednosti promenljivih $p = 0, q = 0$ (plava isprekidana linija) i $p = 1, q = 0$ (crvena linija), korišćenjem TEAM modela memristora (preuzeto iz [KKWF11])	64
3.14	Prikaz strukture i zona logičkih stanja (preuzeto iz [HHL09])	65

3.15	Kolo za čitanje stanja memristora, ulazni blok za konverziju struje memristora u napon i bipolaran impuls za čitanje stanja memristora (preuzeto iz [HHL09])	66
3.16	Greška prilikom čitanja stanja nastala kao posledica asimetričnog pobudnog signala za čitanje (preuzeto iz [HHL09])	67
3.17	Samo-podešavajuće kolo za upisivanje u memristivnu memoriju	68
3.18	Različite vrednosti fluksa rezultuju u istoj vrednosti memristanse za memristore sa različitim $\varphi-q$ nelinearnim karakteristikama (preuzeto iz [KSYC10])	69
3.19	Programiranje memristanse memristora za različite $\varphi-q$ karakteristike (preuzeto iz [KSYC10])	70
3.20	Čitanje memristora i restauracija stanja nakon čitanja (preuzeto iz [KSYC10])	71
3.21	Memristivni procesor korišćen za rešavanje problema nalaženja najkraćeg puta u lavirintu (eng. <i>maze routing</i>) (preuzeto iz [DVP12b])	73
3.22	Rešenje problema nalaženja najkraćeg puta u lavirintu predstavljeno memristorima u stanju niske memristanse (preuzeto iz [PDV11])	75
3.23	Pronalaženje najkraćeg puta između dve tačke korišćenjem memristivnog procesora (preuzeto iz [DVP12b])	76
3.24	Demonstracija imunosti memristivnog procesora na deformacije strukture (kriterijum 6) (preuzeto iz [DVP12b])	76
5.1	Simulink model kola za izračunavanje implikacije dve promenljive	91
5.2	Rezultati simulacije logičke implikacije dve promenljive	91
5.3	Simulink model za izračunavanje N -ulazne BF korišćenjem RBF	94
5.4	Sekvence pobudnih signala za memristore $M1$, $M2$ i $M3$ prilikom izračunavanja dvoulazne NILI funkcije	96
7.1	Graf $G(V, E)$ za trouznu "carry" funkciju	107
7.2	Graf $G(V, E)$ koji odgovara Bulovoj funkciji iz tabele 7.2	112
7.3	Particionisan graf $G(V, E)$ funkcije iz tabele 7.2 kao rezultat BCVP algoritma	113
7.4	Graf $G(V, E)$ koji odgovara Bulovoj funkciji iz tabele 7.4	116
7.5	Particionisan graf $G(V, E)$ funkcije iz tabele 7.4 kao rezultat BCVP algoritma	116
7.6	Promena particija nakon što su dva lista particija realocirani u prvoj iteraciji LR algoritma	117
7.7	Promena particija nakon druge iteracije LR algoritma	118
7.8	Promena particija nakon treće iteracije LR algoritma	119
7.9	Promena particija nakon četvrte, poslednje iteracije LR algoritma	120
7.10	Poređenje BCVP i algoritma iz [PLL12]	121
7.11	Poređenje BCVP/LR i algoritma iz [PLL12]	121
7.12	Poređenje rezultata dobijenih BCVP algoritmom i algoritmom iz [PLL12]	123
7.13	Poređenje rezultata dobijenih BCVP i LR algoritmima, sa rezultatima algoritma iz [PLL12]	123
7.14	Skraćenje dužine implikativne forme kao rezultat korišćenja BCVP algoritma izražen u procentima za pet kategorija ΔImp	123

7.15	Skraćenje dužine implikativne forme kao rezultat korišćenja BCVP i LR algoritama izražen u procentima za pet kategorija ΔImp . . .	124
7.16	Broj operacija implikacije potreban za izračunavanje četvoroulaznih Bulovih funkcija	124

Tabele

4.1	Primer 3-ulazne 1-izlazne Bulove funkcije	85
7.1	Tablica istinitosti 3-ulazne <i>carry</i> funkcije	110
7.2	Četvoroulazna Bulova funkcija korišćena u primeru 5	111
7.3	Primer 5: PPPT određen BCVP algoritmom	112
7.4	Četvoroulazna Bulova funkcija korišćena u primeru 6	115
7.5	Primer 6: PPPT određen BCVP algoritmom (kolona BCVP) i promena PPPT nakon i -te iteracije LR algoritma (kolona LR i , $i=1,\dots,4$)	117
7.6	Poređenje rezultata BCVP i LR algoritama sa algoritmom iz [PLL12]122	
7.7	Srednja vrednost broja implikacija i procentualno poboljšanje . . .	124

Spisak algoritama

5.1	Algoritam za generisanje kontrolnih sekvenci	99
7.1	Bi-Color Vertex Partition algoritam	108
7.2	VP2IF algoritam	109
7.3	Leaf Relocation algoritam	114

Glava 1

Uvod

Memristor, opisan kao teorijski koncept još mnogo pre nego što je uspešno fabrikovan 2008. godine, svrstan je u fundamentalne elemente teorije električnih kola, zajedno sa otpornikom, kondenzatorom i kalemom. Leon Chua, profesor sa Univerziteta "University of California, Berkeley" i autor rada u kome je teorijski postuliran memristor, neophodnost postojanja ove komponente zasnovao je na činjenici da mora postojati element kome konstitutivna relacija povezuje magnetni fluks i količinu naelektrisanja. Do tada fundamentalni elementi su svojim konstitutivnim relacijama povezivali struju i napon (otpornik), napon i količinu naelektrisanja (kondenzator) i struju i fluks (kalem). Kako je fluks je po definicije integral napona, a količina naelektrisanja integral struje, jedina preostala relacija između dve od četiri fizičke veličine je nedostajala.

Činjenica da memristor kao fundamentalni element treba da svojom konstitutivnom relacijom predstavlja međuzavisnost magnetnog fluksa i količine naelektrisanja, je najverovatnije bila najveća prepreka fabrikovanju prethodno detaljno teorijski opisanog memristora. Naime, istraživači su godinama uzalud usmeravali svoja istraživanja ka direktnoj vezi magnetnog fluksa sa količinom proteklog naelektrisanja, previdevši važnu činjenicu da memristivni efekat može biti "sakriven" i u specifičnim nelinearnim konstitutivnim relacijama koje definišu odnos struje i napona. Zahvaljujući činjenici da je fluks integral napona, a količina naelektrisanja integral struje, takve konstitutivne relacije se mogu jednoznačno preslikati u odgovarajuću formu koja prikazuje međuzavisnost fluksa i količine naelektrisanja, u skladu sa teorijskim opisom memristora. Tek nakon fabrikacije prvog memristora, utvrđeno je da na memristivni efekat komponente nikakav uticaj nije imao magnetni fluks, niti je primećen ikakav uticaj magnetnog polja. Fabrikacija prvog memristora se, zapravo, desila slučajno, a tek nakon što su kod svoje komponente prepoznali "uštinutu histerezisnu petlju", jednu od osnovnih karakteristika memristivnih komponenti, istraživači iz kompanije *Hewlett-Packard* su uspešno opisali novonastalu komponentu jednačinama koje opisuju memristivne sisteme.

Još dok je postojao samo kao teorijski koncept, pokazano je da memristor ima izuzetan potencijal kao komponenta koja se može koristiti za realizaciju nepromenljivih, stalnih memorija koje svoj sadržaj ne gube i nakon nestanka napajanja. Ovaj zaključak je očigledna posledica činjenice da se količina naelektrisanja komponente neće menjati ukoliko kroz nju ne protiče struja, jer je količina naelektrisanja zapravo integral talasnog oblika struje u vremenu. Usled nepromenjene količine naelektrisanja, neće se menjati ni položaj radne tačke u $\varphi - q$ koordi-

natnom sistemu, a samim tim ni memristansa memristora. Sa druge strane, usled promene memristanse u zavisnosti od protekle struje, memristor se ponaša kao element sa memorijom, čije buduće stanje zavisi isključivo od istorijata protekle struje. Obzirom da se memristansa u opštem slučaju menja kontinualno, memristor je prepoznat kao element koji može biti korišćen i za implementaciju analognih memorija.

Memristor je postao interesantan istraživačkoj zajednici tek nakon njegove fabrikacije, skoro četrdeset godina nakon objavljivanja rada u kome je Leon Chua teorijski opisao ovu komponentu. Tokom poslednjih 5-6 godina, publikovani su brojni naučni radovi koji se bave temom memristora i memristivnih komponenti. Kao što je i predviđano, primene fabrikovanih memristora u memorijskim kolima bile su višestruke. Upotreba memristora u ovakvim kolima je utemeljena na činjenicama da memristor kao gradivni element memorijskih kola omogućava značajno poboljšanje u pogledu gustine pakovanja, ali da se pokazuje i kao superioran u pogledu potrošnje energije u poređenju sa savremenim RAM ili FLASH memorijskama. Ipak, memorijska kola sa memristorima su i dalje uglavnom samo teorijski koncept čija se primenljivost potvrđuje rezultatima dobijenim putem simulacija. U cilju komercijalizacije memristivnih memorijskih kola, u dostupnoj naučnoj literaturi se mogu pronaći brojni radovi u kojima je opisan dizajn i optimizacija interfejsa ovih memorijskih kola, na primer kola za čitanje i upisivanje podataka u memorije bazirane na memristorima. Takođe, objavljeno je i mnoštvo rezultata optimizacije potrošnje energije kod ove familije memorijskih kola. Pored toga, u literaturi su predstavljene i složene memorijske komponente bazirane na memristorima, kao na primer memorije sa više nivoa, u čijem dizajnu se eksploatiše činjenica da se, pod uticajem spolja primenjene naponske ili strujne pobude, memristansa memristora menja kontinualno. Sa stanovišta ove disertacije, posebno je značajna činjenica da se memristor, takođe, može koristiti i kao gradivni blok za implementaciju logičkih kola.

Osim inovativnih ideja gde se memristori koriste kao alternativne komponente u već postojećim arhitekturama logičkih kola (PLA, FPGA, itd) činjenica da se memristori, osim za implementaciju memorijskih, mogu koristiti i za implementaciju logičkih kola, dovela je do jednog potpuno novog pristupa u dizajnu digitalnih kola. Zahvaljujući mem-karakteristikama, arhitekture bazirane na memristorima, mem-elementima i mem-uređajima imaju potencijal da u skoroj budućnosti zamene još uvek aktuelnu, ali preko 60 godina staru i prevaziđenu Von Neumann-ovu arhitekturu. Kod ove arhitekture, dominirajuće ograničenje performansi proističe iz činjenice da se obrada podataka i skladištenje vrše na dve fizički odvojene lokacije, pri čemu se, dodatno, brzine rada bloka za obradu i bloka za čuvanje podataka značajno razlikuju. Ovaj problem je poznat pod nazivom “memorijski zid” (eng. *memory wall*), a njegovo rešenje mogu predstavljati kola bazirana na novim mem-elementima, koji omogućavaju procesiranje i skladištenje rezultata na istoj lokaciji. Osim toga, mem-elementi nanometarskih dimenzija, omogućavaju nastavak trenda smanjivanja veličine komponenti u skladu sa Murovim zakonom.

Jednu od brojnih familija logičkih kola baziranih na memristorima čine kola u takozvanoj *Stateful logic* topologiji, koja pokazuju brojne prednosti u odnosu na memristivna logička kola iz drugih familija. Pre svega, zahvaljujući činjenici da se informacija u ovoj topologiji “čuva” u memristansi memristora, ovo kolo rešava problem degradacije signala, prisutan kod ostalih familija memristivnih logičkih

kola, baziranih na PLA, FPGA, i hibridnim memristivnim-CMOS strukturama, koji je nastao kao posledica degradacije naponskih signala usled pada napona na rezistivnim mem-komponentama. Osim rešavanja problema degradacije signala, *stateful logic* memristivna kola rešavaju i *fanout* problem koji ograničava broj logičkih kola koja se mogu svojim ulazima povezati na izlaz memristivnog *stateful logic* kola. Na kraju, *stateful logic* topologija najviše doprinosi optimizaciji logičkih kola sa stanovišta minimizacije površine, jer ova topologija omogućava izračunavanje proizvoljne Bulove funkcije, sa proizvoljnim brojem ulaza i jednim izlazom, korišćenjem samo dva radna memristora. Cena koja se plaća ovakvim pristupom gde se izračunavanje Bulove funkcije vrši logičkim kolom izuzetno malih dimenzija, su složene i dugačke sekvence pobudnih signala. Jedan od ciljeva istraživanja predstavljenog u ovoj disertaciji jeste dizajn i minimizacija rekurzivne Bulove formule, koja se kreira za datu N -ulaznu 1-izlaznu Bulovu funkciju $y : B^N \rightarrow B$, $B = \{0, 1\}$, a svojom rekurzivnom prirodom i konstrukcijom omogućava izračunavanje polazne Bulove funkcije korišćenjem memristivnih logičkih kola u *stateful logic* topologiji. Kao posledica minimizacije rekurzivne Bulove formule, takođe se minimizuje dužina sekvenci pobudnih signala, odnosno vreme potrebno da se izračuna Bulova funkcija od interesa.

Glavni naučni doprinos ove disertacije je teorijski koncept *regularnih poredaka pozitivnih proizvod termova*, koji omogućavaju minimizaciju rekurzivnih Bulovih formula. U radu je najpre pokazano na koji se način konstruiše rekurzivna Bulova formula sa fiksnim poretkom pozitivnih proizvod termova. Zatim, u centralnoj teoremi ovog rada, dokazano je da je regularnost poredaka pozitivnih proizvod termova potreban i dovoljan uslov da bi rekurzivna Bulova formula, čak i nakon permutacija pozitivnih proizvod termova i dalje korektno predstavljala Bulovu funkciju za koju je konstruisana. Na taj način je indirektno definisan i prostor za pretragu svih poredaka pozitivnih proizvod termova, među kojima će optimalni rezultovati minimalnom dužinom rekurzivne Bulove funkcije, a samim tim i minimalnom dužinom sekvenci pobudnih signala za memristivno *stateful logic* kolo. Iako potput, ovaj prostor pretrage je i dalje eksponencijalan u zavisnosti od veličine ulaza, što rezultuje nepostojanjem efikasnog optimalnog algoritma za pronalaženje najboljeg poretka pozitivnih proizvod termova. Za suboptimalno rešavanje ovog problema u polinomijalnom vremenu, u disertaciji su predstavljene dve "greedy" algoritamske heuristike. U poređenju sa ostalim heurističkim algoritmima za minimizaciju rekurzivne Bulove formule dostupnim u literaturi, *Bi-Color Vertex Partition* (BCVP) algoritam predstavljen u okviru teze daje bolje ili jednake rezultate za $\sim 87\%$ instanci problema, testiran na skupu svih 65536 Bulovih četvoroulaznih funkcija. *Leaf relocation* (LR) algoritam, koji se koristi kao post-procesirajući algoritam rezultata BCVP algoritma, nakon dodatne minimizacije prikazuje bolje ili jednake rezultate za 99.4% instanci problema, u poređenju sa minimizacionim algoritmima dostupnim u literaturi.

Na početku teksta disertacije, u drugoj glavi, dat je pregled postojeće literature i predstavljen je memristor, memristivni sistem, kao i ostali mem-elementi (mem-kondenzator, mem-kalem, mem-tranzistor). U ovoj glavi je takođe predstavljen i periodni sistem mem-elemenata Leona Chua-e. U trećoj glavi je dat pregled postojeće literature u kojoj se predlažu nove digitalne arhitekture bazirane na digitalnim kolima sa mem-elementima. Predstavljena su digitalna memristivna logička kola, "sekvencijalna" memristivna logička kola, memorije bazirane na mem-

ristorima i napredne masivno paralelne mem-strukture. U glavama četiri, pet, šest i sedam predstavljen je originalan naučni doprinos ove teze. Najpre je u glavi četiri prikazana konstrukcija rekurzivne Bulove formule sa fiksnim poretkom pozitivnih proizvod termova. Zatim je u glavi pet predstavljen model memristora koji je korišćen, kao i rezultati simulacije izračunavanja na bazi osnovnog kola u *stateful logic* topologiji. Takođe u ovoj glavi je predstavljen i algoritam koji na osnovu ulazne Bulove funkcije i vektora stanja ulaznih promenljivih, generiše pobudne sekvence koje se koriste kao pobuda memristora u cilju izračunavanja Bulove funkcije od interesa. U glavi šest je data definicija regularnog poretka pozitivnih proizvod termova, za koji je dokazano da je potreban i dovoljan uslov za reprezentaciju željene Bulove funkcije rekurzivnom Bulovom formulom baziranom na takvom poretku. U glavi sedam su predstavljene dve algoritamske heuristike koje, zahvaljujući teoremi o regularnom poretku pozitivnih proizvod termova iz glave šest, pronalaze poredak koji će rezultovati sub-optimalnom rekurzivnom Bulovom formulom, sa aspekta njene dužine. Na kraju, zaključak je predstavljen u osmoj glavi teze.

Rezultati prikazani u tezi su delom nastali u okvirima istraživanja na projektu za tehnološki razvoj "Inovativne elektronske komponente i sistemi bazirani na neorganskim i organskim tehnologijama ugrađeni u robe i proizvode široke potrošnje" (evidencioni broj TR32016, 2011-2015) Ministarstva za nauku i tehnološki razvoj Srbije, i projektu APOSTILLE "Reinforcement of research potentials of the Faculty of Technical Sciences in the field of post silicon electronics", (EC FP7 REG-POT 256615, 2010-2013).

Glava 2

Dvokrajni i višekrajni mem-elementi i mem-sistemi

U ovoj glavi će biti najpre predstavljena originalna definicija i teorijski model memristora Leona Chua-e. Chua je memristor svrstao među osnovne elemente, ravnopravno sa otpornikom, kondenzatorom i kalemom i to mnogo pre nego što je prvi memristor fabrikovan. U nastavku glave će biti reči o generalizaciji memristora u vidu memristivnih sistema, nakon čega će kroz ilustrativni primer biti predstavljen memristor, sa svojom konstitutivnom relacijom i ostalim jednačinama koje opisuju njegov rad i funkcionalnost. Nakon toga će biti predstavljeno istraživanje sprovedeno od strane grupe istraživača iz kompanije *Hewlett-Packard*, koje je rezultovalo fabrikacijom prvog memristora 2008. godine. U nastavku će biti prikazani i ostali mem-elementi, pre svih mem-kondenzator i mem-kalem ali i najsavremenije mem-tranzistorske komponente. Na kraju glave će biti prikazan periodni sistem električnih elemenata, prvobitno predstavljen od strane Leona Chua-e.

2.1 Memristor

Memristor kao element je prvi put predstavljen u literaturi 1971. godine u radu [Chua71]. Iako u to vreme memristor kao komponenta nije postojao, autor je predvideo njegovo postojanje i svrstao ga ravnopravno u grupu sa tada postojećim osnovnim električnim elementima: otpornicima, kalemima i kondenzatorima. U radu su prikazana ekvivalentna kola bazirana na aktivnim komponentama koja se ponašaju kao memristor, tj. koja emuliraju rad memristora. Kao jednu od osnovnih karakteristika novog elementa, Chua je naveo osobinu *pasivnosti* koja bi trebala da obezbedi mogućnost nastanka i fabrikacije memristora bez korišćenja tranzistora i operacionih pojačavača.

U svojoj potrazi za četvrtim osnovnim elementom, Chua je bio motivisan činjenicom da su preostala tri osnovna elementa (otpornik, kondenzator i kalem) definisani relacijama koje povezuju u parovima po dve od četiri fundamentalne veličine teorije kola: struju, napon, količinu naelektrisanja i magnetni fluks. Od šest mogućih kombinacija dve veličine, njih pet je u to vreme bilo poznato i ustanovljeno. Prva se odnosila na relaciju između struje i količine naelektrisanja $q(t) = \int_{-\infty}^t i(\tau) d\tau$, a je druga definisala odnos napona i fluksa: $\varphi(t) = \int_{-\infty}^t u(\tau) d\tau$. Preostale tri kombinacije su u skladu sa aksiomatskim definicijama osnovnih eleme-

nata. Otpornik je definisan međuzavisnošću napona i struje, kondenzator napona i količine naelektrisanja, a kalem struje i magnetnog fluksa. Jedina relacija koja je ostala nedefinisana je ona koja uspostavlja odnos između magnetnog fluksa i količine naelektrisanja, što je zapravo i motivisalo Chua-u da zaključi kako mora postojati još jedan element ravnopravan sa preostala tri fundamentalna elementa. Postulirani četvrti dvokrajni element nazvan je memristor, kao kombinacija reči *memory* i *resistor*, budući da se novi element ponašao kao nelinearni otpornik sa memorijom. U nastavku teze će biti dat uslov koji treba da bude ispunjen da bi se memristor ponašao kao običan nelinearni otpornik bez memorije.

Memristor je karakterisan nelinearnom konstitutivnom relacijom u implicitnoj formi $g(\varphi, q)=0$. Kaže se da je memristor kontrolisan količinom naelektrisanja q ukoliko se magnetni fluks φ može eksplicitno izraziti kao funkcija količine naelektrisanja, pri čemu se podrazumeva

$$\varphi_1 = f(q_1) \wedge \varphi_2 = f(q_1) \Rightarrow \varphi_1 = \varphi_2, \forall q_1$$

ili drugim rečima, ne mogu postojati dve različite vrednosti magnetnog fluksa koje odgovaraju jednoj vrednosti količine naelektrisanja. U slučaju memristora kontrolisanog količinom naelektrisanja, konstitutivna relacija memristora $g(\varphi, q) = 0$ može se zapisati kao $\varphi = \varphi(q)$.

Slično, memristor je kontrolisan magnetnim fluksom ukoliko se količina naelektrisanja može izraziti kao funkcija količine naelektrisanja i , u ovom slučaju, konstitutivna relacija memristora $g(\varphi, q) = 0$ može se izraziti u eksplicitnoj formi kao $q = q(\varphi)$.

Veza između napona na krajevima memristora i struje kroz memristor, za memristor kontrolisan količinom naelektrisanja, dat je relacijom

$$v(t) = M(q(t))i(t) \quad (2.1)$$

gde je

$$M(q) = \frac{d\varphi(q)}{dq} \quad (2.2)$$

U slučaju memristora kontrolisanog količinom naelektrisanja kod koga se konstitutivna relacija može zapisati u obliku $\varphi = \varphi(q)$, jednačina (2.1) dobijena je diferenciranjem konstitutivne relacije po vremenu, čime se dobija

$$\frac{d\varphi}{dt} = \frac{d\varphi(q)}{dq} \frac{dq}{dt}$$

odakle direktno dobijamo zavisnost napona na memristoru od struje koja protiče kroz memristor (2.1).

Slično, za memristor kontrolisan fluksom, važi da je

$$i(t) = W(\varphi(t))u(t) \quad (2.3)$$

gde je

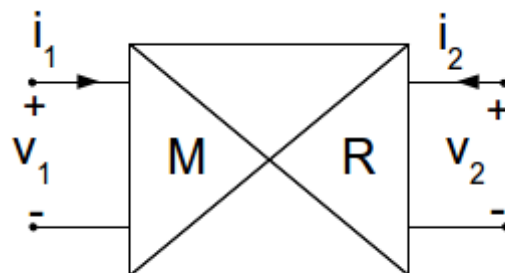
$$W(\varphi) = \frac{dq(\varphi)}{d\varphi}. \quad (2.4)$$

Obzirom da $M(q)$, kao što se vidi iz jednačine (2.1), ima dimenziju otpornosti, Chua ju je nazvao memristansom, dok je $W(\varphi)$ nazvan memduktansom usled toga što ima dimenziju provodnosti. Iz formula (2.1) i (2.2), može se primetiti da memristansa u bilo kom početnom trenutku t_0 zavisi od vremenskog integrala struje u granicama od $t = -\infty$ do $t = t_0$. Iako se u datom trenutku ponaša kao otpornik, $M(q)$ zavisi od čitavog istorijata struje memristora, usled čega je memristor i dobio svoj naziv. Isto važi i za memduktansu čija vrednost u datom trenutku zavisi od čitavog istorijata napona primenjenog na memristor.

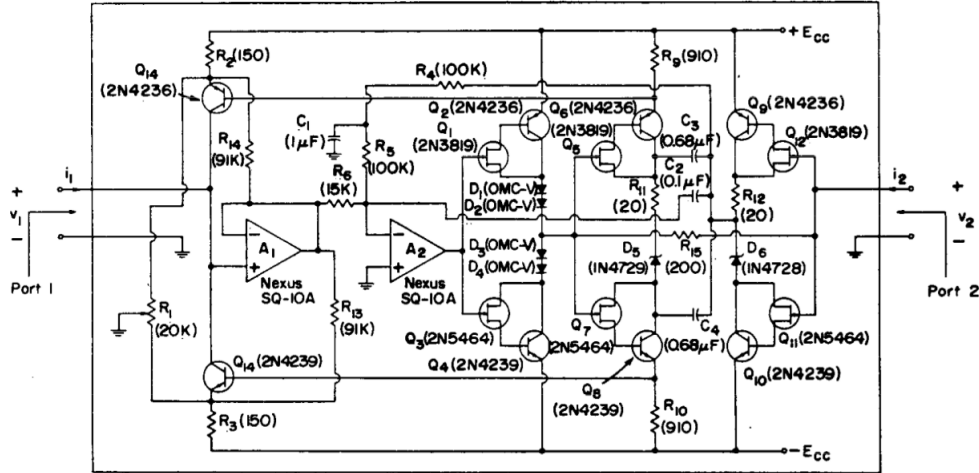
Za afinu zavisnost između φ i q dobija se da je $M(q) = R = \text{const}$ i u takvom slučaju se memristor ponaša kao linearan, vremenski nepromenljiv otpornik, te je nepotrebno tretirati ga kao poseban element.

Ovde je važno skrenuti pažnju na jedan detalj. Iako jednačine (2.1) i (2.3) definišu zavisnost napona od struje memristora, odnosno struje od napona, respektivno, dinamičke karakteristike memristora ne mogu biti jednoznačno određene samo na osnovu njih. Ako se t_0 usvoji kao početni trenutak, iz jednačine (2.3) sledi da vrednost memduktanse $W(\varphi(t))$ u svakom trenutku $t > t_0$ zavisi od napona primenjenog na memristor tokom intervala vremena $[t_0, t]$. Samim tim, za dati talasni oblik naponske pobude, struja memristora nije jednoznačno određena jednačinom (2.3), već je, u cilju određivanja struje memristora, potrebno poznavati i početnu vrednost magnetnog fluksa $\varphi(t_0)$. Uticaj talasnog oblika pobudnog signala i početne vrednosti magnetnog fluksa na dinamičku strujno-naponsku karakteristiku memristora kontrolisanog fluksom, razmatran je u radu [CAG12]. U ovom radu je, korišćenjem modela memristora sa deo-po-deo linearnom (eng. *piecewise linear*) konstitutivnom relacijom $q = q(\varphi)$, izvršena klasifikacija svih mogućih dinamičkih strujno-naponskih karakteristika pri prostoperiodičnoj naponskoj pobudi. Kako je pokazano u radu [CAG12], u slučaju memristora kontrolisanog fluksom sa datom konstitutivnom relacijom, dinamičke karakteristike memristora su u potpunosti određene odnosom amplitude i učestanosti pobudnog prostoperiodičnog naponskog signala, i *početnom vrednošću magnetnog fluksa*.

Kako u trenutku objavljivanja rada [Chua71] memristor kao komponenta nije postojao, a kako bi praktično utemeljio i demonstrirao svoj teorijski koncept, Chua je u radu pokazao kako se proizvoljna konstitutivna relacija memristora $\phi = \phi(\varphi)$ može realizovati pomoću odgovarajućeg nelinearnog otpornika i takozvanog M-R mutatora. U radu su date dve realizacije M-R mutatora korišćenjem aktivnih



Slika 2.1 – M-R mutator korišten u [Chua71] kao emulator memristora (preuzeto iz [Chua71])



Slika 2.2 – Implementacija M-R mutatora korišćenjem aktivnih komponenti (preuzeto iz [Chua71])

komponenti. Simbol dvoprístupne M-R mreže/mutatora je dat na slici 2.1, za koji važi da je talasni oblik napona na prvom pristupu proporcionalan izvodu po vremenu talasnog oblika napona na drugom pristupu, dok je struja na prvom pristupu proporcionalna negativnoj vrednosti izvoda struje na drugom pristupu:

$$v_1 = \frac{dv_2}{dt} \quad (2.5)$$

$$i_1 = -\frac{di_2}{dt} \quad (2.6)$$

Ukoliko drugi pristup ovakvog M-R mutatora zatvorimo nelinearnim otpornikom, na čijim su krajevima dozvoljene vrednosti napona i struje predstavljene uređenim parovima (v_2, i_2) , tada će prvi pristup mutatora "videti" drugi u terminima (v_1, i_1) koji su proporcionalni izvodima napona i struje na drugom pristupu, što odgovara memristoru čija bi (φ_1, q_1) karakteristika bila istog oblika kao što je i (v_2, i_2) karakteristika nelinearnog otpornika. Realizacija M-R mutatora koji zadovoljava relacije (2.5) i (2.6), prikazana je na slici 2.2 u formi mreže sa dva pristupa.

Postuliranom elementu, Chua-e je namenio simbol prikazan na slici 2.3 na kojoj se takođe može videti i hipotetička kriva koja opisuje odnos magnetnog fluksa i količine naelektrisanja (tj. $\varphi - q$ kriva). Korišćenjem mutatora, memristor sa proizvoljnom $\varphi - q$ krivom može biti emuliran priključivanjem adekvatnog nelinearnog otpornika na port 2 sa slike 2.2, što je Chua takođe demonstrirao u radu koristeći nelinearni otpornik sa proizvoljnom strujno-naponskom karakteristikom na osnovu koje je generisao $\varphi - q$ krivu gotovo identičnog oblika. Da bi omogućio poređenje $\varphi - q$ krive emuliranog memristora sa $v - i$ krivom nelinearnog otpornika, Chua je dizajnirao analogno *tracer* kolo koje na svojim izlazima generiše signale proporcionalne integralu struje, odnosno napona na portu 1 kola sa slike 2.2.

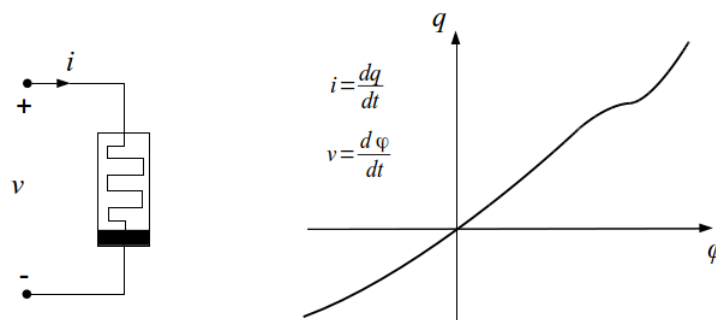
U radu [CA12], autori su predstavili trenutno najjednostavnije nelinearno *pasivno* kolo realizovano sa diodama i pasivnim otpornikom, kalemom i kondenzatorom, koje ispoljava dinamički memristivni efekat (slika 2.4). U odnosu na M-R mutator prikazan u [Chua71], dvoprístupna aktivna RLC mreža sa operacionim

pojačavačima i tranzistorima je zamenjena Grecovim spojem kao dvopristupnom, nelinearnom, pasivnom, rezistivnom mrežom. Osim toga, jednopristupna mreža sa nelinearnim otpornikom, koja se priključuje na port 2 u slučaju M-R mutatora, u radu [CA12] je zamenjena linearnom jednopristupnom RC mrežom. Kao rezultat, strujno-naponska karakteristika jednopristupne mreže u [CA12], pri prostoperiodičnoj naponskoj pobudi na ulazu, ima oblik “uštinute histerezisne petlje”, koja je jedan od osnovnih znakova prepoznavanja memristivnih komponenti.

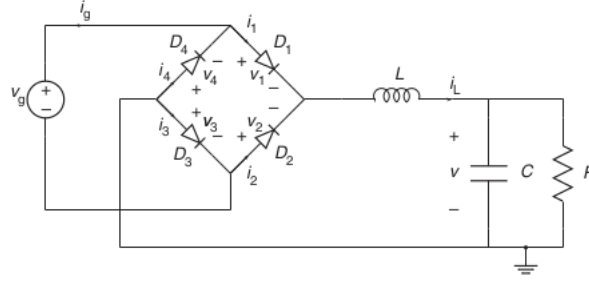
Nakon eksperimentalnog uvoda i demonstracije kako se korišćenjem nelinearnog elementa i aktivnih komponenti unutar M-R mutatora može emulirati ponašanje memristora, Chua je u radu [Chua71] posvetio posebnu pažnju teorijskom opisu postuliranog elementa, kao i analizi kola sa memristorima. Iako je u radu pokazano kako se memristor sa proizvoljnom karakteristikom $g(\varphi, q) = 0$ može emulirati korišćenjem kola sa aktivnim elementima, Chua je definisao neophodan uslov za fabrikaciju memristora kao nezavisne komponente, realizovane bez dodatnih aktivnih komponenti i internog napajanja. Ovaj uslov se svodi na uslov *pasivnosti* memristora i u radu je pokazano da je memristor *pasivan* ako je zadovoljeno da je $M(q) \geq 0$.

U radu [Chua71] je takođe pokazano korišćenjem strujnog i naponskog Kirhofovog zakona, da se jednopristupna mreža sastavljena od više memristora može predstaviti kao jedan ekvivalentan memristor (*Closure Theorem*), a dokazano je i da za svako kolo, sačinjeno od memristora sa pozitivnim memristansama, postoji jedno i samo jedno rešenje (*Existence and Uniqueness Theorem*). Za razliku od ove dve teoreme, koje se odnose isključivo na kola sa memristorima, teorema koja definiše red kompleksnosti (*Order of Complexity Theorem*) se odnosi na kola koja osim memristora uključuju i kaleme, kondenzatore, otpornike ali i nezavisne strujne i naponske izvore. Ova teorema određuje dimenziju sistema diferencijalnih nelinearnih jednačina prvog reda koje opisuju dato kolo sastavljeno od fundamentalnih elemenata i nezavisnih strujnih i naponskih generatora. Dimenzija sistema diferencijalnih jednačina ujedno određuje maksimalan broj nezavisnih početnih uslova koji mogu biti proizvoljno izabrani za kolo od interesa.

Na kraju svog pionirskog rada posvećenog, Chua je potvrdio i opravdao svoju teoriju opisavši memristor korišćenjem Maksvelovih jednačina, ali je pored toga prikazao i ideje za potencijalnu praktičnu primenu svoje postulirane komponente.



Slika 2.3 – Simbol memristora i hipotetička kriva koja opisuje zavisnost $q = q(\varphi)$



Slika 2.4 – Nelinearno pasivno kolo koje ispoljava memristivni efekat (preuzeto iz [CA12])

2.2 Memristivni sistemi

U radu [CK76], autori su generalizovali ideje i rezultate iz [Chua71], definisanjem klase nelinearnih dinamičkih sistema, koju su nazvali memristivni sistem. Definicija n -dimenzionog memristivnog sistema data je jednačinama:

$$\dot{x} = f(x, u, t) \quad (2.7)$$

$$y = g(x, u, t)u \quad (2.8)$$

gde y i u predstavljaju izlaz i ulaz sistema, respektivno, dok x predstavlja n -dimenzioni vektor promenljive stanja sistema, pri čemu se podrazumeva da jednačina stanja (2.7) ima jedinstveno rešenje za proizvoljno inicijalno stanje $x_0 \in \mathbb{R}^n$. Na osnovu rezultata istraživanja prikazanih u radu [CAG12], dinamičke strujno-naponske karakteristike memristivnog sistema su u potpunosti određene početnom vrednošću promenljive stanja x_0 , uz jednačine (2.7) i (2.8).

Ono što na prvi pogled razlikuje ovakav jedan dinamički sistem od ostalih, je činjenica da je izlaz sistema y jednak proizvodu funkcije g i ulaza u , što za posledicu ima činjenicu da je y jednak nuli uvek kada je ulaz u jednak nuli, nezavisno od vrednosti promenljive stanja x u tom trenutku. Ova osobina memristivnih sistema se manifestuje takozvanim *Lissajous figurama*, odnosno, već pomenutim “uštinutim histerezisnim petljama”, koje uvek prolaze kroz koordinatni početak u $y - u$ ravni.

Kada govorimo o strujom kontrolisanom memristivnom sistemu n -tog reda sa jednim pristupom, izlaz y u jednačini (2.8) je napon v , dok je ulaz sistema u iz (2.8) struja i . Jednačine koje opisuju ovaj sistem su

$$\dot{x} = f(x, i, t) \quad (2.9)$$

$$v = R(x, i, t) i \quad (2.10)$$

dok je za naponom kontrolisan memristivni sistem n -tog reda sa jednim pristupom:

$$\dot{x} = f(x, v, t) \quad (2.11)$$

$$i = G(x, v, t) v \quad (2.12)$$

gde v i i predstavljaju napon i struju memristivnog sistema, respektivno. U slucajevima kad imamo vremenski nepromenljiv sistem, u kome R (odnosno G) dodatno ne zavise od i (odnosno v) važi da je:

$$\dot{x} = f(x, i) \quad (\dot{x} = f(x, v)) \quad (2.13)$$

$$v = R(x)i \quad (i = G(x)v). \quad (2.14)$$

Kako bi dodatno motivisali uvođenje pojma memristivnih sistema, osim očigledne generalizacije memristora kao njihovog specijalnog slučaja, autori u [CK76] navode i nekoliko primera nepravilno klasifikovanih električnih komponenti, koje bi trebale biti okarakterisane kao memristivni sistemi (na primer termistor). U nastavku rada, autori su predstavili osobine memristivnih sistema:

1. *Uopštenje kriterijuma pasivnosti*

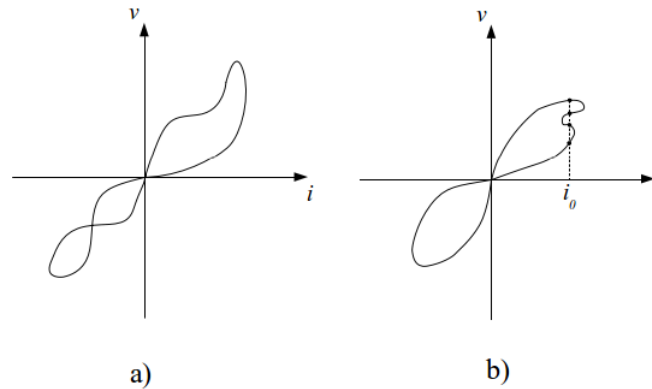
Strujom kontrolisan, vremenski nezavisan memristivni sistem za koji važi da je $R(x, i) = 0$ samo kada je $i = 0$, je *pasivan* ako i samo ako je ispunjeno $R(x, i) \geq 0$ za svaku vrednost $i(t)$, $t \geq t_0$, pri čemu je t_0 vremenski trenutak za koji važi da je $x(t_0)$ stanje minimalne energije. Ovaj kriterijum zapravo predstavlja uopštenje kriterijuma pasivnosti memristora koji je Chua definisao u [Chua71].

2. *Nemogućnost pražnjenja energije*

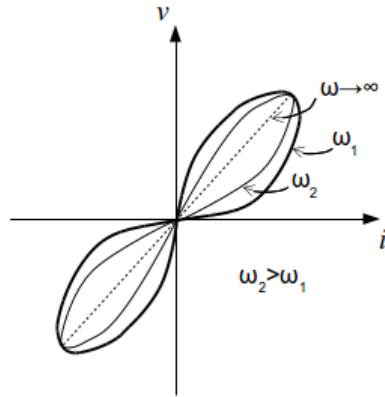
Ukoliko je zadovoljen kriterijum pasivnosti, disipirana snaga na memristivnom sistemu je uvek ne-negativna. Kako bi istakli značaj ovog tvrđenja, autori su ovu osobinu nazvali osobinom nemogućnosti pražnjenja energije, usled činjenice da se energija memristivnog sistema, nasuprot pasivnim RLC jednopristupnim mrežama, ne može utrošiti vezivanjem memristivnog elementa u paralelnu vezu sa opterećenjem.

3. *DC karakteristika*

Vremenski nepromenljivi, strujom kontrolisani memristivni sistem ima istu karakteristiku kao nelinearni otpornik ukoliko je ispunjeno da je $x = X(I)$ (gde I predstavlja jednosmerne vrednosti struje), dobijeno kao rešenje jednačine $f(x, i) = 0$, jedinstveno i globalno asimptotski stabilno. Očigledno,



Slika 2.5 – a) *Lissajous figura* kao moguća strujno-naponska karakteristika memristivnog sistema; b) *Lissajous figura* koja ne može biti strujno-naponska karakteristika memristivnog sistema



Slika 2.6 – Degeneracija *Lissajous figure* sa porastom pobudne frekvencije

za $x = X(I)$ za koji važi da je $f(x, i) = 0$, izvod promenljive stanja po vremenu će biti jednak nuli, što rezultuje u promenljivoj stanja čija se vrednost ne menja u vremenu. Kao posledica ovoga, imamo da je $V = R(X(I), I)$, $I = \hat{V}(I)$ što je zapravo karakteristika nelinearnog otpornika. Autori takođe tvrde da je u praksi ova osobina zadovoljena čak i za periodični režim niskih frekvencija u kome je perioda oscilovanja znatno veća od prelaznog perioda odgovarajućeg tranzijentnog odziva. Upravo ova karakteristika je, po autorima, razlog zašto je veliki broj memristivnih sistema do tada bio okarakterisan kao nelinearni otpornik.

4. *Lissajous figure sa dvostrukim vrednostima*

Strujom kontrolisani memristivni sistem pri prostoperiodičnoj strujnoj pobudi $i(t) = I \cos(\omega t)$ uvek rezultuje pojavom *Lissajous figure* u $v-i$ koordinatnom sistemu, pri čemu svakoj vrednosti struje odgovaraju maksimalno dve vrednosti napona. Na slici 2.5 su prikazane dve *Lissajous figure* od kojih je na slici 2.5 a) moguća $v-i$ karakteristika memristivnog elementa, dok figura sa slike 2.5 b) to nije, obzirom da postoji struja i_0 za koju postoji više od dve vrednosti napona $v(i_0)$.

5. *Simetrične Lissajous figure*

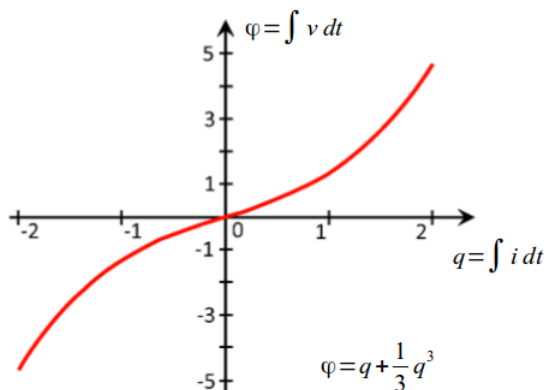
Kao nastavak prethodne osobine, autori navode da je za strujom kontrolisan memristivni sistem, pri strujnoj pobudi $i(t) = I \cos(\omega t)$, *Lissajous figura* otvorena (slika 2.13) ukoliko važi da je $R(x, i) = R(x, -i)$, a $x(t)$ periodičan sa istom periodom kao $i(t)$ za koju važi polu-talasna simetrija ($x(t - \frac{T}{2}) = -x(t)$). Ukoliko je, pak, zadovoljena i četrvt-talasna simetrija, *Lissajous figura* ima oblik neparne funkcije.

6. *Ograničavanje linearne karakteristike*

Vremenski nepromenljiv strujom kontrolisani memristivni sistem za koji važi da je BIBS (*bounded-input bounded-state*) stabilan, pri prostoperiodičnoj pobudi će se degenerisati u linearan, vremenski nepromenljiv otpornik sa beskonačnim povećanjem pobudne frekvencije. Ovo je izuzetno značajna osobina memristivnih sistema i prikazana je na slici 2.6.

7. *Ekvivalentno kolo za režim malih signala*

U slučaju vremenski nepromenljivog strujom kontrolisanog memristivnog sistema koji je globalno asimptotski stabilan za bilo koju jednosmernu vrednost struje, ekvivalentno kolo za režim malih signala ima topologiju otporno-



Slika 2.7 – Konstitutivna relacija memristora korišćenog u primeru (preuzeto iz [Chua11])

kapacitivne mreže.

8. Kriterijum lokalne pasivnosti

Ovaj kriterijum definiše uslove pri kojima je vremenski nepromenljiv strujom kontrolisan memristivni sistem lokalno pasivan u radnoj tački $I = I_Q$.

Nakon što su naveli ovih osam osobina memristivnih sistema, u nastavku rada [CK76] autori su prikazali i kanonički model memristivnog jednodimenzionalnog sistema za tri klase ulaznih signala:

- DC ili sporo-promenljivih AC signala;
- prosto-periodičnih signala proizvoljne amplitude i frekvencije;
- prosto-periodičnih signala proizvoljne amplitude i frekvencije superponiranih sa jednosmernim DC signalom.

Kanonički model memristivnog sistema u prostoru stanja prikazan u [CK76] baziran je na četvorodimenzionom vektoru stanja sistema, sa jednačinama stanja specijalnog oblika, u kojima je moguće menjati samo određene parametre. Iako je model relativno kompleksan, prilagođavanje modela željenom memristivnom sistemu koji se modeluje podrazumeva određivanje dva nepoznata parametra, α i M , i skupa nelinearnih funkcija čija kardinalnost zavisi od M . U radu [CK76] su autori takođe predstavili i algoritam za određivanje nepoznatih parametara i skupa nelinearnih funkcija na osnovu kojih će u potpunosti biti definisan model konkretnog memristivnog sistema sa jednim pristupom.

2.3 Idealan memristor kao strujom kontrolisan memristivni sistem prvog reda

U radu [Chua11] je prikazan ilustrativan primer, baziran na takozvanom idealnom memristoru. U ovom primeru su analitički izvedene jednačine i prikazane karakteristike idealnog memristora kao jednodimenzionalnog strujom kontrolisanog memristivnog sistema. Za idealan memristor, korišćen u primeru, važi da je

$$v = R(q)i \quad (2.15)$$

$$R(q) = \frac{d\varphi(q)}{dq} \quad (2.16)$$

$$\frac{dq}{dt} = i. \quad (2.17)$$

Poređenjem jednačina (2.15), (2.16) i (2.17) sa jednačinama (2.9) i (2.10), može se primetiti da je idealan memristor zapravo jednodimenzioni, strujom kontrolisan memristivni sistem, kod koga je promenljiva stanja količina naelektrisanja $q(t)$, memristansa dobijena diferenciranjem fluksa φ po količini naelektrisanja q , a zavisnost promenljive stanja od protekle struje definisana sa $i(t) = \frac{dq(t)}{dt}$. Dakle, idealan memristor je specijalni slučaj strujom kontrolisanog memristivnog sistema za koji važi da je

$$x = q,$$

$$R(x, i, t) = R(q),$$

$$f(x, i, t) = i.$$

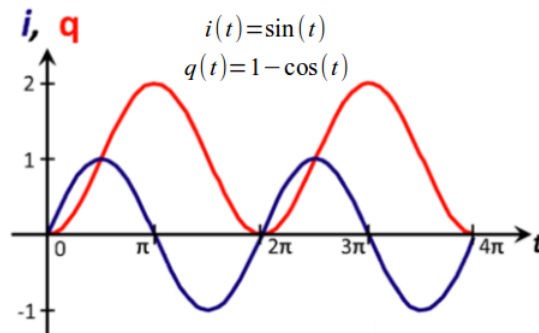
Najpre postmatramo strujom kontrolisan idealan memristor sa $\varphi - q$ konstitutivnom relacijom prikazanom na slici 2.7. Ova konstitutivna relacija u analitičkom obliku glasi

$$\varphi = q + \frac{1}{3}q^3. \quad (2.18)$$

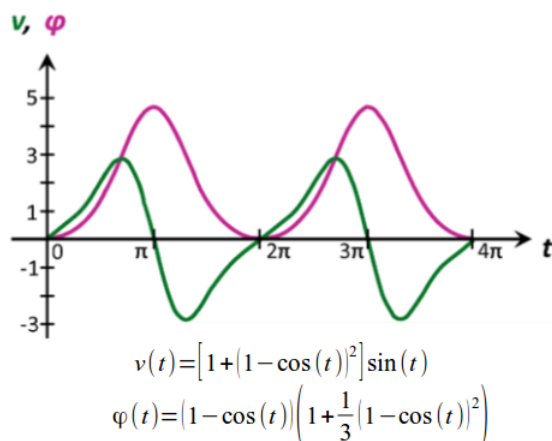
U primeru će se, za početak, smatrati da je prostoperiodična strujna pobuda memristora oblika

$$i(t) = \begin{cases} A \sin(\omega t), & t \geq 0 \\ 0, & t < 0 \end{cases} \quad (2.19)$$

čiji je talasni oblik prikazan je na slici 2.8. Talasni oblik pobude je izuzetno značajan za odziv kola i kasnije će biti pokazano kako promena faze prostoperiodične pobude rezultuje promenom odgovarajuće *Lissajous figure*. U ovom primeru će, bez gubitka na opštosti, biti usvojene vrednosti amplitude i učestanosti prostoperiodične pobude $A = 1$ i $\omega = 1$. Za datu strujnu pobudu, najpre će se odrediti količina proteklog naelektrisanja kroz memristor, na osnovu nje će biti određen magnetni fluks i na kraju, na osnovu magnetnog fluksa, napon na memristoru. U ovoj analizi, smatraće se da je početna vrednost količine naelektrisanja $q_0 =$



Slika 2.8 – Strujna pobuda i odgovarajuća količina naelektrisanja (preuzeto iz [Chua11])



Slika 2.9 – Napon i fluks memristora (preuzeto iz [Chua11])

$q(0) = 0$. Tada je analitički izraz za količinu naelektrisanja, pri usvojenom talasnom obliku pobudne struje memristora:

$$q(t) = \int_0^t A \sin(\omega\tau) d\tau = \frac{A}{\omega} [1 - \cos(\omega t)], \quad t \geq 0. \quad (2.20)$$

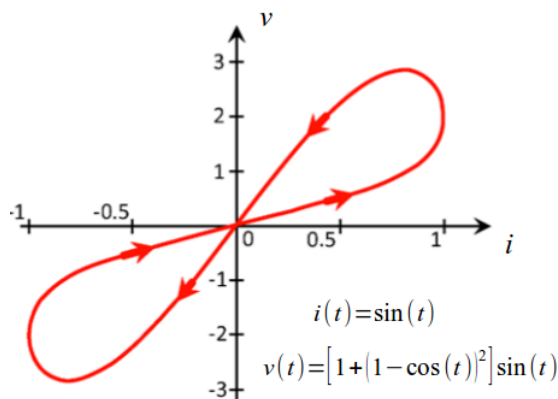
Talasni oblik izračunate količine naelektrisanja je prikazan na istom grafiku sa strujnom pobudom memristora na slici 2.8. Zamenom jednačine (2.20) u jednačinu (2.18) za magnetni fluks dobijamo:

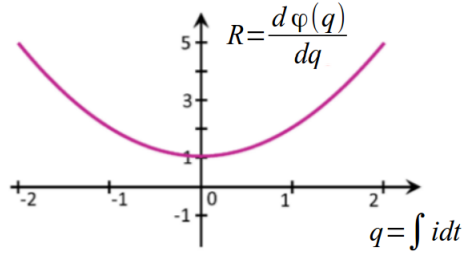
$$\varphi(t) = \frac{A}{\omega} (1 - \cos \omega t) \left[1 + \frac{1}{3} \left(\frac{A^2}{\omega^2} \right) (1 - \cos \omega t)^2 \right]. \quad (2.21)$$

Napon na memristoru dobijamo diferenciranjem magnetnog fluksa po vremenu

$$v(t) = A \left[1 + \frac{A^2}{\omega^2} (1 - \cos \omega t)^2 \right] \sin \omega t. \quad (2.22)$$

Lissajous figura određena međuzavisnošću izračunatog talasnog oblika napona (2.22) i datog talasnog oblika struje memristora (2.19), formira uštinutu histerezisnu petlju, prikazanu na slici 2.10. Ovaj histerezis nastaje usled činjenice

Slika 2.10 – *Lissajous figura* strujno-naponske karakteristike memristora (preuzeto iz [Chua11])



Slika 2.11 – Zavisnost memristanse od promenljive stanja memristivnog sistema (preuzeto iz [Chua11])

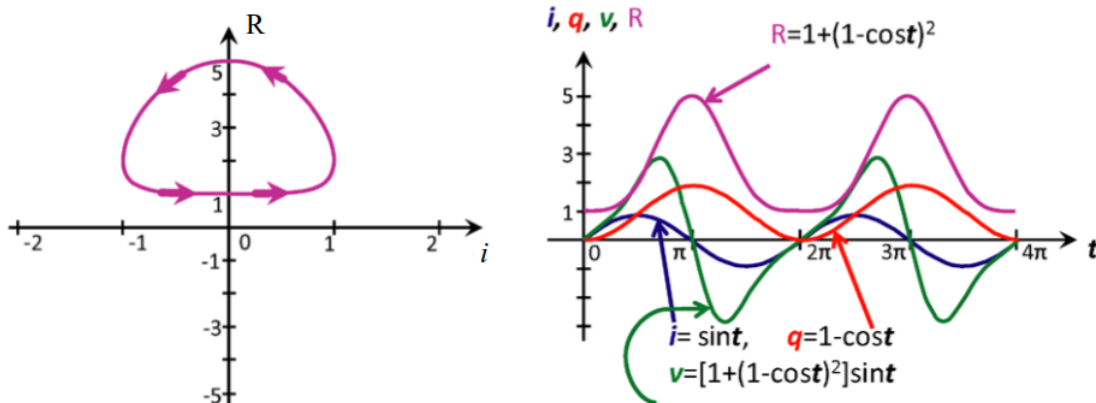
da se maksimalne vrednosti napona na memristoru ne dešavaju istovremeno kada i maksimalne vrednosti struje što se može primetiti sa slika 2.8 i 2.9. Sa druge strane, samopresecanje histerezisa u koordinatnom početku je posledica istovremenog prolaska struje i napona kroz nulu, u skladu sa jednačinama (2.19) i (2.22). Ovo je, takođe, u skladu sa ulazno-izlaznom jednačinom memristivnog sistema u kojoj se izlazni signal (u ovom slučaju napon) dobija množenjem ulaznog signala (struje) sa memristansom memristora. Kako bi pokazali da histerezisna petlja uvek prolazi kroz koordinatni početak $v - i$ koordinatnog sistema, memristansa memristora se dobija diferenciranjem magnetnog fluksa po količini naelektrisanja:

$$R(q) = \frac{d\varphi(q)}{dq} = 1 + q^2. \quad (2.23)$$

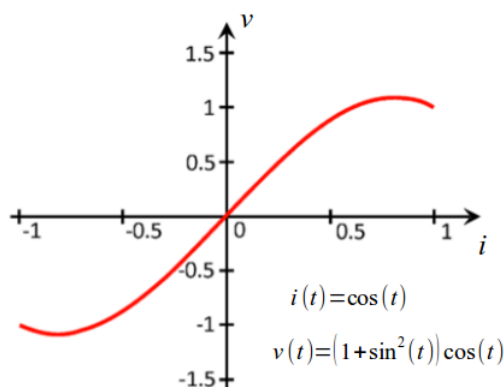
Zamenom jednačine (2.20) u (2.23) dobijamo

$$R(q(t)) = 1 + \left[\frac{A^2}{\omega^2} (1 - \cos \omega t) \right]^2. \quad (2.24)$$

Iz jednačine (2.23) kao i sa slike 2.11 može se videti da je $R(q) > 0$ a zamenom jednačina (2.24) i (2.19) u jednačinu $v = R(q)i$ dobija se isti rezultat za napon memristora kao i u jednačini (2.22). Obzirom da $R(q)$ ima konačnu vrednost za svako konačno q , sledi da je $v(t) = 0$ uvek kada je $i(t) = 0$. Izračunata promena



Slika 2.12 – Zavisnost memristanse od struje i talasni oblik memristanse (preuzeto iz [Chua11])

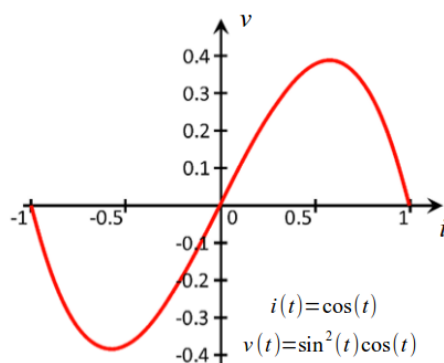


Slika 2.13 – Degenerisana *Lissajous figura* pri pobudi $i(t) = \cos \omega t$ (preuzeto iz [Chua11])

vrednosti memristanse u vremenu je prikazana na slici 2.12, a na istoj slici je prikazana i zavisnost memristanse od struje memristora gde se može videti da ova zavisnost takođe ima oblik histerezisne petlje koja nije uštinuta u koordinatnom početku, obzirom na činjenicu da je memristansa uvek pozitivna.

Ono što se takođe može primetiti posmatrajući talasne oblike struje, napona, fluksa i količine naelektrisanja, je da prve dve veličine uzimaju i negativne vrednosti, dok su druge dve stalno veće od ili jednake nuli. Ovo vodi do zaključka da je jedino deo krive iz prvog kvadranta konstitutivne relacije u $\varphi - q$ ravni “posećen” kao posledica promena ulazne struje.

Jedna od osnovnih karakteristika memristora, ujedno i šesta karakteristika memristivnih sistema opisanih u prethodnom poglavlju, može se lako zapaziti u ovom primeru. Osim konstitutivne relacije memristora koja daje zavisnost φ od q i iz nje direktno određene memristanse $R(q)$, svi talasni oblici prikazani na dijagramima su zavisni od amplitude i frekvencije pobudne struje, A i ω . Ova zavisnost se kod količine naelektrisanja i magnetnog fluksa ogleda u tome da obe veličine teže nuli sa povećanjem učestanosti pobude. Količina naelektrisanja, kao integral struje, teži nuli usled toga što površina ispod talasnog oblika pozitivne



Slika 2.14 – Degenerisana *Lissajous figura* za memristor sa konstitutivnom relacijom $\varphi(q) = \frac{1}{3}q^3$ i strujnu pobudu $i(t) = \cos(t)$ (preuzeto iz [Chua11])

poluperiode pobudne struje teži nuli sa povećanjem učestanosti. Sa druge strane, u skladu sa konstitutivnom relacijom memristora (2.18), i magnetni fluks tada teži nuli. Kao posledica, memristansa $R(q(t))$ teži ka vrednosti $R(0) = 1\Omega$ kada učestanost teži ka beskonačnosti. Do istog zaključka se moglo doći i posmatranjem jednačine (2.22), koja se za $\omega \rightarrow \infty$ svodi na $v(t) = A\sin\omega t$, što je isti talasni oblik kao u slučaju struje memristora, $i(t)$.

Međutim, ono što u radu [Chua11] nije naglašeno, a što su autori rada [CAG12] detaljno razmatrali u svom istraživanju, je činjenica da na dinamičke strujno-naponske karakteristike memristivnog sistema, osim amplitude i frekvencije pobudnog signala, suštinski utiče i početna vrednost promenljive stanja sistema. U slučaju idealnog memristora koji razmatramo u ovom poglavlju, početna vrednost promenljive stanja sistema je $q_0 = q(0) = 0$. Ukoliko je $q(0) \neq 0$, jednačina (2.20) dobija oblik

$$q(t) = q(0) + \int_0^t A\sin(\omega\tau)d\tau = q(0) + \frac{A}{\omega} [1 - \cos(\omega t)], \quad t \geq 0. \quad (2.25)$$

Posmatrajući jednačine (2.25), (2.21) i (2.22) očigledno je da će promena početne vrednosti količine naelektrisanja, uticati na promenu talasnog oblika napona. Rezultat ovoga bi bila *Lissajous figura* drugačijeg oblika u odnosu na figuru prikazanu na slici 2.10, čak i za nepromenjene vrednosti amplitude i učestanosti pobudnog signala.

Osim što zavisi od amplitude i učestanosti pobudnog signala, kao i početne vrednosti promenljive stanja, oblik *Lissajous figure* zavisi i od talasnog oblika pobude. Da bi se ilustrovao uticaj pobude na karakteristiku u $v - i$ koordinatnom sistemu, posmatraćemo idealan memristor sa istom konstitutivnom relacijom $\varphi = q + \frac{1}{3}q^3$, i promenjenu strujnu pobudu $i(t) = \cos\omega t$, pri kojoj se karakteristika uštinutog histerezisa degeneriše u neparnu funkciju prikazanu na slici 2.13. Slično, za strujnu pobudu oblika $i(t) = \cos\omega t$, ali za drugi memristor sa konstitutivnom relacijom $\varphi = \frac{1}{3}q^3$, *Lissajous figura* dodiruje tačke na i - osi, kao što je prikazano na slici 2.14. Za memristor sa ovakvom konstitutivnom relacijom, vrednost memristanse za $q = 0$ je $R(0) = 0$. Obzirom na činjenicu da memristansa $R(q) = q^2$ ne može biti negativna, karakteristika u $v - i$ ravni ne prelazi u drugi ili četvrti kvadrant, što se takođe primećuje na slici 2.14.

Kao posledica zavisnosti oblika histerezisne petlje od amplitude, učestanosti i talasnog oblika pobudnog signala, kao i početne vrednosti količine naelektrisanja, histerezisne petlje ne treba koristiti kao modele memristora i memristivnih sistema. Iako su uštinute histerezisne petlje pouzdana indikacija da se radi o memristivnom elementu, one same po sebi nisu dovoljne jer je nemoguće predvideti talasni oblik napona na memristivnom elementu $v(t)$ bez poznavanja talasnog oblika struje kroz njega, $i(t)$, i obrnuto. Dakle, jedino konstitutivna relacija $\varphi = \varphi(q)$ i zavisnost memristanse od količine naelektrisanja (u radu [Chua11] autori ovu zavisnost nazivaju *memristance vs state map*) mogu da se koriste kao modeli memristivnog elementa, dok je uštinuta histerezisna petlja samo njegov manifest (eng. *finger-print*).

Sa grafika koji prikazuje zavisnost memristanse od količine naelektrisanja (slika 2.11), može se primetiti da memristansa uzima vrednosti u opsegu $[1, \infty)$. Za proizvoljnu početnu vrednost količine naelektrisanja q_0 , sa ovog grafika se može

odrediti i potrebna promena količine naelektrisanja Δq , koja će rezultovati promenom memristanse sa $R_0 = R(q_0)$ na proizvoljnu vrednost R_1 . Konačno, na osnovu Δq može se odrediti trajanje impulsa Δt struje amplitude I_m , tako da bude zadovoljeno da je $\Delta q = I_m \Delta t$. Na ovaj način je, u praksi, moguće odrediti trajanje strujnog impulsa sa proizvoljnom konstantnom amplitudom, koje će dovesti do željene promene memristanse memristora.

Postavljanjem memristanse na željenu vrednost i uklanjanjem napajanja, vrednost memristanse se neće menjati veoma dugo (teoretski beskonačno dugo vremena). Isto se dešava čak i u slučaju da se krajevi memristora kratko spoje. Ovo je rezultat činjenice da se količina naelektrisanja, samim tim i memristansa, neće menjati ako se memristivni element postavi u stabilno stanje u kome je $v = 0$ i $i = 0$. Stabilno stanje se postiže ili isključivanjem napajanja ($i = 0$), ili kratkospajanjem krajeva memristora ($v = 0$). Zahvaljujući ovome, memristivni elementi se mogu koristiti u memorijskim kolima koja ne gube sadržaj (eng. *non-volatile memory*).

Ako se posmatra memristansa memristora (odnosno memristivnog sistema), za nju takođe važi Omov zakon $v = Ri$, sa jednom značajnom razlikom: R u ovom slučaju nije konstantna vrednost, već zavisi od dinamičke promenljive stanja (u slučaju idealnog memristora to je q). Kao posledica, idealan memristor je definisan pomoću Omovog zakona zavisnog od promenljive stanja $x = q$, sa:

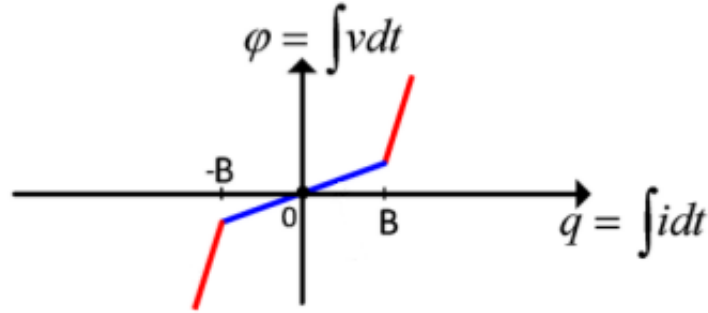
$$v = R(x)i, \quad (2.26)$$

jednačine promenljive stanja memristora

$$\frac{dx}{dt} = i \quad (2.27)$$

i početne vrednosti promenljive stanja $x_0 = q(0)$.

Još jedan izuzetno interesantan detalj se može primetiti na primeru memristora iz [Chua11], a on se odnosi na povezanost memristanse u režimu malih signala i takozvane *tetivne memristanse* (eng. *chord memristance*). Tetivna memristansa predstavlja odnos $\frac{v(t_k)}{i(t_k)}$ za svaku tačku sa *Lissajous figure* memristivnog elementa, odnosno ona predstavlja koeficijent pravca prave povučene kroz proizvoljnu tačku *Lissajous figure* i koordinatni početak. Leon Chua u [Chua11] navodi da je u svakom trenutku t_k , tetivna memristansa jednaka odgovarajućoj memristansi malih signala u koordinatnom sistemu $\varphi - q$ u tački $q(t_k)$ posećenoj u trenutku t_k . Drugim rečima, nagib prave povučene kroz tačke $(0, 0)$ i $(v(t_k), i(t_k))$ na *Lissajous figuri* u proizvoljnom trenutku t_k , jednak je nagibu tangente na $\varphi - q$ krivoj u odgovarajućoj tački $(\varphi(t_k), q(t_k))$. Međutim, za razliku od memristanse malih signala koja ne zavisi od oblika strujne (ili naponske) pobude jer ona predstavlja koeficijent pravca tangente na $\varphi - q$ krivu u datoj tački, tetivna memristansa je direktno zavisna od *Lissajous figure*, a samim tim i od talasnog oblika strujne (ili naponske) pobude kojom je ta *Lissajous figura* generisana. Za jednom ustanovljenu strujnu (ili naponsku) pobudu, moguće je iscertati odgovarajuću *Lissajous figuru*, sa koje se mogu odrediti gornja i donja granica tetivne memristanse. Sa druge strane, ove dve granične vrednosti tetivne memristanse, odrediće i minimalnu i maksimalnu memristansu memristivnog elementa izloženog takvoj pobudi. Tokom prve poluperiode periodične pobude na ulazu, tetivna memristansa menja vrednost od najmanje do najveće vrednosti u prvom kvadrantu $v - i$ ravni. U primeru sa pobudnom



Slika 2.15 – Konstitutivna relacija memristora pogodnog za implementaciju binarne memorije (preuzeto iz [Chua11])

strujom $i(t) = \sin \omega t$, dve granične tetivne memristanse su 1Ω i 5Ω . Na sličan način, u drugoj poluperiodi ulazne pobude, tetivna memristansa menja vrednosti od maksimalne do minimalne dok se iscrtava *Lissajous figura* u trećem kvadrantu. Važno je, međutim, primetiti, da bi se pri drugačijoj pobudi, menjale i granične tetivne memristanse.

Sa aspekta tematike ove disertacije, posebno je interesantno da je Chua je u radu [Chua11] prikazao memristivni element koji bi bio idealan za realizaciju binarnih memorijskih ćelija. Takav memristivni element bi trebao da ima dve diskretne vrednosti memristanse, koje bi trebale biti što različitije jedna od druge. Konstitutivna relacija u $\varphi - q$ koordinatnom sistemu izgledala bi kao na slici 2.15, a opisana je jednačinom

$$\varphi = R_0 q + \frac{1}{2} (R_1 - R_0) [|q + B| - |q - B|] \quad (2.28)$$

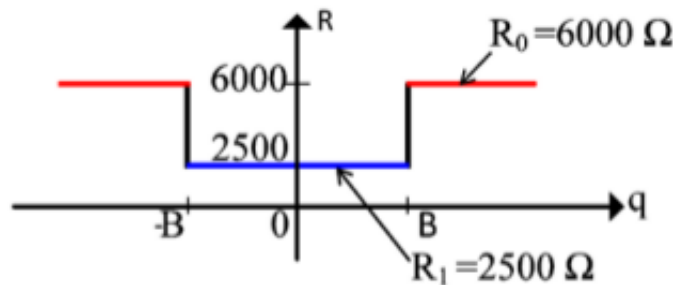
gde R_1 predstavlja nagib karakteristike na delu $q \in [-B, B]$ sa slike 2.15, dok R_0 predstavlja nagib spoljašnja dva dela. Memristansa je u ovom slučaju određena diferenciranjem jednačine (2.28) po količini naelektrisanja, čime se dobija

$$R(q) = R_0 + \frac{1}{2} (R_1 - R_0) [\operatorname{sgn}(q + B) - \operatorname{sgn}(q - B)] \quad (2.29)$$

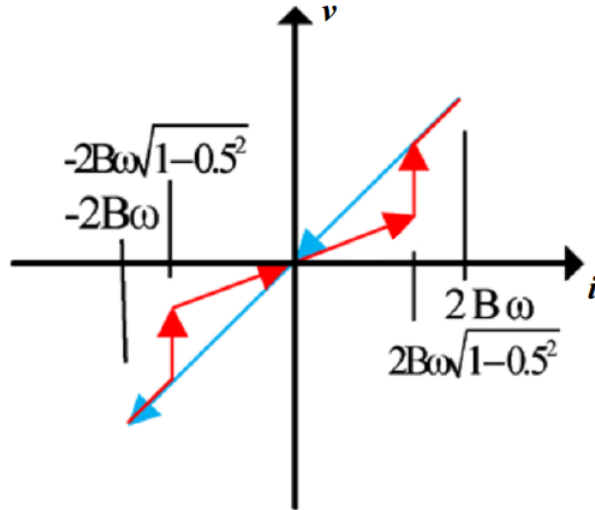
gde je

$$\operatorname{sgn} x = \begin{cases} 1, & x \geq 0 \\ -1, & x < 0. \end{cases} \quad (2.30)$$

Zavisnost memristanse od promenljive stanja prikazana je na slici 2.16, za vrednosti parametara $R_0 = 6000\Omega$ i $R_1 = 2500\Omega$. Ukoliko se na ulaz memristora sa



Slika 2.16 – Zavisnost memristanse od promenljive stanja (preuzeto iz [Chua11])



Slika 2.17 – Uštinuta histerezisna petlja idealne memristivne binarne memorijske ćelije (preuzeto iz [Chua11])

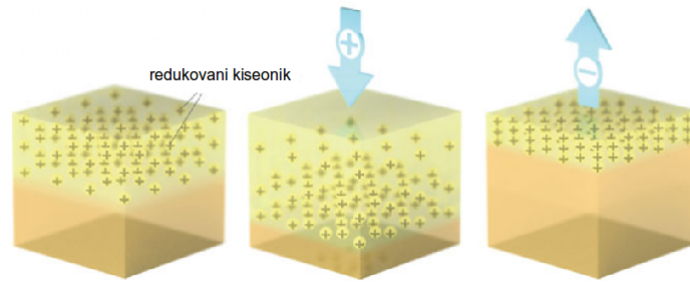
$\varphi - q$ konstitutivnom relacijom (2.28) dovede prostoperiodična strujna pobuda amplitude $A = 2B\omega$, u tom slučaju imamo

$$q(t) = \begin{cases} 2B(1 - \cos \omega t), & t \geq 0 \\ 0, & t < 0. \end{cases} \quad (2.31)$$

Podrazumevajući da je u trenutku $t = 0$ početna vrednost količine naelektrisanja $q = 0$, nakon prve poluperiode, u trenutku $t_1 = \frac{\pi}{\omega}$, q će dostići vrednost $4B$ u skladu sa jednačinom (2.31). Količina naelektrisanja počinje da raste od vrednosti 0 u skladu sa nagibom dela deo-po-deo linearne karakteristike oko koordinatnog početka na grafiku prikazanom na slici 2.15. Vrednost memristanse je u tom periodu konstantna i iznosi R_1 . Nakon što $q(t)$ dostigne vrednost B , memristansa se trenutno menja na vrednost R_0 što se manifestuje skokom na uštinutoj histerezisnoj petlji prikazanoj na slici 2.17. Nakon skoka, struja i napon na grafiku nastavljaju da rastu do trenutka $\frac{\pi}{2\omega}$ (prva četvrtina periode dok ulazna struja raste). Od tog trenutka, struja i napon na grafiku 2.17 počinju da opadaju po putanji sa većim nagibom koji odgovara memristansi R_0 , dok $q(t)$ nastavlja da raste do vrednosti $4B$, jer je struja memristora i dalje pozitivna, te ne može doći do smanjenja $q(t)$. U trenutku $t_1 = \frac{\pi}{\omega}$, q dostiže maksimalnu vrednost $4B$, dok se radna tačka na *Lissajous figuri* sa slike 2.17 vraća u koordinatni početak. Od tog momenta $q(t)$ počinje da se smanjuje, struja i napon su negativni ali se radna tačka na 2.17 i dalje kreće po pravoj sa većim nagibom, sve dok $q(t)$ ne padne do vrednosti B , kada se dešava skokovita promena memristanse sa vrednosti R_0 na R_1 . Nakon toga, po delu histerezisne petlje sa manjim nagibom se radna tačka u $v - i$ ravni vraća u koordinatni početak, dok se $q(t)$ vraća na 0 u trenutku $t_2 = \frac{2\pi}{\omega}$.

2.4 Fabrikacija prvog memristora

Nakon što je 2008. godine fabrikovan prvi memristor, objavljeni su brojni naučni radovi o fabrikaciji memristora i memristivnih elemenata zasnovanih na



Slika 2.18 – Struktura HP memristora i uticaj spoljašnjeg električnog polja na domen sa redukovanim kiseonikom (preuzeto iz [Tetz14])

drugim fizičkim principima, različitim tehnologijama fabrikacije ili korišćenim funkcionalnim materijalima [SBJCDML10, LCGZCLK11, KCLKASAE11, SLMX11, GHTR12, GHHDSRHG09, PMT10a, PMT10b]. U knjizi [Tetz14] je detaljno opisan proces fabrikacije prvog memristora: od prvobitne ideje do dobijanja funkcionalnog memristora. Kako je detaljno opisano u prvom poglavlju (*How We Found A Missing Memristor*) knjige [Tetz14], osnovna motivacija istraživačkog tima iz kompanije *Hewlett-Packard*, na početku njihovog istraživanja 1995. godine, bila je potreba da se pronađe alternativno rešenje problema fabrikacije digitalnih elektronskih kola nakon trenutka prestanka važenja Murovog zakona. Murov zakon predviđa da se broj tranzistora u sastavu integrisanog kola, udvostručava, u proseku, svake dve godine. Iako je do danas elektronska industrija prilično uspešno pratila ovaj trend, evidentno je da će konstantnim smanjivanjem dimenzija tranzistora, u skladu sa Murovim zakonom, doći do situacije u kojoj će dimenzije tranzistora biti smanjene do dimenzija atoma silicijuma, kada povećanje gustine pakovanja više neće biti moguće.

Jedan od potencijalnih pravaca istraživanja u HP-u je bio razvoj novih elektronskih komponenti u okvirima nanoelektronike. podrazumevao je domen nanoelektronike i nanoelektronskih komponenti. Kako bi elektronske komponente nanometarskih dimenzija u budućnosti uspešno zamenile današnje tranzistore, neophodno je da po performansama budu uporedive sa kolima baziranim na tranzistorima fabrikovanim u komplementarnoj metal-oksidi-poluprovodnik (CMOS) tehnologiji. Nakon detaljne analize različitih nano-struktura, istraživački tim iz HP laboratorije je odlučio da usmeri svoja istraživanja ka poboljšanju karakteristika rešetkastih struktura, čije su karakteristike u to vreme bile obećavajuće. Rešetkaste strukture su se sastojale od ukrštenih *nano-žica*, pri čemu se na svakom mestu ukrštanja veza nalazio mali prekidač. Potencijal ove matricne strukture ogledao se u činjenici da ona, bez ikakvih modifikacija, predstavlja memoriju, jer svaki prekidač u dvodimenzionom nizu može da bude u uključenom ili isključenom stanju. Rešetkasta struktura je omogućavala izuzetno veliku gustinu pakovanja obzirom da se radi o nano-strukturi izuzetno malih dimenzija (pogotovo u poređenju sa standardnim memorijskim kolima u tom periodu). Na kraju, rešetkaste strukture su bile imune na defekte, jer su se jednostavnim ponovnim rutiranjem mogli eliminisati defektni delovi strukture.

Prekidači koji bi se koristili u okviru poboljšanih rešetkastih struktura, neophodno treba da imaju dva stanja, pri čemu bi se promena stanja vršila primenom adekvatnih naponskih impulsa na odgovarajuće nano-žice. Čitanje stanja preki-

dača bi se vršilo korišćenjem kratkotrajnih naponskih impulsa male amplitude. Izazov u fabrikaciji prekidača u tom periodu, zapravo je bio napraviti kvalitetan prekidač, sa dovoljno velikim odnosom otpornosti u isključenom i uključenom stanju. Primera radi, kada se tranzistori koriste u ove svrhe, taj odnos je približno 10000 : 1, što znači da je otpornost tranzistora, posmatrana od drejna do sorsa, u isključenom stanju 10000 puta veća u odnosu na otpornost tranzistora u uključenom stanju. U slučaju nano-prekidača fabrikovanih u tom periodu taj odnos je u najboljem slučaju išao do 3 : 1, što je znatno manje. Istraživači iz HP laboratorije su zaključili da bi bilo, u tu svrhu, neophodno ostvariti odnos maksimalne i minimalne otpornosti barem 1000 : 1, što bi rezultovalo prihvatljivim prekidačkim karakteristikama u rešetkastim strukturama.

Vođeni tom idejom, HP istraživači su pokušali da u svom dizajnu prekidača izazovu efekat koji je prisutan kod instrumenata baziranih na *skenirajućoj tunelovanoj mikroskopiji* (STM), kod koje se malim promenama dimenzija drastično menja otpornost materijala. Prvobitni dizajn se sastojao od dve elektrode od platine, jednog sloja izuzetno provodnog platina-dioksida, na koji je stavljen tanak (debljine dimenzija molekula) monolitski sloj koji je zamišljen kao prekidački sloj. Povrh njega je stavljen sloj titanijuma kao "lepak" do gornje platinaste elektrode. Rezultati su u početku bili razočaravajući: generisanje pozitivnih i negativnih napona na elektrodama, nikako nije rezultovalo prekidačkim efektom. Nakon mnogo pokušaja i šest godina istraživanja, dobijena su dva "stanja" prekidača, koja su se u pogledu otpornosti značajno razlikovala, obzirom da je odnos visoke i niske otpornosti bio veći od 1000 : 1. Ipak, nepredvidivost ogleđa i nemogućnost ponovljivosti rezultata i dalje su predstavljali ozbiljan problem, sve dok istraživači koji su radili na ovom projektu, nisu uočili da strujno naponska karakteristika fabrikovanog prekidača podseća na uštinutu histerezisnu petlju opisanu od strane Leona Chua-e u radu objavljenom nekih 30-tak godina ranije [Chua71]. Shvatili su da se njihov element ponaša kao memristor, ali i dalje nisu mogli da odgonetnu zašto i kako, sve dok dve godine kasnije nisu uspeli da rastave svoju "sendvič" strukturu.

Rastavljena slojevita struktura nije imala iste osobine kao i polazna. Umesto sloja platina-dioksida, našli su sloj platine, dok je sloj titanijuma oksidirao kroz monolitski sloj. Monolitski sloj nije pretrpeo bilo kakve strukturalne niti funkcionalne promene. Detaljnijom analizom ustanovljeno je da se sloj TiO_2 zapravo sastojao od sloja čistog TiO_2 (bliže monolitskom sloju) i sloja osiromašenog TiO_2 sa redukovanim kiseonikom, koji je zbog toga označen kao TiO_{2-x} . Ovaj TiO_{2-x} se ponašao kao donor elektrona, samim tim kao sloj sa pozitivnim naelektrisanjem, prikazan na slici 2.18. Tim istraživača iz HP-a vršio je ispitivanja očekujući da će dovođenjem pozitivnog napona prekidač dovesti u stanje visoke otpornosti, a dovođenjem negativnog napona u stanje niske. Ono što se zapravo dešavalo, bilo je sasvim suprotno od te pretpostavke. Egzotičan monolitski sloj između platine i titanijuma nije zapravo imao nikakvu ulogu u promeni stanja prekidača, što su dokazali kasnije kada su ga uklonili bez ikakvog uticaja na funkcionisanje kola. Njegova uloga se sastojala u tome da reguliše dotok kiseonika od platina-dioksida do titanijuma kako bi se u titanijumu formirali relativno uniformni slojevi TiO_2 i TiO_{2-x} . Ključ prekidačkog efekta bila je ova slojevita $TiO_2 - TiO_{2-x}$ struktura, u kojoj se TiO_2 ponaša kao izolator, dok je TiO_{2-x} izuzetno provodan. Dovođenjem pozitivnog napona između elektroda, pozitivno naelektrisanje iz provodnog sloja prodiralo je u neprovodni sloj i praktično ga činilo provodnim.

Ovo bi se dešavalo sve dok ceo prostor između elektroda nije bio popunjen provodnim TiO_{2-x} slojem (slika 2.18). Slično, dovođenjem negativnog napona, pozitivna naelektrisanja su privlačena ka gornjoj elektrodi i na taj način, provodan sloj je zapravo iščezavao sve dok ceo prostor između elektroda nije bio ispunjen neprovodnim TiO_2 (prikazano na slici 2.18). Međutim, u naknadno objavljenim radovima ([MVCHHLRPK13, WA07, WDSS09, KJH11]), izvešteno je o drugačijem mehanizmu nastanka memristivnog efekta: pod uticajem spolja primenjenog električnog polja i usled kretanja pozitivnih jona u sloju redukovano oksida, uspostavljaju se i iščezavaju takozvani *filamenti*, izuzetno provodni kanali nanometarskih dimenzija (u radu [MCWHJLGRK12] je pokazano kako je prečnik filamenata u opsegu od nekoliko nanometara do nekoliko desetina nanometara). Nastankom filamena, za elektrone se formira provodan put između spoljašnjih elektroda, a usled njegovog izuzetno uskog prečnika, elektroni taj put prelaze *balistički*, gotovo bez karakterističnog nepravolinijskog kretanja elektrona na nano-skali. Kao rezultat, nastajanjem (nestajanjem) filamenata, u zavisnosti od spoljašnjeg primenjenog napona, provodnost materijala se povećava (smanjuje) u celobrojnim umnošcima kvanta provodnosti G_0 (u radu [MVCHHLRPK13] je pokazano kako se provodnost menja u koracima $0.5G_0$, u slučaju specifičnog materijala).

Otpornost prekidača, odnosno memristansa obzirom da je element već tada poistovećen sa memristorom, nije menjala svoju vrednost čak ni nakon što bi se uklonio pobudni napon ili nakon što se primenjivao napon male amplitude sa ciljem očitavanja trenutnog stanja memristora. Pozitivna naelektrisanja nisu menjala svoj položaj na globalnom nivou, već su zadržavala svoje prethodno stanje u zavisnosti od istorije prethodno primenjivanog napona. Ovo je bila konačna potvrda da je fabrikovan element zapravo memristor.

Jedan od razloga zašto je, nakon objavljivanja rada [Chua71] u kome je Chua postavio teorijske temelje memristora, bilo potrebno više od 30 godina da bi se on fabrikovao, svakako je taj što su istraživači sprovodili previše usmerena istraživanja pokušavajući da izazovu memristivni efekat promenama magnetnog fluksa ili količine naelektrisanja. Time su prevideli činjenicu da je Chua koristio složen matematički model da opiše svoju teorijsku komponentu, te da se memristivni efekat kod komponente možda može izazvati na neki drugi način, a da opet sistem jednačina postavljen od strane Chua-e bude zadovoljen. Nakon fabrikacije HP memristora, pokazano je da memristivni efekat kod njega nastaje kao posledica specifične nelinearne strujno-naponske međuzavisnosti, koju je moguće iskazati u okvirima matematičkog modela predstavljenog u [Chua71, CK76], obzirom da je magnetni fluks integral napona a količina naelektrisanja struje.

Osim ovog problema, na fabrikaciju memristora se čekalo veoma dugo i zbog dimenzija kola, kako je saopšteno u [Tetz14]. U slučaju mikrometarskih dimenzija kola, memristivne karakteristike su znatno teže uočljive, dok je za komponente milimetarskih dimenzija tako nešto praktično nemoguće. Na nanometarskoj skali, memristivni efekti postaju mnogo lakše uočljivi. U narednom poglavlju biće prikazan model HP memristora na osnovu kojeg će se videti da je memristivni efekat čak 10^6 puta veći kod nano-elektronskih komponenti u poređenju sa komponentama fabrikovanim u mikrometarskim dimenzijama.

2.5 Modeli HP memristora

U radu [SSSW08] objavljenom 2008. godine autori su izvestili o fabrikaciji prvog memristora, istovremeno dajući i njegov matematički model. Osim toga, istakli su i značaj graničnih uslova koji nisu bili razmatrani u Chua-inom modelu memristora, obzirom na činjenicu da granični uslovi postaju značajni tek kada se govori o konkretnom, fabrikovanom, uređaju. Kroz primere su pokazali kako se promenom graničnih uslova u modelu mogu dobiti različiti rezultati u pogledu ponašanja komponente i talasnih oblika struja i napona. Kao što je već ranije opisano, HP memristor se sastoji od tankog filma poluprovodnika obloženog metalnim kontaktima, debljine D (slika 2.19). Film poluprovodnika se sastoji od dva sloja titanijum-dioksida različite otpornosti, tako da se može modelovati kao dva redno vezana otpornika. Ova dva sloja različite otpornosti su rezultat postojanja dopiranog sloja sa povećanom koncentracijom pozitivnih jona, koji ima malu otpornost označenu sa R_{ON} , i drugog sloja sa velikom otpornošću, R_{OFF} (slika 2.20). Debljina dopiranog sloja je označena sa w . Primenom spoljašnjeg napona $v(t)$ na ovakvu komponentu, dolazi do drifta dopanata na jednu ili drugu stranu u zavisnosti od polariteta dovedenog napona, što pomera barijeru između dva sloja. Ako se usvoji *linear ion drift* model sa srednjom pokretljivošću jona μ_V , dobijamo da je

$$v(t) = \left(R_{ON} \frac{w(t)}{D} + R_{OFF} \frac{1 - w(t)}{D} \right) i(t) \quad (2.32)$$

$$\frac{dw(t)}{dt} = \mu_V \frac{R_{ON}}{D} i(t). \quad (2.33)$$

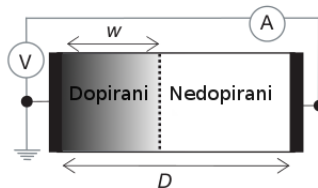
Jednačina (2.33) je izvedena pod pretpostavkom da je brzina dopanata (a samim tim i brzina pomeranja barijere) jednaka proizvodu pokretljivosti dopanata i spolja primenjenog električnog polja. Električno polje je, za male dimenzije sloja D , jednako naponu na oblasti dopanata podeljenom sa debljinom sloja tankog filma. Iz jednačine (2.33) sledi da je

$$w(t) = \mu_V \frac{R_{ON}}{D} q(t). \quad (2.34)$$

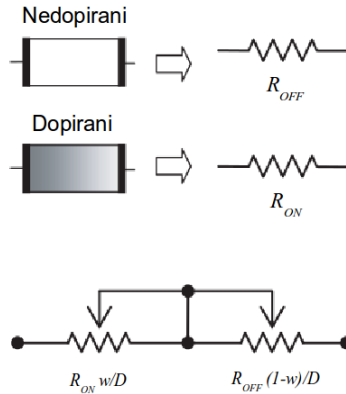
Korišćenjem jednačine (2.34) u jednačini (2.32) dobija se da je memristansa ovakvog modela

$$M(q) = R_{OFF} \left(1 - \frac{\mu_V R_{ON}}{D^2} q(t) \right). \quad (2.35)$$

Iz poslednje jednačine vidi se da deo zavisan od $q(t)$ zapravo daje najveći doprinos memristansi, tako što raste porastom pokretljivosti dopanata i smanjenjem



Slika 2.19 – Širina dopiranog sloja kod HP memristora kao promenljiva stanja (preuzeto iz [SSSW08])

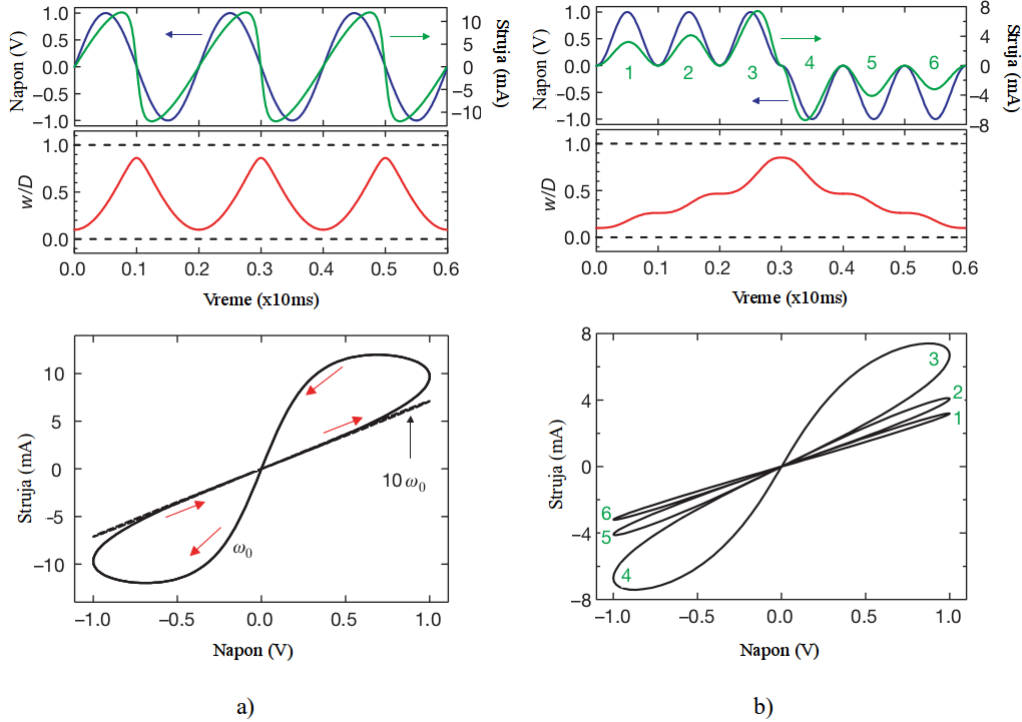


Slika 2.20 – Linearan model HP memristora sa serijskom vezom otpornika

debljine poluprovodnog tankog filma D . Za proizvoljan materijal, ovaj član je 10^6 puta veći u domenu nanometarskih, u poređenju sa mikrometarskim tehnologijama.

Očigledno je da memristivni element opisan jednačinama (2.32) i (2.34) odgovara teorijski opisanom memristoru u [Chua71]. Imajući u vidu karakteristike elementa opisanog jednačinama (2.32) i (2.34), svaka pobuda (strujna ili naponska) rezultovaće u uštinutoj histerezisnoj petlji kao na slici 2.21 a). Sa prikazane uštinute petlje se primećuje da se ona degeneriše u pravu liniju sa povećanjem frekvencije pobude, baš kao što je predvideo Chua u svojim radovima o memristorima i memristivnim sistemima. Na slici 2.21 b) se može primetiti oblik figure dobijene asimetričnom pobudom (tri pozitivne periode za kojima slede tri negativne). Sa grafika se može videti redosled kojim se iscrtavaju krive u $v - i$ koordinatnom sistemu za ovakvu pobudu: polupetlja 1 u prvom kvadrantu za malo $w(t)$, zatim polupetlje 2 i 3 za koju $w(t)$ dostiže maksimalnu vrednost, a onda iste takve polupetlje u trećem kvadrantu obrnutim redosledom 4, 5 i 6.

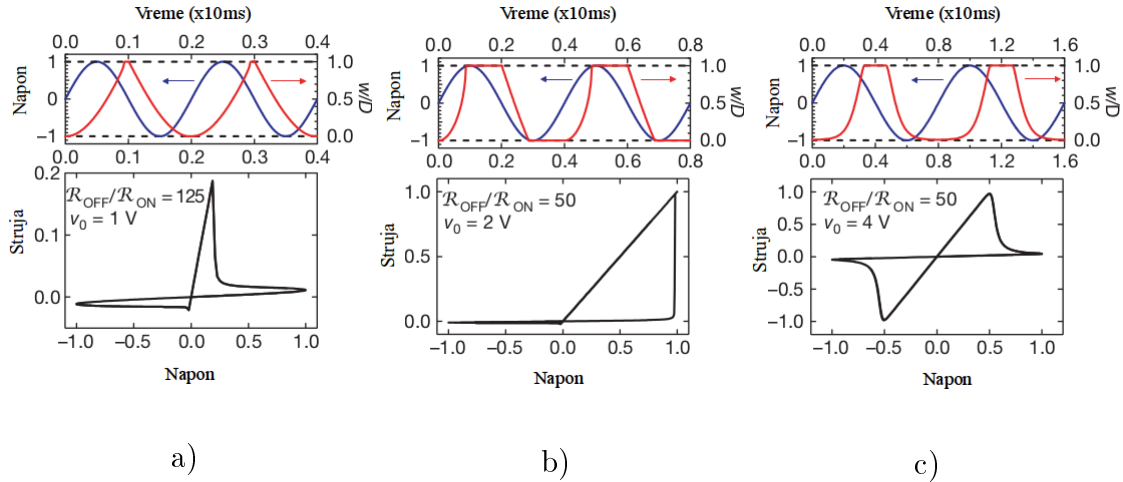
Jednačina (2.34) važi samo za promenljivu stanja w u granicama $[0, D]$. Međutim, način na koji se modeluju ovi granični uslovi značajno utiče na dinamičke karakteristike kola. Na primer, jedan od pristupa podrazumeva da kada jednom dosegne graničnu vrednost, promenljiva stanja w ostaje u tom položaju sve dok se ne promeni polaritet pobudnog napona. U tom slučaju Lissajous figure mogu imati različite oblike u zavisnosti od promene amplitude i/ili frekvencije pobudnog signala. Na slici 2.22 a) granični uslov $\frac{w}{D} = 1$ je dostignut u trenutku kada je pobudni napon opadao, tj. na delu gde tangenta na talasni oblik napona ima negativan koeficijent pravca. Kao rezultat, odgovarajući deo Lissajous figure izgleda kao da ima negativnu dinamičku otpornost jer smanjenjem napona dolazi do porasta struje. Naravno, ne treba zaboraviti činjenicu da je ovo samo dinamički odziv i da ovakva dinamička negativna otpornost nema nikakve veze sa statičkom negativnom otpornošću kod nekih nelinearnih ne-memristivnih elemenata (npr. tunel dioda). Kao potpora ovoj tvrdnji, na slici 2.22 b) se vidi sasvim drugačija Lissajous figura nastala dovođenjem naponske pobude dvostruko veće amplitude nego u slučaju prikazanom na slici 2.22 a). Kao posledica veće amplitude, granični uslov $\frac{w}{D} = 1$ je dostignut ranije, zbog čega na Lissajous figuri ne postoji deo krive koji bi se okarakterisao negativnom dinamičkom otpornošću. Za ovakav način modelovanja je važno istaći da ne postoji prag napona pri kome će se memris-



Slika 2.21 – *Lissajous figura* dobijena korišćenjem *linear ion drift* modela HP memristora sa: a) prostoperiodičnom; b) akumulativnom periodičnom pobudom (preuzeto iz [SSSW08])

tansa promeniti sa R_{OFF} na R_{ON} : proizvoljan pozitivan napon v_+ , doveden na memristor dovešće promenljivu stanja do granične vrednosti D nakon vremena $\Delta t \approx R_{OFF}D^2 / (2\mu_v v_+ R_{ON})$. Nakon toga, vrednost promenljive stanja w ostaje nepromenjena sve dok se ne promeni polaritet napona na ulazu. Kada se to desi, memristansa se vrlo brzo (gotovo trenutno ukoliko je $R_{ON} \ll R_{OFF}$) vraća na vrednost R_{OFF} . Usled toga je *Lissajous figura* asimetrična u odnosu na koordinatni početak i samo u prvom kvadrantu $v - i$ ravni se može primetiti histerezisna karakteristika, dok je u trećem kvadrantu ona deformisana usled velike memristanse koja je u domenu negativnog napona prisutna.

Analizirajući *linear ion drift* model HP memristora, može se zaključiti da on nije potpuno adekvatan kada govorimo o elementima nanometarskih dimenzija gde čak i mali naponi mogu dovesti do pojave velikog električnog polja, koje može rezultovati u *nelinear*nom driftu dopanata. Osim toga, u radu [KFKW13] je analizirano pet matematičkih modela memristora poznatih iz literature, kao i četiri prozorske funkcije korišćene u *linear ion drift* modelu u svrhu ograničavanja promenljive stanja na interval $[0, D]$. To ograničenje se ostvaruje množenjem jednačine linearne zavisnosti izvoda promenljive stanja od struje memristora prozorskom funkcijom. Osim osnovne pravougaone prozorske funkcije, moguće je koristiti i prozorsku funkciju opisanu u [JW09] sa ciljem da se ograniči brzina promene promenljive stanja njenim približavanjem svojim fizičkim granicama. Vremenski odziv i strujno-naponska karakteristika sa slike 2.22 c) dobijeni su korišćenjem modela memristora u kome se desna strana jednačine (2.33) množi prozorskom funkcijom $\frac{w(D-w)}{D^2}$. Ovakav model je specijalan slučaj modela prikazanog u radu [JW09]. Sa slike 2.22 c) se primećuje kako se promenljiva stanja sporije



Slika 2.22 – a) i b) *Lissajous figure* generisane različitim amplitudama pobudnog signala; c) *Lissajous figura* dobijena korišćenjem modela memristora sa prozorskom funkcijom (preuzeto iz [SSSW08]). Napomena: na slikama a), b) i c) crvenom bojom su prikazani talasni oblici promenljive stanja, dok su plavom bojom prikazani talasni oblici napona na memristoru

menja nakon što se približi svojim graničnim vrednostima (D odnosno 0). Promena memristansa sa R_{ON} na R_{OFF} (i obrnuto), kod ovakvog modela se dešava kao posledica veće količine proteklog naelektrisanja (tj. veće amplitude primenjenog napona). Takav model je mnogo realniji od *linear ion drift* modela bez prozorske funkcije, a rezultuje gotovo binarnom promenom stanja, usled toga što memristor može mnogo duže vremena da zadrži svoju memristansu, pod uslovom da se amplituda dovedenog napona drži ispod kritične vrednosti. Posmatranjem 2.22 c) primećuje se i deo *Lissajous figure* u trećem kvadrantu obzirom da će w ostati blizu D čak i za negativne napone usled prozorske funkcije koja modeluje nelinearnost drifta. Nakon dovoljnog vremena pod uticajem negativnog napona, memristansa će se vratiti na R_{OFF} i to je trenutak kada se dešava promena stanja u trećem kvadrantu $v - i$ ravni.

Ipak, modelovanje graničnih uslova prozorskom funkcijom predstavljenom u radu [JW09], pokazuje nedostatak u situacijama kada promenljiva stanja memristora dostigne svoje granične vrednosti (0 ili D), nakon čega više ne može menjati svoju vrednost. Model, koji uzima u obzir ovaj detalj prikazan je u radu [BBB09] gde je predstavljena prozorska funkcija zavisna od smera struje koja protiče kroz element. Na ovaj način je omogućeno da promenljiva stanja, nakon dostizanja svoje granične vrednosti (0 ili D), može iz nje i da izađe kao posledica promene smera struje kroz komponentu. Neznatno unapređeni model prikazan je u radu [PPPT11], gde je samo dodat multiplikativni faktor u prozorsku funkciju, čime je omogućeno podešavanje nivoa propuštanja prozorske funkcije, koji može da se postavi na vrednost manju ili veću od jedan.

Svi prethodno opisani modeli koriste prozorske funkcije da bi preko njih modelovali granične procese i uslove. Ipak, oni zapravo ne uzimaju u obzir nelinearni drift jona, pošto je u njima i dalje prisutna linearna zavisnost izvoda promenljive stanja od struje memristora. Obzirom na činjenicu da su eksperimenti pokazali da fabrikovani memristori imaju izuzetno nelinearne $v - i$ karakteristike [YPLOSW08,

SW09], nelinearna $v - i$ zavisnost je neophodna za realizaciju kvalitetnog modela memristora. U radu [LL10a] je prikazan model baziran na eksperimentalnim rezultatima iz [YPLOS08], koji ima asimetrične prekidačke karakteristike. U ovom modelu, u jednačini stanja postoji nelinearna zavisnost od napona memristora. Osim toga, izvod promenljive stanja u jednačini stanja je jednak proizvodu funkcije zavisne od promenljive stanja i funkcije zavisne od napona. Unapređeni model, sa kompleksnijom jednačinom stanja, prikazan je od strane istih autora u radu [LPLL11].

Kod nelinearnog modela memristora prikazanog u radu [PSBYSSW09], za razliku od dva serijski povezana otpornika koji modeluju otpornost oksida i redukovano oksida u klasičnom *linear ion drift* modelu, korišćena je serijska veza otpornika i otpornosti koja modeluje barijeru tunelovanja elektrona, prvobitno prikazanu u radu [Simm04]. Ovaj model manifestuje nelinearna prekidačka svojstva zahvaljujući eksponencijalnoj zavisnosti u jednačini stanja. Simonsov *electron tunnel barrier* model, svojim jednačinama verodostojno opisuje i asimetrično ponašanje realnih memristivnih komponenti kod kojih je “uključivanje” memristora značajno brže od “isključivanja”, usled činjenice da su pri negativnom naponu na memristoru i struja difuzije i struja drifta jona istog smera, što nije zadovoljeno za pozitivne napone na memristoru. Simonsov *electron tunnel barrier* model memristora u sebi uključuje dva strujna praga, u odnosu na koje je promena promenljive stanja zanemarljiva pri strujama van opsega definisanog ovim pragovima. Zbog toga, ovom modelu nije potrebna dodatna prozorska funkcija koja će ograničavati opseg prihvatljive vrednosti promenljive stanja.

Nelinearan model predstavljen u [KFKW13] predstavlja uprošćenje modela iz [PSBYSSW09], ali ujedno predstavlja i generalizaciju modela obzirom na činjenicu da adekvatnim podešavanjem parametara model postaje prikladan za proizvoljne memristivne komponente (u radu je prikazano kako se TEAM model, odabirom odgovarajućih parametara, podudara sa *linear ion drift* modelom). Problem sa modelom prikazanim u [PSBYSSW09] leži u činjenici da je on, iako izuzetno kompleksan, prikladan samo za modelovanje određene klase memristivnih elemenata. Osim toga, kompleksan SPICE *Simmons electron tunnel barrier* model predstavljen u radu [AP11] je takođe veoma neefikasan sa stanovišta izračunavanja i simulacije, što zahteva model sa manje kompleksnim jednačinama, koji je opet dovoljno verodostojan i kompletan. Predloženo poboljšanje modela prikazano u [KFKW13] ogleda se u tome da je dvostruka eksponencijalna zavisnost u jednačini stanja zamenjena polinomijalnom nakon razvoja u Tejlorov red i zanemarivanjem viših članova. Osim toga, zanemarena je promena promenljive stanja za vrednosti ispod određenog praga predefinisano modelom. Simulacioni TEAM model je napravljen po uzoru na predloženi makromodel prikazan u [SKK10], a njegova jednostavnost značajno povećava efikasnost procesa simulacije, dok je greška, nastala kao posledica uprošćavanja modela, veoma mala ($\sim 0.2\%$) u poređenju sa referentnim *Simmons electron tunnel barrier* modelom.

2.6 Mem-kapacitivni sistemi i mem-kondenzator

U radu [DVPC09], autori su po uzoru na definiciju memristivnih sistema definisali mem-kapacitivne i mem-induktivne sisteme. Po definiciji, naponom kontrolisan

mem-kapacitivni sistem n -tog reda je sistem opisan jednačinama

$$q(t) = C(x, v_C, t)v_C(t) \quad (2.36)$$

$$\dot{x} = f(x, v_C, t) \quad (2.37)$$

gde je $q(t)$ količina naelektrisanja sistema, $v_C(t)$ napon primenjen na sistem, a $C(x, v_C, t)$ mem-kapacitivnost (skraćeno od kapacitivnost sa memorijom) koja zavisi od stanja sistema. Slično, naelektrisanjem kontrolisan mem-kapacitivni sistem n -tog reda je sistem opisan jednačinama

$$v_C(t) = C^{-1}(x, q, t)q(t) \quad (2.38)$$

$$\dot{x} = f(x, q, t) \quad (2.39)$$

gde je C^{-1} inverzna mem-kapacitivnost.

Podklasa mem-kapacitivnih sistema je naponom kontrolisan mem-kondenzator, kod koga mem-kapacitivnost zavisi od integrala napona:

$$q(t) = C \left[\int_{t_0}^t v_C(\tau) d\tau \right] \cdot v_C(t). \quad (2.40)$$

Slično, naelektrisanjem kontrolisan mem-kondenzator je komponenta kod koje je inverzna mem-kapacitivnost funkcija integrala količine naelektrisanja:

$$V_C(t) = C^{-1} \left[\int_{t_0}^t q(\tau) d\tau \right] q(t). \quad (2.41)$$

Slično kao i u slučaju memristora, posmatrajući jednačinu (2.36) možemo zaključiti da je $q(t)$ jednako 0 uvek kada je $v_C(t)$ jednako 0. Međutim, za razliku od memristora, ovaj podatak ne implicira da je količina naelektrisanja $q(t)$ jednaka 0 uvek kada je struja koja protiče kroz komponentu $i = 0$, što znači da mem-kondenzator može da skladišti energiju.

Dinamički efekat prisutan kod mem-kondenzatora je sličan kao u slučaju memristora. Naime, kao što memristor menja memristansu u zavisnosti od prethodnih vrednosti struje koja protiče kroz njega, mem-kondenzator menja svoju mem-kapacitivnost u zavisnosti od prethodnih vrednosti napona (za naponom kontrolisan mem-kondenzator) prisutnih na njegovim krajevima. U radu [DVPC09] autori navode dva uzroka promene mem-kapacitivnosti. Prvi uzrok promene mem-kapacitivnosti može biti promena geometrijske strukture sistema (na primer, promena položaja obloga kondenzatora tokom vremena). Drugi uzrok promene mem-kapacitivnosti su određeni kvantni efekti koji se ispoljavaju kako kod nosilaca naelektrisanja, tako i kod vezanih naelektrisanja dielektrika kondenzatora. Kao posledica ovih kvantnih efekata, pod uticajem spoljašnjeg napona može doći do promene električne permeabilnosti ϵ_r , a samim tim i mem-kapacitivnosti mem-kondenzatora. Autori u [DVPC09] takođe navode i da promena mem-kapacitivnosti može da nastane kao posledica oba gore navedena uzroka istovremeno.

Energija koju “daje” pasivni mem-kondenzator bez akumulisane energije, ne može ni u jednom trenutku biti veća od energije koja je prethodno “primljena”,

što se može zapisati na sledeći način:

$$E_C(t) = \int_{t_0}^t v_C(\tau) i(\tau) d\tau \geq 0 \quad (2.42)$$

pod pretpostavkom da u trenutku $t = t_0$ nema akumulisane energije unutar mem-kondenzatora. Još strožiji uslov u pogledu pasivnosti važi sa mem-kapacitivne sisteme kod kojih postoje disipativni procesi (npr. grejanje) i kod njih se u nejednačini (2.42) znak \geq zamenjuje sa $>$.

Za prostoperiodičnu naponsku pobudu na mem-kondenzatoru, kriva u $q - v_C$ ravni je histerezis koji prolazi kroz koordinatni početak slično kao u slučaju *Lissajous figura* kod memristora. Dakle, ukoliko se govori o naponom kontrolisanom mem-kondenzatoru, mogu postojati maksimalno dve vrednosti $q(t)$ za svaku datu vrednost $v_C(t)$, odnosno maksimalno dve vrednosti $v_C(t)$ za svaku datu vrednost $q(t)$ kod naelektrisanjem kontrolisanog mem-kondenzatora. Osim toga, kriva je, kako tvrde autori u [DVPC09], asimetrična u odnosu na koordinatni početak ukoliko je zadovoljeno da je $C(x, v_C, t) = C(x, -v_C, t)$ i $f(x, v_C, t) = f(x, -v_C, t)$. Takođe, autori skreću pažnju da postoje slučajevi u kojima je u određenim vremenskim trenucima zadovoljeno da su i količina naelektrisanja i mem-kapacitivnost jednaki 0, odakle proističe da u tim trenucima napon v_C ne mora biti jednak nuli. Kao rezultat, u takvim slučajevima, $q - v_C$ kriva ne mora prolaziti kroz koordinatni početak.

Slično kao u slučaju memristivnih sistema, mem-kapacitivni sistem se ponaša kao linearni kondenzator povećanjem frekvencije do ∞ . U slučaju nulte frekvencije (u DC režimu) mem-kapacitivni sistem se ponaša kao vremenski-promenljiv nelinearni kondenzator.

U radu [YLCI13] autori su prikazali realizaciju emulatora mem-kondenzatora korišćenjem analognih kola. U radu je najpre prikazana realizacija emulatora memristivnog elementa korišćenjem analognih elemenata i kola (operacionih pojačavača, otpornika, kondenzatora i množača). Nakon toga, poredeći konstitutivne relacije memristivnih i mem-kapacitivnih sistema, prezentovan je emulator mem-kapacitivnosti korišćenjem memristivnog elementa i analognih pojačavačkih kola. Emulator je testiran prostoperiodičnim pobudnim naponskim signalom što je rezultovalo uštinutom histerezisnom petljom u $q - v_C$ ravni. Autori u [YLCI13] su takođe demonstrirali upotrebu emuliranog mem-kondenzatora na primeru R mem-C propusnika opsega učestanosti.

Mem-kondenzator realizovan korišćenjem standardnog kondenzatora sa dodatnim metalnim slojevima između obloga kondenzatora, predstavljen je u radu [MDVP09]. Ovakav sistem pokazuje mem-kapacitivne osobine zahvaljujući mogućnosti tunelovanja naelektrisanja između internih slojeva strukture, dok su tunelovanja konstrukcijom kola zabranjena između obloga kondenzatora i internih metalnih slojeva. Efekat nastaje usled superponiranja električnog polja internih kondenzatorskih struktura sa električnim poljem kondenzatora, što kao rezultat može dati beskonačnu vrednost kapacitivnosti ili čak negativnu kapacitivnost u slučaju kada polarizacija internih kapacitivnosti generiše električno polje suprotnog znaka i veće amplitude u odnosu na električno polje obloga kondenzatora. Autori su pokazali da jednačine koje opisuju njihov sistem odgovaraju u potpunosti jednačinama karakterističnim za mem-kapacitivne sisteme. Na primeru strukture sa 2 i 4 interna sloja,

demonstrirali su karakteristike mem-kapacitivnog sistema. Očekivano, rezultati su pokazali da $q - v_C$ kriva ne mora da prolazi kroz koordinatni početak jer je zbog internog električnog polja moguće imati $v_C = 0$ u situacijama kada je $q \neq 0$ i, obrnuto, $q = 0$ kada $v_C \neq 0$. Simulacije prikazane u radu rezultuju histerezisnom petljom koja nije “uštinuta”. Za ovaj fenomen, autori nisu imali adekvatno objašnjenje. Sa druge strane, kao što su autori i predvideli, mem-kapacitivnost njihove strukture dostiže vrednosti $+\infty$, odnosno $-\infty$ za male vrednosti v_C . Osim toga, autori su pokazali da je njihov sistem disipativnog karaktera, što oni objašnjavaju činjenicom da prilikom tunelovanja naelektrisanja dolazi do zagrevanja. Na kraju, demonstrirali su simulacijama da se histerezisna kriva u $q - v_C$ koordinatnom prostoru degeneriše u pravu sa povećanjem frekvencije, što znači da se njihov mem-kondenzator ponaša kao linearan vremenski nepromenljiv kondenzator na visokim frekvencijama ($f \rightarrow \infty$). Autori su u radu prikazali i mehanizam očitavanja stanja mem-kondenzatora. Evidentna razlika u odnosu na očitavanje stanja kod memristivnih elementata se ogleda u tome da kratkotrajni impulsi male amplitude nisu adekvatni jer oni ne omogućavaju značajniju preraspodelu naelektrisanja na unutrašnjim strukturama. Sa druge strane, impuls veće amplitude i dužeg trajanja, će svakako promeniti stanje sistema, ali, kako autori navode, nakon očitavanja stanja sistema, ono se može ponovo promeniti na svoju inicijalnu vrednost. Ideja očitavanja trenutne vrednosti mem-kapacitivnosti se svodi na to da se meri količina naelektrisanja koja protekne dok se napon na mem-kondenzatoru ne izjednači sa spolja dovedenim naponom. Ipak, mem-kapacitivnost izmerena na ovaj način, zavisi od stanja mem-kapacitivnog sistema kao i od naponske pobude: merenje kapacitivnosti će dati različite rezultate za dva različita početna stanja mem-kondenzatora, slično kao što će rezultati biti drugačiji i u slučaju merenja različitim naponskim impulsima (različit polaritet, na primer). Autori su u radu [MDVP09] takođe prikazali ekvivalentan model mem-kondenzatora koji se može koristiti u simulacijama. Model se sastoji od redne veze kondenzatora i paralelno vezanih nelinearnih otpornika koji odgovaraju svakoj pojedinačnoj internoj kondenzatorskoj strukturi (nastaloj dodavanjem internih metalnih međuslojeva). U radu je pokazano da se predloženi model u potpunosti može opisati prethodno izvedenim jednačinama mem-kondenzatora baziranog na tunelovanju nosilaca, čime je potvrđena validnost modela.

2.7 Mem-induktivni sistemi i mem-kalem

Mem-induktivni sistemi su predstavljeni u radu [DVPC09]. Sličnost između mem-induktivnih i mem-kapacitivnih sistema je očigledna, uz značajnu razliku da se kod mem-induktivnih sistema u jednačini koja povezuje ulaz i izlaz, daje zavisnost magnetnog fluksa od struje memristora (ili obratno), nasuprot mem-kondenzatoru kod koga je tom jednačinom definisana zavisnost količine naelektrisanja od napona na elementu (ili obratno). Veza između magnetnog fluksa $\phi(t)$ i napona $v_L(t)$ na jednopristupnom mem-induktivnom sistemu je data sa

$$\phi(t) = \int_{-\infty}^t v_L(\tau) d\tau. \quad (2.43)$$

Tada, strujom kontrolisani mem-induktivni sistem n -tog reda je opisan jednačinama

$$\phi(t) = L(x, I, t)I(t) \quad (2.44)$$

$$\dot{x} = f(x, I, t) \quad (2.45)$$

gde se $L(x, I, t)$ naziva mem-induktansa. Na sličan način, fluksom kontrolisani mem-induktivni sistem n -tog reda je opisan sa:

$$I(t) = L^{-1}(x, \phi, t)\phi(t) \quad (2.46)$$

$$\dot{x} = f(x, \phi, t) \quad (2.47)$$

pri čemu se L^{-1} naziva inverzna mem-induktansa. Specijalna podklasa sistema definisanog jednačinama (2.46) i (2.47), je strujom kontrolisan mem-kalem n -tog reda za koji važi

$$\phi(t) = L \left[\int_{t_0}^t I(\tau) d\tau \right] \cdot I(t), \quad (2.48)$$

odnosno fluksom kontrolisani mem-kalem n -tog reda:

$$I(t) = L^{-1} \left[\int_{t_0}^t \phi(\tau) d\tau \right] \cdot \phi(t). \quad (2.49)$$

Ako posmatramo strujom kontrolisani mem-kalem, iz jednačine (2.44) sledi da je

$$v_L = \frac{d\phi(t)}{dt} = L \frac{dI(t)}{dt} + I \frac{dL}{dt}. \quad (2.50)$$

Drugi sabirak sa desne strane u jednačini (2.50) predstavlja doprinos promeni napona na mem-kalemu usled vremenski promenljive mem-induktivnosti. Slično kao kod strujom kontrolisanog memristora (naponom kontrolisanog mem-kondenzatora), kod koga se memristansa (mem-kapacitivnost) menja u zavisnosti od struje (napona) na elementu respektivno, kod strujom kontrolisanog mem-kalema se mem-induktivnost menja u skladu sa prethodnim vrednostima struje koja je protekla kroz njega.

Energija koja se skladišti u mem-kalemu može se koristeći jednačinu (2.50) izračunati kao

$$E_L(t) = \int_{t_0}^t V_L(\tau) I(\tau) d\tau = \int_{t_0}^t \left[L \frac{dI(\tau)}{d\tau} + I \frac{dL(\tau)}{d\tau} \right] I(\tau) d\tau. \quad (2.51)$$

Očigledno, u situaciji kada imamo konstantnu, vremenski nepromenljivu mem-induktansu L , gornji integral se svodi na dobro poznat integral čijim rešenjem se dobija da je energija skladištena u mem-kalemu jednaka energiji skladištenoj u kalemu

$$E_L = \frac{1}{2} LI^2. \quad (2.52)$$

Energija u jednačini (2.52) se najčešće interpretira kao energija magnetskog polja generisanog strujom koja protiče kroz element. Slično kao u slučaju pasivnosti mem-kapacitivnih sistema, za mem-induktivni sistem koji se u trenutku $t = t_0$ nalazi u stanju minimalne energije, važi da je $E_L(t) \geq 0$, za svako $t > t_0$.

U situacijama kada je sistem pobuđen prostoperiodičnom pobudom, očekivana putanja $\phi - I$ krive prolazi kroz koordinatni početak i svakoj vrednosti struje odgovaraju maksimalno dve vrednosti fluksa za strujom kontrolisani mem-kalem, odnosno svakoj vrednost fluksa maksimalno dve vrednosti struje za fluksom kontrolisani mem-kalem.

Slično kao i kod mem-kondenzatora, ova petlja je asimetrična u odnosu na koordinatni početak ukoliko je zadovoljeno da je $L(x, I, t) = L(x, -I, t)$ i $f(x, I, t) = f(x, -I, t)$ za strujom kontrolisani mem-kalem. Takođe, za mem-induktivne sisteme je moguća situacija u kojoj su u određenom trenutku mem-induktansa i fluks jednaki nula, što rezultuje u konačnoj (ne-nultoj) vrednosti struje u tom trenutku. Kao posledica toga, moguće je da $\phi - I$ histerezisna kriva ne prolazi kroz koordinatni početak usled prostoperiodične pobude. Na niskim frekvencijama, mem-kalem se ponaša kao nelinearni kalem, dok se na visokim frekvencijama ($f \rightarrow \infty$) ponaša kao linearan kalem. Ovo je posledica činjenice da magnetna permeabilnost, a samim tim ni mem-induktansa, ne može da prati brze promene struje pri visokim frekvencijama, što svakako nije slučaj za niže frekvencije.

Slično kao za memristore i mem-kondenzatore, u jednostavnom modelu mem-kalema koji može da se koristi u simulacijama, mem-induktivnost se povećava do određene gornje granice prilikom proticanja struje kroz mem-kalem u jednom smeru, a smanjuje se do donje granice pri proticanju struje u suprotnom smeru.

2.8 Višekrajni memristivni elementi

U radu [Mou10], autor je po ugledu na jednačine koje opisuju ponašanje memristivnih sistema (2.7) i (2.8), definisao naponom kontrolisani mem-tranzistor n -tog reda:

$$\frac{dw}{dt} = f(w, v_g, v_d) \quad (2.53)$$

$$i_g = g(w, v_g, v_d) \quad (2.54)$$

$$i_d = h(w, v_g, v_d) \quad (2.55)$$

pri čemu su v_g i v_d ulazni naponi, i_g i i_d izlazne struje, w n -dimenzioni vektor dinamičke promenljive stanja sistema, funkcija f n -dimenziona neprekidna vektor funkcija, a g i h neprekidne skalarne funkcije.

Osnovna razlika mem-tranzistora i memristivnog sistema leži u činjenici da jednačine koje opisuju mem-tranzistor ne zahtevaju da kriva zavisnosti izlaznog od ulaznog signala prolazi kroz koordinatni početak, dok je u slučaju memristivnog sistema opisanog u [CK76] izlazni signal uvek jednak nuli kada je ulazni signal jednak nuli. Ovaj generalizovani pristup, kako tvrde autori, omogućava modelovanje aktivnih komponenti koje osim pojačavačkih svojstava imaju i mogućnost čuvanja podataka.

Na sličan način, strujom kontrolisani mem-tranzistor n -tog reda je opisan jednačinama

$$\frac{dw}{dt} = f(w, i_g, i_d) \quad (2.56)$$

$$v_g = g(w, i_g, i_d) \quad (2.57)$$

$$v_d = h(w, i_g, i_d) \quad (2.58)$$

pri čemu su, dualno prethodnom slučaju, struje ulazne veličine, a naponi izlazne. Takođe autor u radu [Mou10] definiše i takozvane hibridne naponom i strujom kontrolisane mem-tranzistore kao:

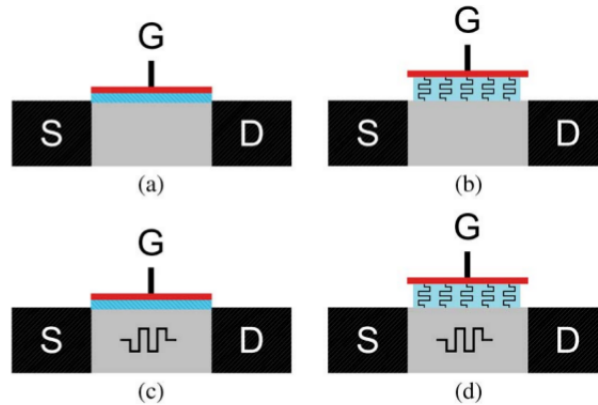
$$\frac{dw}{dt} = f(w, v_g, i_g) \quad (2.59)$$

$$v_d = g(w, v_g, i_g) \quad (2.60)$$

$$i_d = h(w, v_g, i_g). \quad (2.61)$$

Model mem-tranzistora za režim malih signala prikazan u [Mou10], je dobijen linearizacijom kao rezultat razvoja u red jednačina (2.53), (2.54) i (2.55), sa usvojenim fiksnim, jednosmernim, vremenski nepromenljivim naponom v_d . Laplasovom transformacijom dobijenog modela dobija se transkonduktansa mem-tranzistora, za koju su autori pokazali da je kompleksna veličina zavisna od frekvencije, koja se na visokim učestanostima svodi na transkonduktansu konvencionalnog tranzistora. Autori su takođe postavili i uslov za stabilnost DC radne tačke mem-tranzistora, nakon čega su pokazali da se određene savremene komponente mogu modelovati njihovim modelom mem-tranzistora. Prvi element za koji je pokazano da zapravo spada u klasu mem-tranzistora je uređaj sa elektronski kontrolisanom promenljivom otpornošću korišćen za simulaciju neurona, a prikazan u radu [Wid60]. Takođe, isto važi i za tranzistor sa plutajućim gejtom [DHMM96] koji mimikuje sinapse u aplikacijama adaptivnog učenja, posedujući mogućnost istovremenog čitanja i upisivanja podataka zahvaljujući injekciji i tunelovanju elektrona. Na kraju, tranzistor korišćen za simulaciju sinapsi, a opisan u [LZLSWC10] takođe spada u klasu komponenti koje se mogu modelovati kao mem-tranzistor definisan u [Mou10]. Ovaj sinaptički tranzistor, kako ga nazivaju autori, sastoji se od više slojeva hibridnih materijala integrisanih u gejtu konvencionalnog silicijumskog tranzistora, a u radu je pokazana funkcionalnost ovakvog hibridnog tranzistora i njena analogija sa funkcionalnošću sinapsi. Rezultati prikazani u radu [LZLSWC10] pokazuju da predstavljeni hibridni tranzistor zamenjuje složena elektronska kola mnogo većih dimenzija, što omogućava višestruko povećanje gustine pakovanja. Zahvaljujući tome, autori rada [LZLSWC10] ističu kako njihov sinaptički tranzistor omogućava kreiranje modela ljudskog mozga prihvatljivih fizičkih dimenzija, koji se sastoji od $\sim 10^{14}$ sinapsi.

U radu [SDML12] predstavljene su razne trokrajne i četvorokrajne savremene memristivne komponente koje imaju potencijal korišćenja kako u memorijama tako i u logičkim kolima. Kao primeri trokrajnih elemenata navedeni su elektrohemijski organski memristor predstavljen u [BECKEF09], nanometarski prekidač sa čvrstim elektrolitom [SBIKKMA05] i bipolarni FET sa Šotkijevom barijerom (SB) i silicijumskim nano-vlaknima (SiNW) (eng. *SB SiNW FET: Schottky Barrier with Si*



Slika 2.23 – Trokrajni elementi: a) konvencionalna FET struktura, b) mem-FET sa memristivnim dielektrikom u gejtju, c) mem-FET sa memristivnim kanalom, d) mem-FET sa memristivnim dielektrikom u gejtju i memristivnim kanalom (preuzeto iz [SDML12])

nanowires FET)[SBJCDML09, SBJCDML10, JCGADM09]. Kako je navedeno u [SDML12], trokrajni memristivni elementi su konstruisani modifikacijama osnovne konvencionalne FET strukture. Kod njih se memristivni efekat može kreirati na tri načina: inženjeringom dielektrika gejtja, konstruisanjem memristivnog kanala ili istovremenom primenom oba prethodna metoda, kao što je prikazano na slici 2.23.

Bipolarni SB SiNW FET, predstavljen u [SBJCDML10] spada u ovu treću kategoriju (prikazano na slici 2.23 d)) jer se kod njega memristivni efekat ostvaruje na dva načina: zarobljavanjem nosilaca naelektrisanja na Šotkijevom spoju metal-poluprovodnik, kao i na izolatorskom dielektriku gejtja. Efekat Šotkijevog spoja se manifestuje pojavom histerezisa u $i_d - v_{ds}$ ravni, kao posledica promena v_{ds} , ne samo u opsegu pozitivnih već i negativnih vrednosti napona. Drugi memristivni efekat je posledica naelektrisanja i razelektrisanja dielektrika gejtja, a ogleda se u histerezisu u $i_d - v_{gs}$ ravni kao posledica promena napona v_{gs} , pri konstantnom naponu v_{ds} . SBFET komponente, kako SiNW tako i poly-SiNW, su postale vrlo interesantne usled činjenice da omogućavaju veliku gustinu pakovanja, ali i mogućnost sprezanja sa standardnim CMOS komponentama putem hibridnih nano-CMOS ko-fabrikacija. U radu [SBJCDML10] su prikazane i njihove primene u memorijskim kolima koja gube sadržaj sa prestankom napajanja, kao i u RRAM (*Resistive Random Access Memory*) aplikacijama.

Četvorokrajni memristivni elementi predstavljeni u [SDML12] uvode dodatni gejt koji ima ulogu da kontroliše nosioce naelektrisanja, elektrone i šupljine, blokirajući jedne ili druge. Na taj način se kreira memristivni efekat, slično kao kod SB CNT FET (*Shottky Barrier Carbon Nano Tube FET*) opisanim detaljno u radu [AKBRSR08]. U radu [SDML12] su takođe predstavljena dva moda rada ovakvih četvorokrajnih elemenata: naponom kontrolisani četvorokrajni memristivni elementi i strujom kontrolisani četvorokrajni memristivni elementi. Na kraju, predstavljena je nekolicina potencijalnih primena ovakvih komponenti u aplikacijama koje obuhvataju logička kola, memorije i senzore.

2.9 Mem-elementi višeg reda

Periodni sistem mem-elemenata, uveden od strane Leona Chua-e i prikazan u [Tetz14, Chua03, Chua11], predstavlja generalizaciju teorije nelinearnih mem-elemenata višeg reda, a svoj naziv je dobio zahvaljujući sličnosti sa Mendeljejevim periodnim sistemom hemijskih elemenata. Sa ciljem da se svaki pojedinačni mem-element jednoznačno pozicionira u periodnom sistemu elemenata, najpre je uvedena notacija:

$$v^{(\alpha)}(t) = \begin{cases} \frac{d^\alpha v}{dt^\alpha}, & \alpha = 1, 2, \dots, \infty \\ v(t) & \alpha = 0 \\ \int_{-\infty}^t v(\tau) d\tau & \alpha = -1 \\ \int_{-\infty}^t \int_{-\infty}^{\tau_{|\alpha|}} \dots \int_{-\infty}^{\tau_2} v(\tau_1) d\tau_1 d\tau_2 \dots d\tau_{|\alpha|}, & \alpha = -2, -3, \dots, -\infty \end{cases} \quad (2.62)$$

za napon na elementu i , na sličan način, za struju elementa

$$i^{(\beta)}(t) = \begin{cases} \frac{d^\beta i}{dt^\beta}, & \beta = 1, 2, \dots, \infty \\ i(t) & \beta = 0 \\ \int_{-\infty}^t i(\tau) d\tau & \beta = -1 \\ \int_{-\infty}^t \int_{-\infty}^{\tau_{|\beta|}} \dots \int_{-\infty}^{\tau_2} i(\tau_1) d\tau_1 d\tau_2 \dots d\tau_{|\beta|}. & \beta = -2, -3, \dots, -\infty. \end{cases} \quad (2.63)$$

U gornjem zapisu α i β su celi brojevi. U skladu sa uvedenom notacijom, otpornik je označen sa $(v^{(0)}, i^{(0)})$, kondenzator sa $(v^{(0)}, i^{(-1)})$, kalem sa $(v^{(-1)}, i^{(0)})$ i memristor sa $(v^{(-1)}, i^{(-1)})$. Takođe, korišćenjem ove notacije, moguće je opisati beskonačnu familiju elemenata $(v^{(\alpha)}, i^{(\beta)})$ što se jednostavnije zapisuje kao (α, β) .

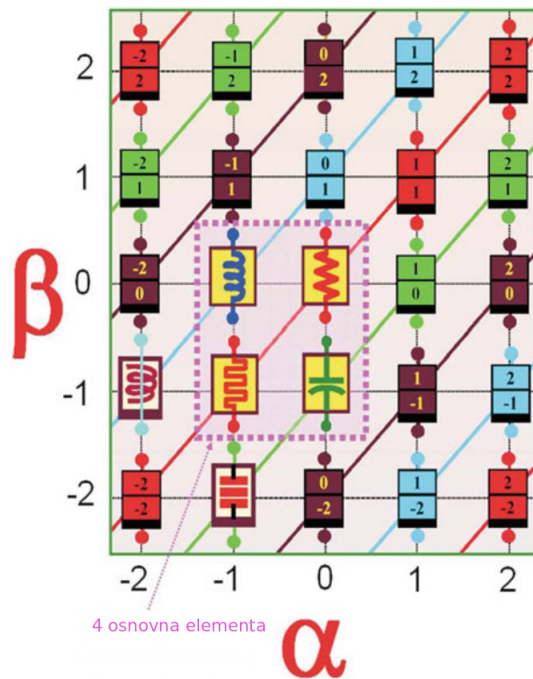
Prvih 25 elemenata prikazani su na slici 2.24, na kojoj su četiri fundamentalna elementa označena isprekidanom linijom. Mem-kondenzator se nalazi na “poziciji” $(-1, -2)$, dok se mem-kalem nalazi na $(-2, -1)$ i predstavljeni su preko svojih simbola. Kako je navedeno u [Tetz14], teško je očekivati da će se elementi sa $|\alpha| > 2$ i $|\beta| > 2$ pojavljivati u praksi, ali uvedeni periodni sistem svakako upotpunjuje i unificira teoriju nelinearnih elemenata. Chua takođe tvrdi da su svi elementi kod kojih je zadovoljeno $|\alpha| + |\beta| > 2$ aktivni, u smislu da njihova konstrukcija podrazumeva korišćenje aktivnih komponenti (npr. tranzistora ili operacionih pojačavača) koje zahtevaju adekvatne izvore energije. U radu je uvedena i takozvana metrika kompleksnosti u periodnom sistemu elemenata za element (α, β) kao

$$\chi \triangleq |\alpha| + |\beta|. \quad (2.64)$$

Kao primer, za otpornik je $\chi = 0$, za kondenzator i kalem $\chi = 1$, dok je za memristor $\chi = 2$. Osim što prikazuje “udaljenost” nekog elementa od otpornika u koordinatnom sistemu elemenata (pri čemu je dozvoljeno samo horizontalno i vertikalno kretanje), metrika kompleksnosti predstavlja i minimalan broj kondenzatora odnosno kalema neophodnih da bi se dati element napravio uz dodatak standardnih komponenti. Na primer, jedan kondenzator uz aktivne komponente (tranzistore, operacione pojačavače, ...) je dovoljan da bi se napravio memristor, dok je za mem-kalem potrebno dva kondenzatora. Sa stanovišta teorije kola, povećanjem metrike kompleksnosti, povećava se i dimenzija prostora stanja

odnosno povećava se broj nelinearnih diferencijalnih jednačina koje taj element opisuju.

U radu [Chua03] Chua je definisao četiri kategorije električnih elemenata zavisnih od frekvencije, pri čemu svaka može biti reprezentovana proizvoljnim elementom iz te kategorije. Stoga, Chua za reprezentante svojih kategorija usvaja: otpornik $(0,0)$, kalem $(-1,0)$, kondenzator $(0,-1)$ i otpornik sa negativnom otpornošću najnižeg reda $(-2,0)$. Ove četiri kategorije električnih elemenata prikazane su na slici 2.24, a čine ih elementi koji se nalaze na “istobojnim” dijagonalama (crvenoj, plavoj, zelenoj i smeđoj). Za proizvoljan element (α, β) i $k \in \mathbb{Z}$, elementi $(\alpha + 4k, \beta)$, $(\alpha, \beta + 4k)$ i $(\alpha + k, \beta + k)$ pripadaju istoj kategoriji kao i element (α, β) . Zahvaljujući ovoj trostrukoj periodičnosti, *čtvoroelementni torus* po čijoj su površini “uvijena” četiri reprezentativna elementa kategorija (predstavljen od strane Chua-e u radu [Chua03]), sadrži iste informacije kao i periodni sistem električnih elemenata prikazan na slici 2.24, budući da se iz ova četiri reprezenta mogu izvesti svi preostali električni elementi periodnog sistema elemenata.



Slika 2.24 – Periodni sistem mem-elemenata (prvih 25) (preuzeto iz [Tetz14])

Glava 3

Digitalna kola sa mem-elementima

O ovoj glavi će biti dat pregled digitalnih kola baziranih na memristorima i mem-elementima. Najpre će biti prikazane razne familije logičkih kola baziranih na memristorima i već poznatim logičkim arhitekturama (PLA, FPGA,...). U nastavku će biti analizirana sekvencijalna logička kola bazirana na mem-elementima, pre svega osnovno kolo sa dva memristora u *stateful logic* topologiji, kao i njegove modifikacije. Termin “sekvencijalna” u nazivu ove familije logičkih kola se odnosi na način izračunavanja Bulovih funkcija koji se vrši dovođenjem sekvenci pobudnih signala na ulaz kola. Ova kola ne trebaju biti poistovećena sa standardnim sekvencijalnim kolima u digitalnoj elektronici (kola bazirana na flip-flopovima i Bulovim kombinacionim kolima). U trećem poglavlju će biti prikazana memorijska kola sa mem-elementima. Očekuje se da će ova kola vrlo brzo postati alternativna kola savremenim memorijama (FLASH, RAM,...), obzirom da omogućavaju znatno veću gustinu pakovanja, uz uštedu u energiji. Stoga, u dostupnoj literaturi postoji mnoštvo naučnih radova u kojima se analiziraju i optimizuju kola za upis i čitanje memorija baziranih na mem-elementima, uz optimizaciju potrošnje i uvećavanje broja logičkih stanja sa ciljem uvećanja kapaciteta memorije. Na kraju glave, biće predstavljen novi pristup “masovne paralelizacije” kod kola baziranih na mem-elementima. Osim predstavljanja koncepta paralelne obrade podataka, novi pristup potencijalno omogućava procesiranje i skladištenje podataka na istoj lokaciji i na taj način rešava problem “memorijskog zida” Von Neumann-ove arhitekture.

3.1 Digitalna logička kola sa memristorima

Upotreba memristora i memristivnih komponenti u gusto pakovanim programabilnim logičkim kolima prikazana je u [RRMKP12]. Osim analize primene memristora u logičkim kolima, u radu su prikazani i CAD alati za mapiranje željene funkcionalnosti na hibridne CMOS-memristivne programabilne komponente.

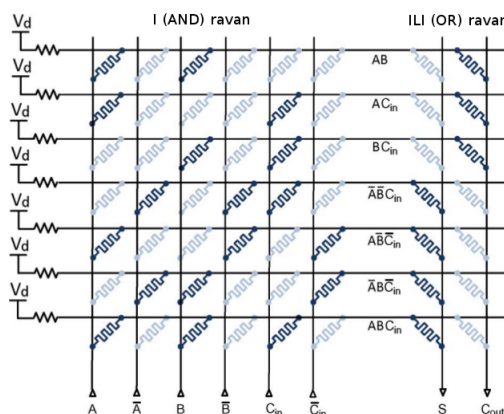
PLA topologije bazirane na *rešetkastim* strukturama, bile su interesantne istraživačima znatno pre fabrikacije memristora [Sni05], pri čemu su se na mestu spojeva koristili takozvani rezistivni prekidači, po karakteristikama potpuno ekvivalentni memristorima i memristivnim komponentama. Pojavom memristora, javila se i mogućnost korišćenja istih na mestu prekidača na spojevima nanometarskih rešetkastih struktura u PLA topologiji. Kao što je već ranije saopšteno, HP istraživačkoj grupi Stanley Williamsa, jedna od osnovnih motivacija u istraživanju, bila je

upravo ideja fabrikacije kvalitetnih prekidača koji će biti korišćeni u nanometarskim rešetkastim programabilnim strukturama. Ove strukture su vremenom izgubile na značaju pojavom, pre svega, brzih logičkih kola. Ipak, nastankom memristora, one opet postaju atraktivne obzirom da omogućavaju veliku gustinu pakovanja i jednostavnu fabrikaciju.

Predstava Bulovih funkcija u formi sume proizvoda (ili disjunktivnoj normalnoj formi) je najadekvatnija za implementaciju korišćenjem PLA strukture koja se sastoji iz dve “ravni”: *I* i *ILI* ravni. Prva ravan je zadužena za kreiranje proizvoda (konjunkcija) koje će se koristiti u konačnom izrazu, dok je druga zadužena za kreiranje sume (disjunkcija) prethodno kreiranih proizvoda. Na slici 3.1 je prikazano kolo punog sabirača realizovano korišćenjem MPLA (*Memristive PLA*) strukture sa memristorima kao prekidačkim elementima. Na slici su memristori u uključenom stanju (sa memristansom R_{ON}) prikazani tamnijom bojom, dok su isključeni memristori (sa memristansom R_{OFF}) svetliji. Kada govorimo o *I* ravni, veze se formiraju između kolona koje predstavljaju ulaze Bulovog kola. Na primer, u poslednjoj vrsti na slici 3.1, memristori u uključenom stanju rezultuju proizvodom ABC_{in} . Na sličan način, veze u *ILI* ravni definišu proizvode koji ulaze u sumu za svaki od izlaznih signala. Obzirom da se memristori ovde isključivo koriste kao prekidači koji mogu da se nalaze u jednom od dva stanja, ideja je da se prilikom fabrikacije nanometarskih rešetkastih struktura oni umeću na mesta presečnih tačaka i na taj način formiraju PLA strukturu klasičnog *I-ILI* tipa.

Glavna prednost korišćenja memristora na mestu spojeva, ogleda se u činjenici da su strukture bazirane na memristorima programabilne, što podrazumeva jednostavno reprogramiranje memristansi odgovarajućih memristora u slučaju potrebe implementacije neke druge, proizvoljne, Bulove funkcije. Važno je napomenuti, a na tu činjenicu skreću pažnju i autori u [RRMKP12], da ovakva primena memristora podrazumeva dva diskretna stanja memristanse memristora, R_{ON} i R_{OFF} , za koje važi $R_{ON} \ll R_{OFF}$. Sva “međustanja” u pogledu memristanse, u kojima se mogu naći memristori, sa stanovišta ove aplikacije su neprihvatljiva.

Problem koji se javlja kod ovakve strukture, a zapravo je problem prisutan kod svih modifikacija PLA strukture, jeste degradacija signala koja je rezultat pada napona na memristorima koji se nalaze u čvorovima PLA rešetke. Ovaj problem značajno utiče na dimenzije MPLA strukture, ali takođe onemogućava kaskadiranje ovakvih struktura sa ciljem implementacije kompleksnijih Bulovih funkcija.



Slika 3.1 – MPLA struktura

Da bi se ovaj problem rešio, neophodno je dodavanje kola koja vrše restauraciju signala, a autori u [RRMKP12] preporučuju upotrebu takozvanih *Goto* parova [CJLPWHS01, RM07] u MPLA strukturama, obzirom da se oni mogu fabrikovati u nano-tehnologiji. *Goto* par se sastoji od dva elementa sa negativnom diferencijalnom otpornošću (najčešće tunnel dioda). Ova dva elementa, povezana serijski, obezbeđuju dva stabilna stanja na izlazu i na taj način ovo kolo vrši restauraciju degradiranih naponskih nivoa signala.

Problem koji se takođe pojavljuje kod ovakvih PLA struktura sa memristorima, nastaje usled takozvanih “puzajućih” struja. Efekat ovih neželjenih struja se manifestuje izlaznim naponom zavisnim od *svih* ulaznih signala, a ne samo onih koji u tom trenutku treba da učesvuju u formiranju izraza Bulove funkcije koja se izračunava. Ovo je posledica činjenice da su svi signali na isti način, preko memristora (od kojih su neki manje a neki veće memristanse) spojeni na zajedničke linije (I i ILI ravni). Ovaj efekat dodatno ograničava dimenzije MPLA struktura.

Osim degradacije signala i problema “puzajućih” struja, rad sa programabilnim strukturama ovog tipa zahteva kvalitetno demultipleksiranje sa ciljem adresiranja pojedinačnih spojeva na mestima preseka linija u okviru matrične PLA strukture. Dodatan problem predstavlja činjenica da bi ovakav demultiplekser trebao biti imun na defekte nastale u fabrikaciji nanometarskih struktura, koji su relativno česta pojava. Jedno od mogućih rešenja ovog problema predstavljeno je u radu [LPSOLWW08]. U ovom radu je predstavljen demultiplekser nanometarskih dimenzija, kod koga se memristori koriste za dekodovanje adresnih i generisanje izlaznih signala. Predložena struktura koristi redundantne adresne linije i teoriju kodovanja u cilju implementacije robusnog demultipleksera, kod koga se funkcija kola uspešno izvršava i u slučajevima defekata memristivnih komponenti. Korišćenjem $[n, k, d]$ linearnog koda sa minimalnim Hemingovim rastojanjem¹ d , generisane su “kodovane” adrese sa d redundantnih bita. U radu [LPSOLWW08] je demonstrirano kako se uspešno dekoduju ulazne adrese “kodovane” na ovaj način, čak i u slučaju $d-1$ prisutnih defekata po liniji.

Drugu familiju memristivnih logičkih kola, takođe opisanu u radu [RRMKP12], čine takozvana *logička kola sa pragom* (eng. *Threshold logic circuits*) i *memristivnim sinapsama*. Nastanak ovih kola je bio motivisan činjenicom da se memristor sa svojom promenljivom otpornošću (memristansom) slično ponaša kao i sinapse u neuralnim mrežama. Prvi primer ovakvih kola jesu takozvana Bulova kola sa većinskim odlučivanjem (engl. *Majority Threshold logic circuits*). Kod ovih kola sa n ulaza i jednim izlazom, vrednost izlaza je jednaka logičkoj nuli kada je vrednost $\frac{n}{2}$ ili više ulaznih promenljivih logičko “0”, a logičko “1” u suprotnom. Ukoliko se memristori koriste za realizaciju ovih kola, informacija se prenosi putem struja, koje protiču kroz memristore, pri čemu je struja svakog od memristora ustvari određena njegovom trenutnom memristansom (koja može biti R_{ON} i R_{OFF}). Spajanjem jednog kraja svih memristora u zajedničku tačku, struje memristora se sumiraju kao direktna posledica strujnog Kirhofovog zakona. Ova zbirna struja, određena vrednostima ulaznih memristansi se vodi na komparator (npr. strujni komparator ili *Goto* par) i poredi sa pragom odlučivanja. Na osnovu poređenja,

1. Hemingovo rastojanje (engl. *Hamming distance*) između bit-vektora a i b , iste dužine, je jednako broju bitskih pozicija na kojima se bit-vektori a i b razlikuju. Drugim rečima, Hemingovo rastojanje među njima jednako je broju jedinica u izrazu $a \oplus b$, gde je \oplus oznaka za binarnu operaciju ekskluzivno ILI.

kolo na izlazu daje logičku vrednost u skladu sa logičkim vrednostima većine ulaznih promenljivih, odnosno logičko “0” u slučaju kada je na ulazima jednak broj logičkih “0” i logičkih “1”.

Drugi primer logičkih kola sa pragom i memristivnim sinapsama su takozvani programabilni većinski logički nizovi (eng. *Programmable Majority Logic Arrays*, PMLA). Podrazumevajući da je moguće fabrikovati *Goto* par u nano-tehnologiji, korišćenjem memristora, moguće je napraviti veoma gusto pakovanu PMLA strukturu prikazanu na slici 3.2, a detaljno opisane u [RM10, RM07]. Kao što se može videti sa slike 3.2, memristori su povezani na odgovarajuće ulaze kola jednim svojim krajem, a na ulaze *Goto* para (na slici predstavljen kao leč kolo) drugim krajem. Pošto se memristansa memristora može programirati, samo memristori koji su u stanju niske memristanse će uticati na izlaz odgovarajućeg leč kola na čiji su ulaz spojeni. Imajući ovo u vidu, kada govorimo o prve četiri vrste (označene sa R_0 - R_3) kola sa slike, odgovarajuće funkcije koje su implementirane memristorima i leč kolom sa takt signalom *Clock1* su

$$R_0 = Maj(A, B, C_{in})$$

$$R_1 = Maj(\bar{A}, \bar{B}, \bar{C}_{in})$$

$$R_2 = Maj(A, B, \bar{C}_{in})$$

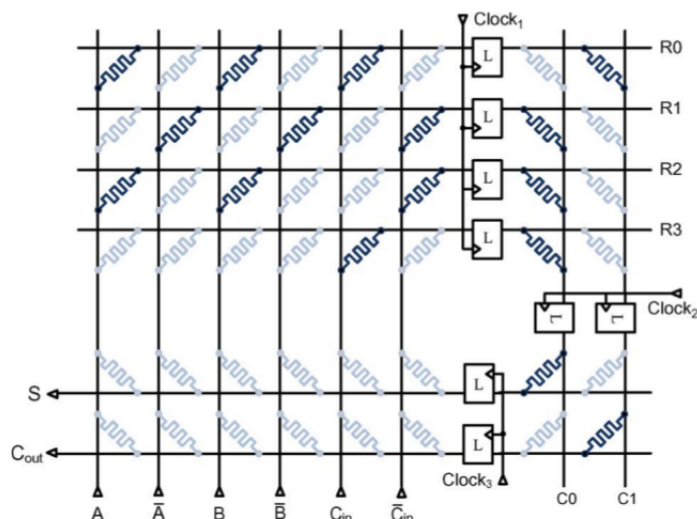
$$R_3 = Maj(C_{in})$$

gde $Maj(a, b, c)$ predstavlja *majority* funkciju ulaznih promenljivih a, b, c , definisanu kao

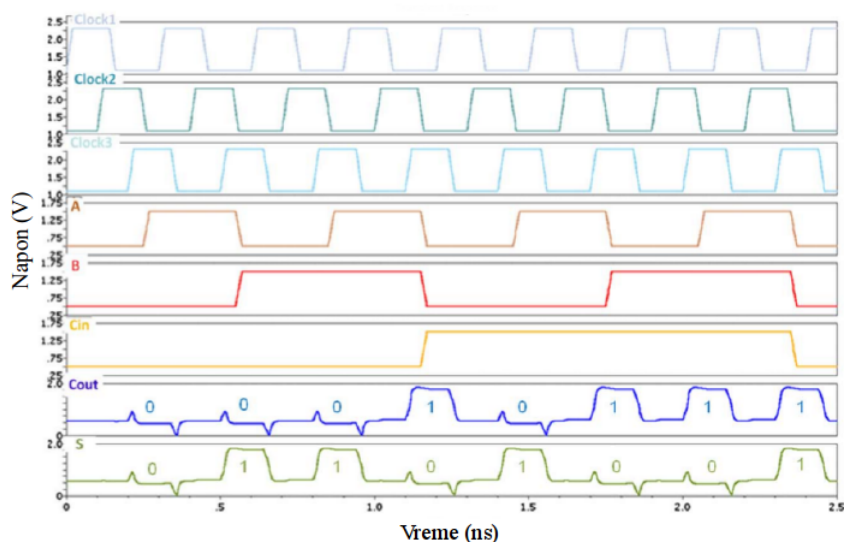
$$Maj(x_1, \dots, x_n) = \left\lfloor \frac{1}{2} + \frac{(\sum_{i=1}^n x_i) - \frac{1}{2}}{n} \right\rfloor. \quad (3.1)$$

U definiciji *majority* funkcije (3.1) u brojiocu razlomka se pojavljuje umanjilac $-\frac{1}{2}$ čija je uloga da obezbedi logičku vrednost funkcije “0” u slučajevima kada je jednak broj logičkih jedinica i nula na ulazima. Očigledno je da R_0 predstavlja zapravo C_{out} izlaz punog sabirača, te je stoga jedino R_0 spojen na ulaz leč kola sa takt signalom *Clock2* koji generiše na svom izlazu signal C_1 . Ovaj signal se dalje direktno povezuje na ulaz leč kola sa takt signalom *Clock3* i na izlazu generiše C_{out} . Preostala tri interna signala R_1, R_2 i R_3 se koriste kako bi na sličan način generisali izlaz $S = Maj(R_1, R_2, R_3)$ koji predstavlja sumu jednobitnog punog sabirača. Na slici 3.3 se vide talasni oblici ulaznih i izlaznih signala jednobitnog punog sabirača, sa kojih se može primetiti da izlazi postaju validni tek kada *Clock3* postane aktivan.

U radu [RRMKP12] su takođe prikazane i takozvane hibridne strukture koje u sebe osim memristivnih uključuju i CMOS komponente. Potrebu za ovakvim komponentama autori vide u činjenici da su kola sa negativnom diferencijalnom otpornošću, potrebna za restauraciju degradiranih signala, veoma teška za fabrikaciju u nano-tehnologijama. U radu, autori prikazuju dve familije ovakvih hibridnih kola: CSTG (*Charge Sharing Threshold Gates*) i CMTG (*Current Mirror Threshold Gates*). Obe familije kola zapravo spadaju u *Threshold Logic* kola, sa različitim mehanizmom mimike neuralnih mreža. Kod CSTG kola, ulazni napon je određen vrednošću memristanse ulaznog memristora korišćenjem jednostavnog naponskog razdelnika. Ovaj napon se dalje vodi direktno na ulaz tranzistora, tako da se svaki ulazni signal vodi na poseban tranzistor. Uloga ovih tranzistora je



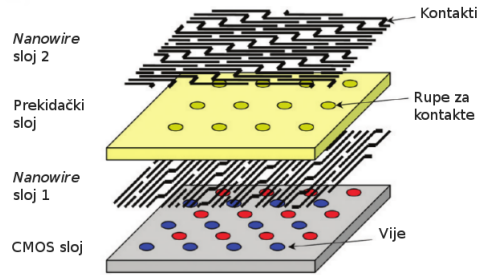
Slika 3.2 – PMLA struktura punog sabirača (preuzeto iz [RRMKP12])



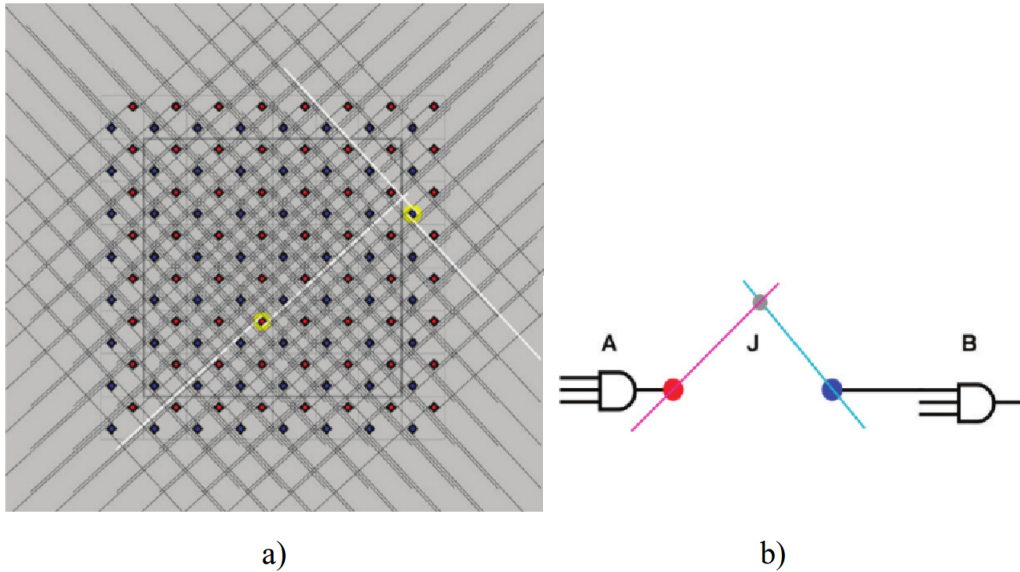
Slika 3.3 – Talasni oblici ulaza i izlaza jednobitnog punog sabirača implementiranog PMLA kolom (preuzeto iz [RRMKP12])

dvostruka: osim pojačanja ulaznih signala zavisnih od memristansi memristora, ovi tranzistori obezbeđuju i sumiranje vrednosti ulaznih napona. Sumiranje se vrši punjenjem i pražnjenjem interne parazitne kapacitivnosti zajedničkog spoja svih tranzistora, a logički izlaz kola direktno zavisi od količine naelektrisanja sadržane u parazitnim kapacitivnostima. Kod CMTG topologije zbir struja koje protiču kroz memristore, dobijen korišćenjem strujnih ogledala, se poredi sa referentnom vrednošću struje, dok se na izlazu kola generiše logička vrednost u skladu sa tim da li je dobijeni zbir struja manji ili veći od referentne struje. Ova kola su, originalno prezentovana u radu [RMKR10] gde su autori detaljno analizirali i potrošnju energije, zauzetu površinu kao i kašnjenje signala kod ovih kola.

Kada govorimo o hibridnim mem-CMOS strukturama, još jedna takva struktura je prikazana i analizirana u radu [KWSKWF12]. U ovoj hibridnoj strukturi, memristori sa svojim programabilnim memristansama su zaduženi za izračuna-



Slika 3.4 – Hibridna mem-CMOS FPGA struktura (preuzeto iz [XRCBCYW09])



Slika 3.5 – a) Pogled odozgo na hibridnu mem-CMOS FPGA strukturu; b) Način povezivanja logičkih kola u hibridnoj mem-CMOS FPGA strukturi (preuzeto iz [XRCBCYW09])

vanje Bulove funkcije od interesa, dok CMOS deo kola služi za restauraciju degradiranih signala i obezbeđuje kompatibilnost sa CMOS familijom logičkih kola. Kod ovih kola, promenljive stanja sistema su napon, što rešava problem konverzije memristanse u napon ili struju kod topologija gde je promenljiva stanja predstavljena memristansom komponente. U radu [RRMKP12] je izvršena detaljna analiza dizajna ovakvih kola, a koncept je demonstriran na primeru 8-bitnog punog sabirača.

Kod hibridne memristivne-CMOS komponente prikazane u [BLSLOWW09], memristori se koriste za izračunavanje Bulove funkcije od interesa, zatim za povezivanje FET tranzistora koji se koriste u procesu izračunavanja i, na kraju, za smeštanje dobijenih rezultata. Sa druge strane, FET tranzistori se koriste za restauraciju signala i invertovanje logičkih nivoa, a autori su takođe u radu pokazali da ovakva hibridna struktura ima mogućnost samo-programiranja. Na primeru jednostavne Bulove funkcije 4 ulazne promenljive, autori su demonstrirali rad kola, a prikazan je i uticaj frekvencije ulaznih signala na rad kola.

Posebna klasa Bulovih logičkih kola baziranih na memristorima su kola sa FPGA strukturom. U [WJB10] autori su prikazali mFPGA rekonfigurabilnu strukturu koja se sastoji od takozvanih 1M1T ćelija. 1M1T ćelija se sastoji od jednog

memristora i jednog tranzistora čija je uloga upisivanje i čitanje stanja memristora. Zamenjivanjem logičkih, konfiguracionih i prekidačkih blokova, kao i SRAM blok memorije standardnih FPGA kola, blokovima koji sadrže 1M1T komponente, autori su u radu pokazali da rezultujuća mFPGA pokazuje znatno bolje performanse ne samo u pogledu površine kola, već i potrošnje energije. U radu je takođe pokazano da se još veća ušteda može postići takozvanom 3D mFPGA strukturom. Obzirom da njihova mFPGA ima istu strukturu kao i konvencionalne FPGA strukture, autori u [WJB10] takođe zaključuju da je za sintezu kola na novoj hibridnoj mFPGA platformi moguće koristiti sve postojeće CAD alate za FPGA kola.

U radu [XRCBCYW09] autori su prikazali prvu fabrikovanu hibridnu CMOS FPGA strukturu. Nova struktura je bazirana na FPNI strukturi predstavljenoj od strane istih autora u [SW07], i predstavlja poboljšanje CMOL strukture [SL05]. Autori u [XRCBCYW09] razdvajaju CMOS domen logičkih kola od konfiguracionog i rutirajućeg sloja implementiranog memristivnim elementima u rešetkastoj strukturi [YPLOSW08]. Memristori se, po tvrdjenju autora, pokazuju kao idealni za ovu svrhu jer zamenjuju nekolicinu tranzistora u konfiguracionim i rutirajućim blokovima standardnih FPGA kola (konfiguracioni flip-flop i multiplekser za rutiranje podataka). Dodatna prednost koju dobijamo korišćenjem memristora leži u činjenici da se memristor može koristiti kao vremenski nepromenljiva memorija koja zadržava svoje stanje i nakon isključenja napajanja/energije. Uz to, adekvatnim kolom za detektovanje defekata uz poboljšanu kontrolnu logiku, redundantne memristivne putanje u rešetkastoj strukturi omogućavaju znatno pouzdaniju funkcionalnost uređaja u pogledu tolerancije otkaza, u poređenju sa standardnim FPGA kolima. Autori su u radu pokazali da nova hibridna FPGA struktura pokazuje znatnu uštedu površine/prostora, uz približno iste performanse u pogledu brzine i disipacije energije, čak i u slučajevima do 20% defektnih komponenti.

Konceptualni prikaz hibridne FPGA strukture prikazan je na slici 3.4. Volframske vije svrstane u dve grupe (X i Y) su postavljene kao interfejs CMOS komponenti ka rutirajućem sloju sa memristorima. Dva sloja nanometarskih veza zajedno sa memristivnim prekidačkim slojem u "sendviču" čine memristivnu rešetkastu matricu. Na slici 3.5 a) je prikazan pogled od gore na nano-ožičenu strukturu sa memristorima. Nano-žice povezane sa volframskim vijama iz grupe X su normalnog pravca u odnosu na one povezane sa vijama iz grupe Y. Na svakoj poziciji na kojoj se preklapaju ove ortogonalne veze nalazi se memristor, koji prevođenjem u stanje niske memristanse omogućava povezivanje dve logičke komponente. Kao primer, na slici 3.5 b) se vidi kako se izlaz logičkog kola A vodi na ulaz logičkog kola B, dovođenjem memristora J u R_{ON} stanje niske memristanse.

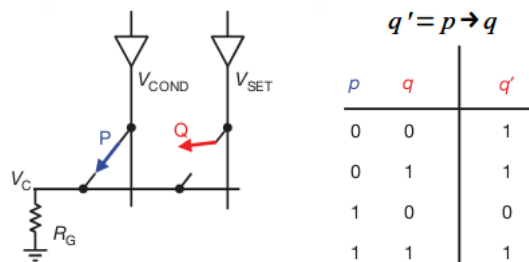
U postojećoj literaturi postoje brojne strukture bazirane na konceptu konfigurabilnih FPGA kola, koje ne sadrže memristore ni memristivna kola, pre svega iz razloga što u trenutku kada su ti radovi objavljeni, memristor još nije bio fabrikovan, već je samo postojao kao teorijski koncept. U ta kola spadaju CMOL [SL05], 3D-CMOL [TLW07], FPNI [SW07], rFPGA [MW08], 3D nFPGA [DCHW07] i FPCNI [DCHW07]. Ipak, određeni elementi u tim kolima bi mogli biti zamenjeni mem-komponentama, što bi u najmanju ruku rezultovalo istim, a u većini slučajeva poboljšanim karakteristikama i performansama. Stoga su ovde navedena i ta kola, iako se u radovima o njima ne spominju niti memristori niti, uopšteno, mem-elementi.

3.2 Sekvencijalna logička kola sa memristorima

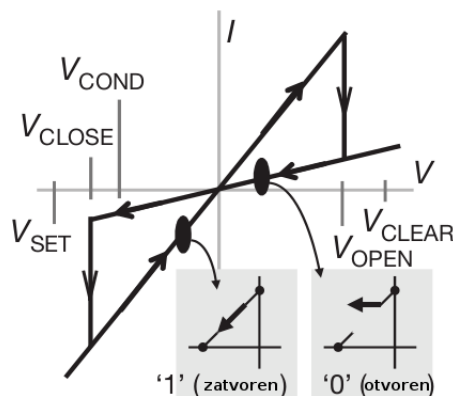
Posebna klasa digitalnih logičkih kola sa memristorima, kod kojih se izračunavanje proizvoljne Bulove funkcije vrši generisanjem sekvenci pobudnih naponskih signala, nazivaju se *sekvencijalna memristivna Bulova logička kola*. Ovde je važno napomenuti da ova kola ne treba poistovetiti sa sekvencijalnim kolima u digitalnoj elektronici, jer je ovde termin “sekvencijalna” uveden da bi se akcenat stavio na generisanje *vremenske sekvence* pobudnih signala koja obezbeđuje željenu funkciju logičkog kola. Kao što će se videti u ovom poglavlju, ova kola su minimalnih dimenzija (u osnovnoj topologiju dovoljna su dva memristora), ali se nauštrb toga povećava vreme neophodno da bi se izračunala proizvoljna Bulova funkcija, za razliku od drugih topologija i kola kod kojih se izlaz kola generiše trenutno nakon promene ulaznih signala (ako zanemarimo propagaciju signala u kolima).

Stateful logic sekvencijalna memristivna logička kola su prvi put prikazana u radu [BSKYSW10], gde je pokazano da se operacija Bulove logičke implikacije, sa simbolom \rightarrow (za koju važi identitet $p \rightarrow q \equiv \bar{p} \vee q$) može realizovati korišćenjem memristora. Ovaj rezultat dobija na posebnom značaju usled činjenice da je $\{\rightarrow, false\}$ jedna od baza Bulove algebre. Whitehead i Russell u radu [RW12] su predstavili četiri fundamentalne logičke operacije, od kojih je jedna bila upravo operacija logičke implikacije. Nakon što je 1937. godine, više od 10 godina pre otkrića tranzistora, Claude Shannon u okviru svog master rada [Sha37] postavio osnove digitalne elektronike, tri Bulove operacije (AND, OR, NOT) su izbile u prvi plan, ostavljajući implikaciju pomalo “zapostavljenom”. Shannon je u svom radu opisao kako se logičke operacije AND i OR mogu implementirati jednostavnim kolima kod kojih su dva prekidača vezana serijski (za OR operaciju), odnosno paralelno (za AND operaciju). Dodavajući unarnu NOT operaciju, Shannon je pokazao da se ovim malim skupom elektronskih komponenti može izračunati proizvoljna Bulova logička funkcija, tj. pokazao je da AND, OR i NOT operacije predstavljaju kompletan (mada preopširan) skup operacija u Bulovoj algebri. Ovaj rezultat imao je značajne posledice na razvoj i fabrikaciju logičkih kola u godinama koje su dolazile. Na sličan način, sa nastankom novih, savremenih tehnologija i zahvaljujući rezultatima objavljenim u radu [BSKYSW10], operacija logičke implikacije se pokazala kao ponovo interesantna, budući da je bila adekvatna za implementaciju u memristivnim kolima.

Osnovno kolo *stateful logic* topologije prikazano je na slici 3.6, a idealizovana strujno-naponska (odnosno prekidačka) karakteristika memristora na slici 3.7. Kako je navedeno u radu [BSKYSW10], memristor menja svoju otpornost



Slika 3.6 – “Stateful logic” kolo (preuzeto iz [BSKYSW10])



Slika 3.7 – Idealizovana strujno-naponska karakteristika memristora (preuzeto iz [BSKYSW10])

(memristansu) sa niske na visoku vrednost ukoliko se na njegove krajeve dovede pozitivan napon amplitude veće od V_{OPEN} (na slici je ovaj pozitivan napon označen sa V_{CLEAR}) u trajanju $t_{PULSE} = 2\mu s$. Isto kao i u slučaju promene memristanse sa niske na visoku vrednost, negativan napon dovoljno velike amplitude, po apsolutnoj vrednosti veći od V_{CLOSE} , i dovoljno dugog trajanja, promeniće memristansu memristora sa visoke vrednosti na nisku, tj. u terminima prekidačkih svojstava, zatvoriće prekidač. U radu [BSKYSW10] autori su stanje niske memristanse (kada se memristor ponaša kao zatvoren prekidač) označili stanjem logičke “1”, dok su stanje otvorenog prekidača u kome memristor ima veliku memristansu označili stanjem logičke “0”.

Ovde treba napraviti malu digresiju u vezi sa trajanjem pobudnog impulsa. Karakteristika prikazana na slici 3.7 nije DC karakteristika, već, kako je posebno naglašeno u glavi 2, zavisi od frekvencije i amplitude pobudnog signala. Usled toga, kao što je i ranije zaključeno, karakteristika sa slike 3.7 ne može da se koristi kao model, već se kao model mora koristiti isključivo karakteristika koja prikazuje zavisnost $q = q(\varphi)$ ili zavisnost $M = M(\varphi)$. Kao posledica, fluks određuje memduktansu kod naponom kontrolisanog memristora, te stoga trajanje primenjenog napona ima dominantan uticaj, obzirom da je fluks zapravo jednak integralu napona. Dakle, ne postoji naponski “prag” koji će dovesti do promene stanja memristora: ukoliko naponski impuls amplitude V_{CLEAR} i širine $t_{PULSE} = 2\mu s$ prevodi memristor u stanje visoke memristanse, za istu promenu stanja memristora bilo bi potrebno samo više vremena ukoliko bi se koristio naponski impuls istog polariteta a manje amplitude. U nastavku teksta, podrazumevaće se da svi naponski impulsi koji se koriste za pobudu memristora u *stateful logic* kolu (V_{CLEAR} , V_{SET} i V_{COND}), imaju jednako trajanje $t_{PULSE} = 2\mu s$.

Kod *stateful logic* kola prikazanog na slici 3.6, memristori P i Q su spojeni jednim krajem na otpornik R_G , koji je svojim drugim krajem spojen na masu. Stanja memristora P i Q su u daljem tekstu predstavljena preko odgovarajućih logičkih promenljivih p i q . Gornji krajevi memristora spojeni su na izlaze *tri-state* naponskih drajvera, koji se nalaze u stanju visoke impedanse u trenucima kada se ne čita i ne upisuje novo stanje memristora. Za oba memristora važi da se mogu postaviti u stanje logičke “1” tako što se na izlaz odgovarajućeg *tri-state* drajvera dovede naponski impuls V_{SET} . Zbog kompenzacije napona na otporniku R_G , neophodno je

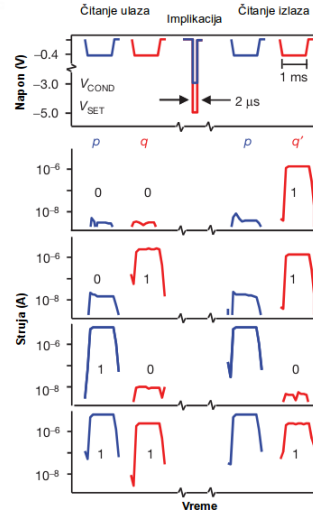
da amplituda V_{SET} po apsolutnoj vrednosti bude veća od V_{CLOSE} . Na sličan način, oba memristora se mogu prevesti u stanje logičke “0” dovođenjem naponskog impulsa V_{CLEAR} na izlaze odgovarajućih drajvera, pri čemu amplituda V_{CLEAR} mora biti veća po apsolutnoj vrednosti od V_{OPEN} . Negativan naponski nivo V_{COND} je po apsolutnoj vrednosti manji od V_{CLOSE} , te samim tim pobuđivanje memristora naponskim impulsom V_{COND} neće izazvati promenu stanja memristora na logičko “1”.

Kolo sa slike 3.6 izvršava operaciju logičke implikacije ulaznih promenljivih pod uslovom da je zadovoljeno $R_{ON} < R_G < R_{OFF}$. Ključan mehanizam za izračunavanje Bulove implikacije je takozvano *kondicionalno* prekidačko svojstvo opisano prvobitno u [KSW04] na slučaju leč kola kod rešetkastih struktura. Operacija implikacije $q = p \rightarrow q$, nakon koje se rezultat operacije upisuje u Q memristor dok se stanje P memristora ne menja, vrši se istovremenim dovođenjem naponskih impulsa V_{SET} na memristor Q i V_{COND} na memristor P . Dovođenjem naponskog impulsa V_{SET} na memristor Q u stanju $q = 0$, bez pobudnog impulsa dovedenog na memristor P , memristor Q bi prešao u stanje $q = 1$. Međutim, istovremenim dovođenjem naponskih impulsa V_{SET} i V_{COND} , prelazak memristora Q iz stanja $q = 0$ u stanje $q = 1$ će zavisiti od stanja memristora P u trenutku generisanja impulsa. Kada je $p = 0$ u trenutku generisanja naponskih impulsa, za otpornik R_G odabran tako da je $R_G \ll R_{OFF}$, potencijal zajedničke tačke će biti $V_C \approx 0V$ (naravno negativan zbog negativnog napona V_{COND}), a uključenje memristora Q će se desiti ukoliko je $|V_{SET} - V_{CLOSE}| > |V_C|$. Slično, za otpornik R_G odabran tako da je $R_G \gg R_{ON}$, potencijal zajedničke tačke će biti $V_C \approx V_{COND}$ kada je $p = 1$ u trenutku dovođenja naponskih pobudnih impulsa. Tada, obzirom da je trajanje pobudnih impulsa $t_{PULSE} = 2\mu s$, rezultujući napon na memristoru Q neće dovesti do promene njegovog stanja sa $q = 0$ na $q = 1$, sve dok je zadovoljeno $|V_{SET} - V_{COND}| < |V_{CLOSE}|$. U skladu sa ovom analizom, za memristore sa manjim odnosom graničnih memristansi $\frac{R_{OFF}}{R_{ON}}$, potrebno je koristiti pobudne impulse sa većim apsolutnim vrednostima amplituda, da bi se zadržale iste performanse u pogledu brzine rada kola. Ukoliko bi se zadržali naponski nivoi korišćeni u slučaju pobude memristora sa većim odnosom $\frac{R_{OFF}}{R_{ON}}$, potrebno je produžiti trajanje pobudnih impulsa t_{PULSE} , odnosno smanjiti brzinu rada *stateful logic* kola. Dakle, dizajn *stateful logic* kola i talasnih oblika pobudnih impulsa, znatno je olakšan korišćenjem memristora sa većim odnosom $\frac{R_{OFF}}{R_{ON}}$.

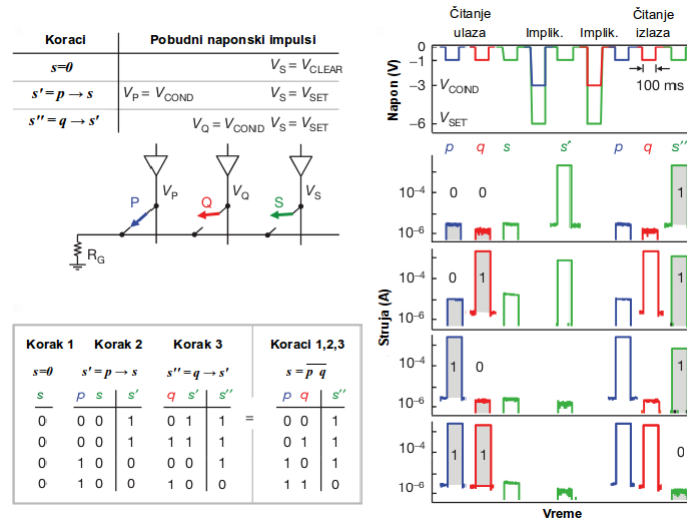
Uslovna promena stanja memristora Q , u zavisnosni od stanja memristora P , prikazana je u tablici sa slike 3.6, pri čemu je usvojeno da stanje logičke “1” odgovara niskoj memristansi memristora R_{ON} , a da R_{OFF} odgovara logičkoj “0”. Na slici 3.8 mogu se videti signali dobijeni eksperimentalnim testiranjem kola, koji su prikazani u radu [BSKYSW10]. Na slici nije prikazana inicijalizacija stanja memristora P i Q , već su samo prikazana izračunavanja operacije Bulove implikacije za četiri kombinacije vrednosti ulaznih promenljivih p i q . Nakon istovremene primene naponskih impulsa i očitavanja stanja memristora, može se videti da su nova stanja memristora u skladu sa funkcionalnom tablicom prikazanom na slici 3.6.

U radu [BSKYSW10] je takođe prikazana i implementacija NI kola korišćenjem konfiguracije sa tri memristora. Na slici 3.9 je prikazano kolo, kao i sekvenca operacija koja će rezultovati sa $s = \overline{p \cdot q}$:

$$s = 0$$



Slika 3.8 – Eksperimentalna potvrda funkcionalnosti *stateful logic* kola (preuzeto iz [BSKYSW10])



Slika 3.9 – NAND kolo u *stateful logic* topologiji (preuzeto iz [BSKYSW10])

$$s' = p \rightarrow s$$

$$s'' = q \rightarrow s'$$

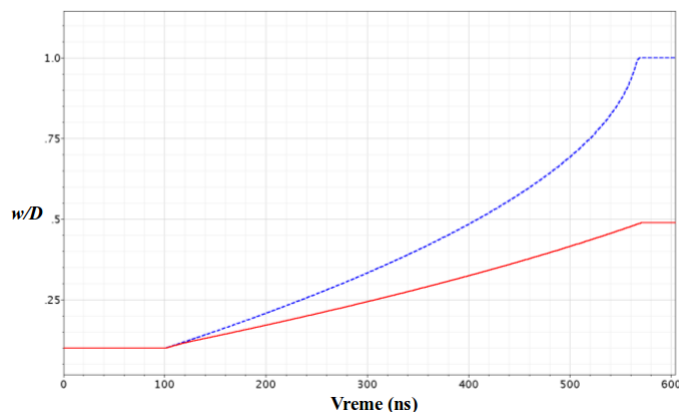
Ulazne promjenljive za NI operaciju su inicijalna logička stanja memristora P i Q , dok se rezultat operacije akumulira u memristoru S . Međurezultati kao i eksperimentalna potvrda izračunavanja prikazani su na slici 3.9.

U radu [LL09] autori su pokazali kako se proizvoljna Bulova funkcija $f : B^n \rightarrow B^m$ može izračunati korišćenjem $m + 2$ memristora u *stateful logic* topologiji. Kao rezultat toga, za izračunavanje proizvoljne n -ulazne 1-izlazne Bulove funkcije $f : B^n \rightarrow B$ potrebna su 3 memristora. U radu [DVP12a] autori su pokazali kako je za slično kolo, kod koga je otpornik R_G zamenjen mem-kondenzatorom, potrebno manje koraka za izračunavanje proizvoljne Bulove funkcije. U radovima [LPL10a, LPL10b], kao nastavak istraživanja i rezultata objavljenih u [LL09], autori su pokazali kako je moguće proizvoljnu Bulovu funkciju $f : B^n \rightarrow B$ izračunati i korišćenjem dva memristora, uvođenjem takozvane rekurzivne Bulove formule.

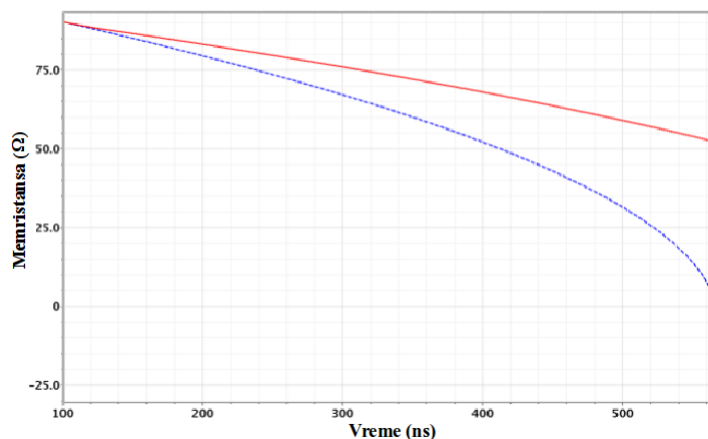
Mana ovog pristupa se ogleda u dugačkim sekvencama pobudnih signala koje su neophodne za korektno računanje proizvoljne Bulove funkcije korišćenjem ovakve logičke strukture. U radu [PLL12], isti autori su predstavili algoritam za minimizaciju dužine pobudnih sekvenci sa ciljem minimizacije vremena potrebnog za izračunavanje Bulove funkcije od interesa. Upravo ovaj rezultat je zapravo bio jedna od motivacija za istraživanje sprovedeno tokom rada na disertaciji, te će ovoj temi biti posvećeno više prostora u nastavku teze.

Autori u radu [KKWF11] su detaljno analizirali *stateful logic* kolo sa aspekta korišćenog modela memristora koji se koristi. U radu je istaknut *state drift* problem koji nastaje kao posledica izvršavanja operacije implikacije, pri čemu rezultat operacije može da bude pogrešan (“1” umesto “0”). Autori su takođe zaključili da je u *stateful logic* kolu neophodno vršiti periodična osvežavanja stanja memristora, kako bi se izbegao ovaj neželjeni efekat. Za *linear ion drift* model memristora, autori su pokazali na koji način se vrši kompromis između brzine rada kola i degradacije signala nastale kao posledica *state drift* efekta. Pokazano je, takođe, kako *linear ion drift* model memristora nije prikladan za analizu kola iz ove familije logičkih kola, i predložili korišćenje drugih modela [KFKW13]. Autori u [KKWF11] su posebnu pažnju obratili na odabir parametara kola R_G , V_{SET} i V_{COND} u cilju pouzdanog rada kola. Obzirom da su V_{SET} i V_{COND} konstantni naponski nivoi, stanje memristora, sa gledišta njegove memristanse, vremenom polako “klizi” ka R_{ON} u zavisnosti od amplitude primenjenih napona i dužine trajanja impulsa. Ako posmatramo logičku operaciju $p \rightarrow q$, ovaj efekat postaje primetan u dve situacije: $p = 0, q = 0$ i $p = 1, q = 0$. Za prvu situaciju, *state drift* problem neće imati negativan uticaj jer je rezultat operacije svakako $q = 1$. Za vrednosti ulaznih signala $p = q = 0$ se određuje brzina rada kola, kao vreme potrebno da memristor promeni svoje stanje pod dejstvom pobudnih naponskih signala. Međutim, za $p = 1, q = 0$, rezultat operacije treba da bude $q = 0$ i može se desiti da usled *state drift* efekta nakon nekoliko uzastopnih logičkih operacija za $p = 1, q = 0$, dođe do pojave “lažne jedinice”. Da bi se sprečio ovaj neželjeni efekat, čiji uticaj postaje dominantniji sa dužim trajanjem pobudnih impulsa, neophodno je periodično, nakon izračunavanja operacija implikacije, vršiti osvežavanje vrednosti stanja memristora. Sličan problem može da nastane i prilikom “čitanja” stanja memristora ali taj problem može biti rešen čitanjem stanja memristora bipolarnim signalom sa nultom srednjom vrednosti napona. Ovakav pristup je moguć jer je prilikom čitanja stanja memristora, važno samo odrediti amplitudu strujnog odziva nakon naponske pobude, bila ona pozitivna ili negativna. Korišćenjem bipolarnog impulsa, stanje nakon čitanja će ostati nepromenjeno.

Prilikom proračuna parametara koji će obezbediti zadovoljavajuću brzinu uz pouzdan rad kola, neophodno je najpre odabrati model memristora koji će se koristiti. U radu [KKWF11] je pokazano da je *linear ion drift* model memristora nekompatibilan sa logičkim kolom za implikaciju u *stateful logic* topologiji, jer se kod tog modela memristansa menja linearno za proizvoljan nivo pobudnog napona, što rezultuje u značajnom uticaju *state drift* fenomena. Na slikama 3.10 i 3.11 prikazane su promene promenljive stanja i memristanse u slučaju izvršavanja operacije implikacije za različite vrednosti ulaznih promenljivih. U slučaju kada ulazne promenljive imaju vrednosti $p = 0, q = 0$ do potpune promene promenljive stanja dolazi nakon $\sim 470ns$. Ipak, sa slike se vidi da do značajne promene promenljive stanja ($\sim 49\%$) dolazi i u slučaju kada su početni uslovi $p = 1, q = 0$. Slična je



Slika 3.10 – Promena promenljive stanja tokom izračunavanja Bulove implikacije $p \rightarrow q$ za vrednosti promenljivih $p = 0$, $q = 0$ (plava isprekidana linija) i $p = 1$, $q = 0$ (crvena linija), korišćenjem *linear ion drift* modela memristora (preuzeto iz [KKWF11])

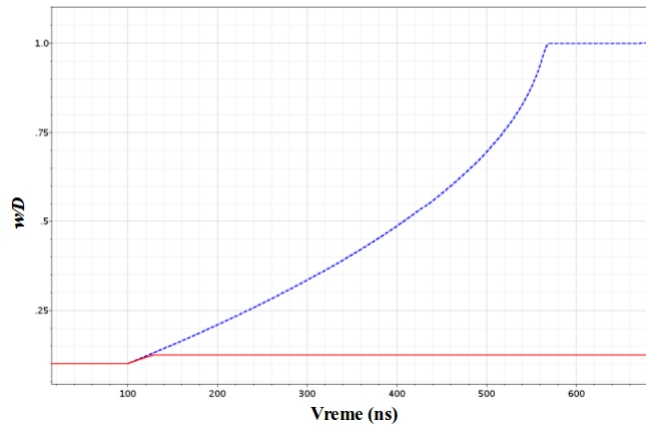


Slika 3.11 – Promena memristansa tokom izračunavanja Bulove implikacije $p \rightarrow q$ za vrednosti promenljivih $p = 0$, $q = 0$ (plava isprekidana linija) i $p = 1$, $q = 0$ (crvena linija), korišćenjem *linear ion drift* modela memristora (preuzeto iz [KKWF11])

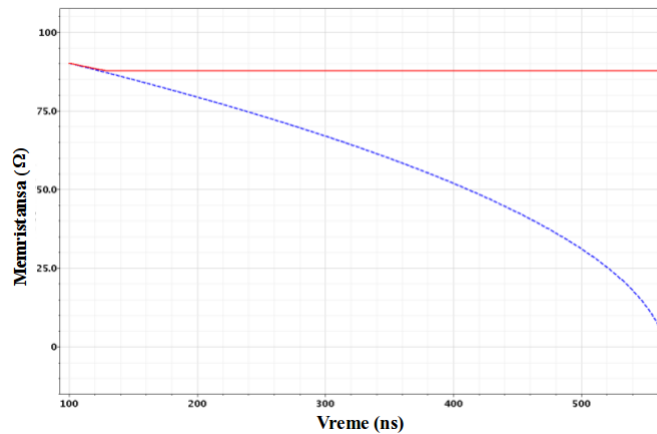
situacija i sa stanovišta memristanse: za $p = 0$, $q = 0$, memristansa se postepeno smanjuje do granične niske vrednosti u uključenom stanju, dok se za $p = 1$, $q = 0$ takođe drastično menja iako ne dostiže nivo koji odgovara logičkoj “1”. Na slikama 3.12 i 3.13 prikazane su promene promenljive stanja i memristanse za TEAM, napredni model memristora predložen u [KFKW13]. Sa slika 3.12 i 3.13 se vidi da i u slučaju korišćenja naprednog modela dolazi do neželjene promene promenljive stanja i memristanse, ali u znatno manjoj meri.

3.3 Memorije sa memristivnim elementima

Još dok je razmatran samo teorijski koncept memristora u radu [Chua71], Leon Chua je zapazio da je jedna od glavnih potencijalnih primena memristora u memorijama sa stalnim sadržajem, usled činjenice da memristor zadržava svoje stanje i nakon nestanka napajanja. Fabrikacijom memristora u nanometarskoj tehnologiji, memorijska kola sa memristorima su postala posebno interesantna zbog potencijalnog povećanja gustine pakovanja i, samim tim, značajnim uvećanjem kapaciteta



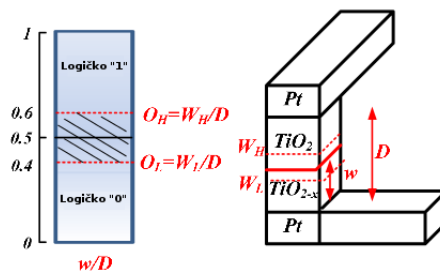
Slika 3.12 – Promena promenljive stanja tokom izračunavanja Bulove implikacije $p \rightarrow q$ za vrednosti promenljivih $p = 0$, $q = 0$ (plava isprekidana linija) i $p = 1$, $q = 0$ (crvena linija), korišćenjem TEAM modela memristora (preuzeto iz [KKWF11])



Slika 3.13 – Promena memristansa tokom izračunavanja Bulove implikacije $p \rightarrow q$ za vrednosti promenljivih $p = 0$, $q = 0$ (plava isprekidana linija) i $p = 1$, $q = 0$ (crvena linija), korišćenjem TEAM modela memristora (preuzeto iz [KKWF11])

memorije po jedinici površine. Ipak, kako bi do komercijalizacije memristivnih memorijskih kola došlo, neophodno je dizajnirati i implementirati interfejs, kola za čitanje i upis memorije. Osim toga, elementarne operacije na tim kolima moraju zadovoljiti odgovarajuće kriterijume u pogledu disipirane snage, kako bi memristivna memorijska kola bila konkurentna savremenim memorijama tipa SRAM, DRAM i FLASH.

U radu [HHL09] autori su prikazali koncept dizajna kola za čitanje i upisivanje kod memorija baziranih na memristorima. Predloženi dizajn je imun na smetnje i šum, a korišćenjem *linear ion drift* modela memristora demonstrirana je njegova funkcionalnost i određeni ograničavajući faktori. Nakon izvođenja jednačine koja prikazuje zavisnost promenljive stanja (u slučaju modela koji se koristi, širine provodne oblasti sa redukovanim titanijum-dioksidom) od primenjenog fluksa, autori su najpre zaključili da stanje memristora ne zavisi od oblika pobudnog napona: svaka naponska pobuda koja generiše isti fluks (kao integral napona), za dato početno stanje memristansa, rezultovaće istim stanjem memristora. Na osnovu ovoga, određene su gornja i donja granica fluksa φ_{MAX} i φ_{MIN} , za datu početnu



Slika 3.14 – Prikaz strukture i zona logičkih stanja (preuzeto iz [HHL09])

vrednosti promenljive stanja w_0 : Ukoliko je, nakon proizvoljnog intervala vremena t_0 ukupna promena fluksa $\varphi(t_0) = 0$, a važi da je $\varphi_{MIN} < \varphi(t) < \varphi_{MAX}, \forall t < t_0$, promenljiva stanja će nakon isteka intervala t_0 imati vrednost w_0 . Autori su u radu predložili normalizovane opsege promenljive stanja w/D (gde D predstavlja ukupnu širinu titanijum-dioksid sloja) koji će odgovarati logičkim vrednostima “0” i “1”, uzevši u obzir i marginu šuma, koja određuje oblast nedefinisiranog logičkog stanja (slika 3.14):

$$w/D \in [0, 0.4] \Rightarrow \text{logička "0"}$$

$$w/D \in [0.4, 0.6] \Rightarrow \text{nedefinisano stanje}$$

$$w/D \in [0.6, 1] \Rightarrow \text{logička "1"}$$

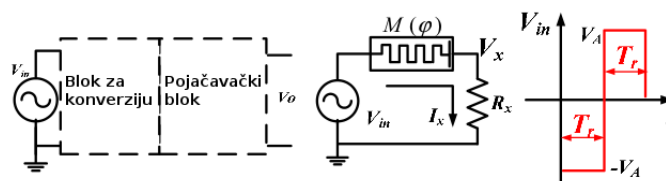
Autori u [HHL09] su takođe odredili minimalno vreme potrebno da bi primenjeni pozitivan naponski nivo promenio logičko stanje u “1”, odnosno da bi primenjeni negativni naponski impuls rezultovao promenom stanja u logičko “0”. Dužina trajanja impulsa, između ostalog, zavisi od amplitude signala, u skladu sa prethodnom konstatacijom da stanje memristora direktno i isključivo zavisi od primenjenog fluksa. Što se tiče čitanja stanja memristora, kako tvrde autori, ono je značajno komplikovanije od upisivanja novog stanja. Autori u [HHL09] su predložili korišćenje bipolarnog impulsa u tu svrhu, kod koga najpre ide negativan, pa zatim pozitivan impuls, iste amplitude i istog trajanja. Kod takvog pobudnog impulsa, ukupan fluks je jednak nuli, što neće izazvati perturbaciju stanja memristora, odnosno, stanje memristora nakon čitanja će biti isto kao i pre čitanja (slika 3.15). Kolo za čitanje predloženo u radu sastoji se iz dva bloka. Prvi blok ima ulogu da konvertuje struju memristora u napon, korišćenjem jednostavne topologije sa naponskim razdelnikom, gde će vrednost izlaznog napona direktno zavisiti od trenutne memristanse memristora. Drugi blok se sastoji od komparatora koji poredi izlaz prethodnog bloka sa referentnim naponom i u skladu sa rezultatom generiše logičku “0” odnosno logičku “1” na svom izlazu. Autori u radu takođe obraćaju pažnju i na čitanje stanja u situaciji kada je trenutna vrednost promenljive stanja memristora $\frac{w}{D} = 0$. Za takvu vrednost promenljive stanja, prvi, negativan impuls pobudnog signala za čitanje neće dovesti do promene w , ali drugi impuls hoće, što će za posledicu imati promenu stanja memristora u odnosu na trenutak pre čitanja. Ipak, obzirom da se ovo dešava samo pri prvom ciklusu čitanja, i da svako naredno čitanje bipolarnim impulsom neće dovesti do naknadne promene stanja memristora, neophodno je samo voditi računa o trajanju

pozitivnog impulsa kako ne bi došlo do prebacivanja memristora u nedefinisano logičko stanje tokom pozitivnog naponskog impulsa tog prvog čitanja.

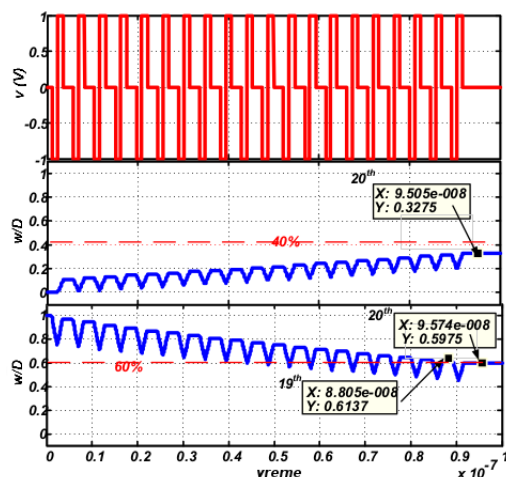
Dizajn memorijskog bloka, baziranog na gore opisanoj memorijskoj ćeliji, sa kompletnim interfejsom koji obuhvata dekodner, generator impulsa, i selektor koji određuje da li se u datu memorijsku ćeliju u datom trenutku upisuje, ili se iz nje čita vrednost, prikazan je u [HHL09]. Problem asimetričnog bipolarnog signala za čitanje stanja memristora, nastao usled nemogućnosti generisanja pozitivnog i negativnog impulsa jednakog trajanja, naveo je autore u [HHL09] da definišu takozvanu “šemu osvežavanja”. Ova šema određuje dozvoljen broj uzastopnih ciklusa čitanja asimetričnim signalom, pre neophodnog osvežavanja stanja memristora. Na slici 3.16 je prikazana simulacija ovog problema sa koje se vidi da je za datu asimetriju pobudnog bipolarnog signala (trajanje pozitivnog i negativnog impulsa se razlikuju za 10%) kritičan broj ciklusa 20, jer, prilikom čitanja logičke “1” nakon 20 ciklusa dolazi do pogrešnog očitavanja. Sa slike se takođe vidi da prilikom čitanja logičke “0” nakon 20 uzastopnih ciklusa i dalje ne dolazi do pogrešnog očitavanja, ali u ovom slučaju na dizajn sistema svakako utiče kritičan odziv prilikom sukcesivnog očitavanja logičke jedinice. U radu [HHL11] isti autori su izvršili generalizaciju matematičkog modela sa fokusom na dinamičke procese u memristoru, uz korišćenje istog *linear ion drift* modela memristora.

Nakon detaljne analize potrošnje energije tokom prelaznih procesa, sa ciljem smanjenja potrošnje, u radu [NCX10] autori predlažu poboljšanu topologiju sa dva memristora koja rezultuje u uštedi energije do 80%, uz približne performanse u pogledu brzine rada kola. Autori su, takođe korišćenjem *linear ion drift* modela memristora, izveli jednačine koje opisuju snagu i potrošenu energiju tokom procesa čitanja i upisa podataka. Kao zaključak, autori navode da utrošena energija najviše zavisi od stanja memristansa nakon operacije upisa i predlažu korišćenje samo uskog opsega memristansa memristora, za razliku od originalnog modela predstavljenog u [HHL09, HHL11] gde se memristansa kreće u granicama određenim sa $w \in [0, D]$. Kao očigledna posledica ovakvog dizajna, pojavljuje se problem male margine šuma, jer stanja logičke “0” i logičke “1” postaju “bliska”. Kao rešenje ovog problema, autori u [NCX10] predlažu korišćenje memorijske ćelije sa dva memristora, pri čemu dodatni memristor čuva komplementarnu vrednost u odnosu na originalnu vrednost upisanu u prvi memristor.

Autori u radu [NCX10] takođe predlažu dinamičku memoriju baziranu na memristorima, sa dva moda rada. Prvi mod predstavlja “normalan” mod rada u kome se memristansa memristora menja od minimalne do maksimalne vrednosti, uz značajnu potrošnju energije. Drugi, efikasan mod rada, podrazumeva korišćenje memorijskih ćelija sa dva memristora, što znatno umanjuje potrošnju energije, uz



Slika 3.15 – Kolo za čitanje stanja memristora, ulazni blok za konverziju struje memristora u napon i bipolarni impuls za čitanje stanja memristora (preuzeto iz [HHL09])

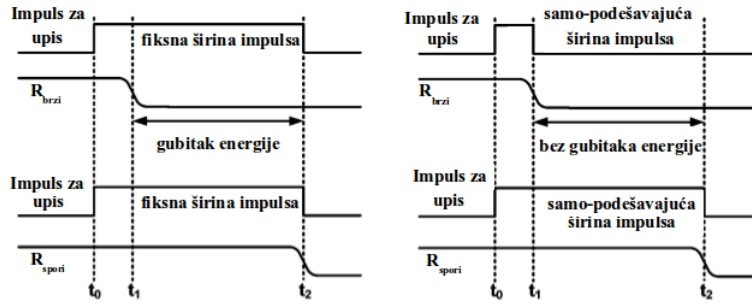


Slika 3.16 – Greška prilikom čitanja stanja nastala kao posledica asimetričnog pobudnog signala za čitanje (preuzeto iz [HHL09])

neznatno lošije performanse sa stanovišta brzine i mogućnosti razlikovanja logičkih stanja.

U radu [MHE13], autori takođe analiziraju procese upisa i čitanja kod memorijskih kola baziranih na memristorima. U analizi koriste razne modele memristora: linearan, linearan model sa prozorskom funkcijom koja modeluje granične efekte i eksponencijalan. Autori zaključuju da je eksponencijalan model najadekvatniji za modelovanje realnih memristivnih komponenti. U radu je predložena hibridna ćelija koja se sastoji od jednog memristora i jednog tranzistora. Autori u radu [MHE13] primećuju kako se utrošena energija može značajno redukovati čitanjem stanja memristora eksponencijalnim opadajućim, umesto pravougaonim, naponskim signalom. Eksponencijalno opadajući naponski signal se generiše pomoću jednostavnog RC kola u kome se prethodno napunjeni kondenzator prazni preko memristora. Svoj matematički model baziraju na činjenici da će vremenska konstanta pri maloj memristansi memristora biti značajno manja od vremenske konstante pri visokoj memristansi. Na taj način, razlika između dva stanja može biti identifikovana nakon vrlo kratkog perioda. Negativan primenjeni impuls bi u tom slučaju imao minimalan efekat na promenu memristanse: ukoliko je memristor u isključenom stanju negativan impuls svakako nema uticaja, a ukoliko je memristor u uključenom stanju, uticaj je takođe zanemarljiv usled male vremenske konstante i kao posledica toga, malog dodatnog fluksa koji neće značajno uticati na memristansu memristora. Kao rezultat analize, autori tvrde da ovakav pristup omogućava ~ 10000 uspešnih sukcesivnih ciklusa čitanja bez ciklusa osvežavanja. Prilikom upisivanja novog stanja, autori predlažu korišćenje impulsa relativno velike amplitude i kratkog trajanja. Ipak, da bi se dodatno sprečio *drift* stanja memristora u slučaju upisa, pre svakog upisivanja se vrši čitanje stanja memristora, a upisivanje nakon toga samo ako je potrebno (ako je trenutno stanje memristora različito od onog koje se upisuje). Na ovaj način se dodatno redukuje utrošak energije, jer je proces čitanja kratkotrajan i zahteva znatno manje energije od procesa upisivanja nove vrednosti u memristor.

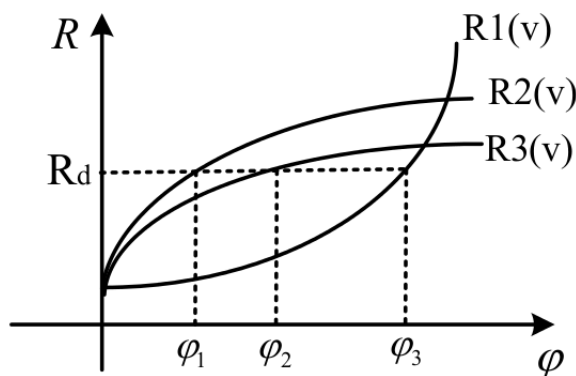
U cilju redukovanja utroška energije, autori u radu [JJMK10] predlažu samopodešavajuće kolo za upisivanje, adekvatno za memorijske blokove sa memristorima različitih karakteristika. Naime, autori u radu [JJMK10] zaključuju kako,



Slika 3.17 – Samo-podešavajuće kolo za upisivanje u memristivnu memoriju

u poređenju sa konvencionalnim DRAM i FLASH memorijama, memorijska kola bazirana na memristorima pokazuju značajno lošije karakteristike u pogledu neadekvatno velike struje tokom procesa upisivanja podataka i visokih PVT (*Process-V_{DD}-Temperature*) varijacija. Autori su po uzoru na rad [Was09], u kome je prikazana samo-podešavajuća širina impulsa u kolu za čitanje, predstavili sličan koncept kod kola za upis. Ova modifikacija kola za upis je mnogo značajnija sa stanovišta uštede energije, obzirom da se veća energija disipira prilikom upisa, u odnosu na disipiranu energiju prilikom čitanja. Autori u radu [JJMK10] takođe koriste *linear ion drift* model memristora. Kao što je prikazano na slici 3.17, kod standardnog kola za upisivanje podatka u memristor, dužina trajanja impulsa prilikom programiranja memristora je konstantna. Ona je adekvatna za memristor kod koga se memristansa sporo menja sa promenom količine naelektrisanja (na slici označen kao R_{spori}) ali u slučaju memristivne komponente sa brзом promenom memristanse (na slici R_{brzi}), nakon promene stanja pobudni impuls traje nepotrebno dugo, što značajno disipira snagu usled činjenice da je nakon promene memristansa memristora mala, te je disipirana snaga $\frac{V_{pulse}^2}{R_{brzi,niska}}$. Na istoj slici se može videti i funkcionalnost samo-podešavajućeg kola za upis kod koga odmah nakon promene stanja memristora, dolazi do ukidanja pobudnog impulsa. U slučaju “sporijeg” memristora, pobudni impuls svakako ima dovoljno dugo trajanje. Autori takođe napominju, na osnovu rezultata simulacije kola, da je u slučaju tranzicije sa logičke “1” na logičko “0” neefikasno koristiti kolo za samo-podešavanje dužine impulsa. U ovom slučaju, nakon promene sa niske na visoku vrednost memristanse, disipirana snaga $\frac{V_{pulse}^2}{R_{brzi,visoka}}$ je zanemarljiva u odnosu na disipaciju snage samo-podešavajućeg kola. Autori su u radu pokazali da modifikacija kola za upis dodavanjem samo-podešavajućeg kola, rezultuje u uštedi energije i do 76%.

Još jedan dizajn memristivnog RRAM (*Resistive RAM*) kola koji je imun na razlike karakteristika korišćenih komponenti prikazan je u [EP11]. Za dizajn prikazan u ovom radu je pokazano da je u pogledu potrošnje energije uporediv sa FLASH memorijama: ima deset puta manju potrošnju prilikom upisa i četiri puta manju prilikom čitanja. Dizajn predstavljen u [EP11] baziran je na kolu koje se koristi kako za čitanje stanja memristora, tako i za upis novog stanja, pri čemu autori razlikuju upis logičke “0” i upis logičke “1” obzirom na to da se ova dva upisa vrše na različite načine. Posebno kolo sa multiplekserima je osmišljeno kako bi se omogućila promena polariteta memristora, pošto se čitanje i upis uvek vrše unipolarnim naponskim signalima. Ova promena polariteta memristora je neophodna prilikom upisa novog stanja, ali i kod čitanja, gde se stanje memristora degradira

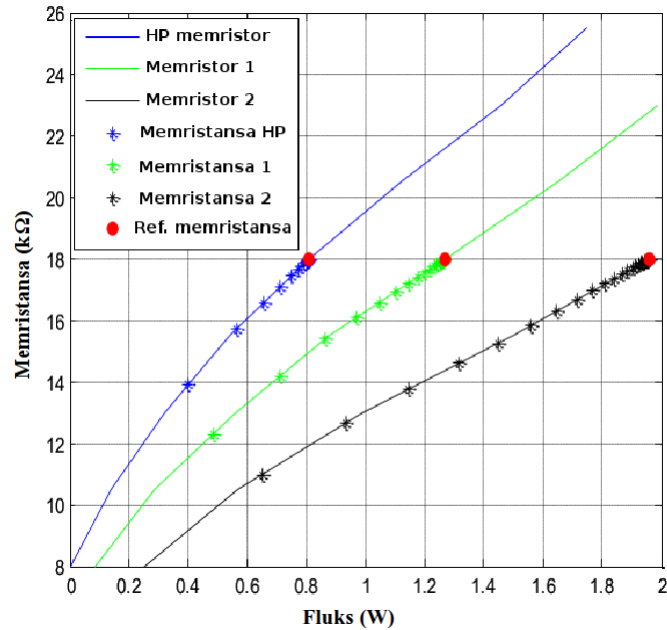


Slika 3.18 – Različite vrednosti fluksa rezultuju u istoj vrednosti memristanse za memristore sa različitim $\varphi - q$ nelinearnim karakteristikama (preuzeto iz [KSYC10])

samom akcijom čitanja. U slučaju degradacije stanja memristora nakon čitanja, ponovi se akcija čitanja sa suprotnim polaritetom memristora, što će obezbediti restauraciju inicijalne vrednosti memristanse memristora. Autori u simulacijama koriste *linear ion drift* model memristora sa prozorskom funkcijom koja modeluje granične pojave i nelinearnost drifta. Raznim simulacijama matrice memristora u stanju visoke memristanse, niske memristanse i promenljive slučajne vrednosti memristanse, autori su demonstrirali rad svoje memorije i upisivanje podataka u matricu istim kolom kojim se vrši čitanje podataka iz matrice. Prilikom upisa je potrebno ponoviti više ciklusa, jer memristansa ćelije u koju se upisuje menja svoju vrednost u diskretnim koracima prilikom svakog ciklusa upisa. Autori su analizirali uticaj memristanse memristora na broj ciklusa potrebnih da bi se upis podatka uspešno obavio, ali su analizirali i uticaj upisa u proizvoljnu ćeliju na promenu memristanse susednih ćelija. U radu je takođe analizirana i demonstrirana imunost kola na varijaciju donje granice memristanse memristora korišćenih u kolu i pokazano je kako kolo uspešno radi čak i za ćelije sa manjim odnosom $\frac{R_{ON}}{R_{OFF}}$ (gde su R_{ON} i R_{OFF} minimalna i maksimalna memristansa memristora, respektivno). Autori u [EP11] su takođe predstavili matematički proračun disipirane snage koji se u potpunosti podudara sa rezultatima dobijenim simulacijom, a demonstrirali su i kako se nefunkcionalne ćelije mogu identifikovati i označiti kao defektne.

Topologija predložena u radu [EP11] je izuzetno robusna, usled činjenice da je imuna na varijaciju ekstremnih vrednosti memristansi korišćenih memristora, čak i u slučaju da se ekstremne vrednosti memristanse menjaju tokom vremena. Osim toga, ovakav metod rada sa RRAM komponentama je superioran i u situacijama kada je rezistivni put do ćelije od interesa znatno duži, što kao posledicu ima značajan pad napona na vodovima. Ovakva situacija se pojavljuje kod većih memorijskih blokova (npr. kod blokova veličine 4KB korišćenih kod savremenih FLASH memorija). Topologija predložena u radu [EP11] u takvom slučaju samo zahteva veći broj ciklusa upisa za ćelije koje se nalaze dalje od pobudnog kola, u odnosu na ćelije koje se nalaze u neposrednoj blizini pobudnog kola.

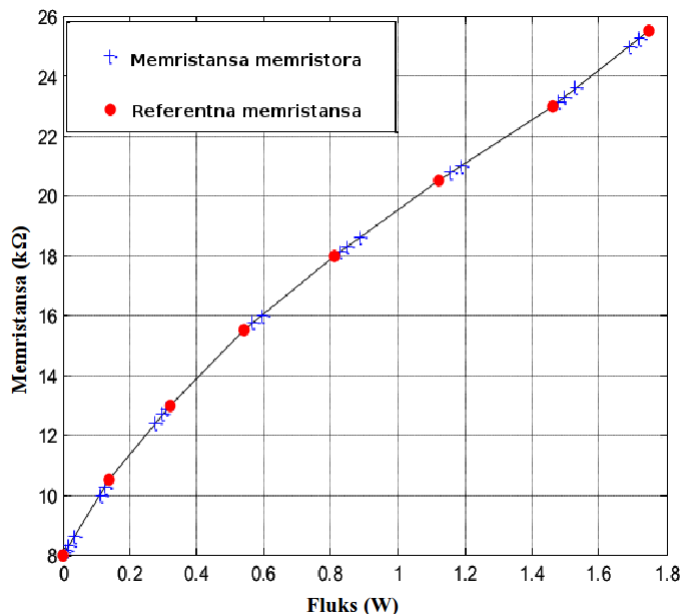
U cilju isticanja prednosti memorijskih kola baziranih na memristorima, u radu [JLVM12], autori su prikazali poboljšanu optimizaciju potrošnje kod memristivnih memorijskih kola, uz mogućnost primene u aplikacijama gde je mala potroš-



Slika 3.19 – Programiranje memristansa memristora za različite $\varphi - q$ karakteristike (preuzeto iz [KSYC10])

nja zahtevana (na primer, kod bežičnih senzorskih mreža napajanih baterijama). U radu je predstavljeno hibridno kolo sa flip-flopom i memristorom, kod kojeg se, neposredno pre odlaska u mod niske potrošnje (*sleep* mod), vrši upisivanje stanja flip-flopa u memristor. Na sličan način, rekonstrukcija stanja flip-flopa na osnovu stanja memristora, vrši se nakon ponovnog aktiviranja kola. Autori predlažu dva tipa kola. U osnovnoj verziji, nastaloj modifikacijom sličnog kola predstavljenog u radu [JLM10], memristivni element je dodat u paralelu sa flip-flopom zajedno sa interfejsom za upis i čitanje. U poboljšanoj verziji, dodato je i kolo za uslovno upisivanje koje omogućava dodatnu uštedu energije i do 87% u poređenju sa osnovnom verzijom. Uslovno upisivanje u ovom poboljšanom kolu se odnosi na situaciju kada je memristor u stanju logičke “0” u momentu kada se u njega upisuje ista logička vrednost. Kolo za uštedu energije u takvim slučajevima detektuje da nema potrebe za upisom iste vrednosti koja je već sadržana u memristoru. Autori u radu [JJLVM12] su opravdali značaj svog dizajna i sa aspekta tzv. *crossover* perioda. Ovaj period je definisan kao minimalno trajanje moda niske potrošnje za koji se isplati koristiti predloženo kolo za uštedu energije, u poređenju sa standardnim kolima i topologijama koje se koriste u ove svrhe. U radu je pokazano da je *crossover* period $3ms$ za osnovnu verziju, a čak $0.08ms$ za poboljšanu verziju sa dodatno smanjenom potrošnjom. Na visokim temperaturama ($125^{\circ}C$) ova vremena su još kraća: $350\mu s$ za osnovnu verziju i $5\mu s$ za poboljšanu. Sa druge strane, kolo sa *nultom* potrošnjom energije u modu niske potrošnje, kako ga autori u [JJLVM12] nazivaju, zauzima samo 5% veću površinu u osnovnoj varijanti, odnosno 16% u slučaju poboljšane verzije, u poređenju sa savremenim kolima koja se koriste u ovu svrhu.

U radu [KSYC10] autori su predstavili interesantan koncept memorije sa više logičkih stanja baziran na memristorima. Kako navode autori u radu, problemi koji nastaju kod ovog kola se odnose na nelinearnu $\varphi - q$ krivu i negativan uticaj



Slika 3.20 – Čitanje memristora i restauracija stanja nakon čitanja (preuzeto iz [KSYC10])

šuma. Nelinearnost $\varphi - q$ krive za posledicu ima nemogućnost određivanja trajanja impulsa za prebacivanje memristora iz jednog logičkog stanja u drugo (slika 3.18), dok je uticaj šuma destruktivan u smislu da stanje memristora može vremenom da se promeni kao posledica primenjenog fluksa, čak i u slučajevima kada je on nastao usled šuma ili nekog drugog naponskog poremećaja. Kolo za upisivanje predloženo u radu sastoji se iz referentnih otpornika i analognih komparatora koji porede referentni napon sa otpornika sa naponom na memristoru koji se postepeno menja generisanjem strujnih impulsa koji menjaju memristansu memristora. Dakle, prilikom programiranja memristanse memristora, ona se postepeno uvećava (ili smanjuje) sve dok se ne izjednači sa referentnom vrednošću referentnog otpornika. Kolo za čitanje je slično, sa razlikom da omogućava restauraciju vrednosti memristora na “najbližu” vrednost referentne otpornosti nakon svakog čitanja koje rezultuje degradacijom memristanse elementa. Na slici 3.19 je prikazano programiranje tri memristora sa različitim $\varphi - q$ karakteristikama na vrednost memristanse $18k\Omega$. Sa slike se može videti postepeno približavanje memristanse željenoj vrednosti u diskretnim koracima. Na slici 3.20 je prikazan proces čitanja i restauracije stanja memristora nakon čitanja, na najbližu referentnu vrednost otpornosti (jednu od 8 predefinisanih za memoriju sa 8 logičkih stanja).

Pregled memorijskih elemenata korišćenih u fabrikaciji rezistivnih RAM modula (RRAM), kao i njihovih različitih prekidačkih mehanizama je prikazan u [Was09]. U radu [KRLBW11] je izvršena karakterizacija bipolarnih prekidačkih materijala sa aspekta njihove integracije u nanometarskim rešetkastim strukturama, ali i analiza različitih strategija upravljanja memorijom sa aspekta gustine pakovanja i problema “puzajućih” struja. U istom radu je, takođe, pažnja posvećena i tehnološkim procesima fabrikacije RRAM memorija ali i predložena takozvana komplementarna rezistivna prekidačka ćelija (CRS prvobitno predstavljena u radu [LRKW10]) sa ciljem minimizovanja negativnog uticaja “puzajućih” struja na ka-

pacitet memorije.

Rešenje problema “puzajućih” struja prilikom čitanja memorije predloženo u radu [VRKSSW09] sastoji se od pet koraka. U prvom koraku se očita stanje memristivne ćelije, a zatim se u drugom koraku ponovo očita stanje iste ćelije nakon što je u nju upisana vrednost logičke “1”. Treći korak podrazumeva ponovno čitanje iste ćelije, nakon što je u nju upisana vrednost logičke “0”, a u četvrtom koraku se donosi odluka o logičkoj vrednosti merene memristanse iz koraka 1 na osnovu vrednosti memristansi dobijenih merenjima u koracima 2 i 3. Peti, poslednji korak, zahteva ponovni upis početne vrednosti memorijske ćelije određene u koraku 4. Ovaj metod očitavanja memorije je izuzetno vremenski zahtevan, a osim toga i neefikasan kod memorijskih kola većih dimenzija kod kojih razlika izmerenih vrednosti memristanse u koracima 2 i 3 ima jako malu vrednost.

“Razmotana” memristivna struktura u cilju eliminacije uticaja “puzajućih” struja je predložena u radu [MRHW10]. Ovo rešenje, ipak, značajno smanjuje kapacitet memorije jer podrazumeva zasebnu kolonu u memristivnoj matrici dodeljenu svakom pojedinačnom memristoru.

Korišćenje naizmeničnog signala prilikom čitanja memorije, umesto jednosmernog, u kombinaciji sa filterskim kapacitivnostima, znatno redukuje negativan uticaj “puzajućih” struja, kako je predstavljeno u radu [QYMRW12].

U radu [JCM12] je pokazano kako korišćenje dva *komplementarna* memristora vezana serijski u svakoj memorijskoj ćeliji, pri čemu se jedan od njih nalazi u stanju R_{ON} a drugi u stanju R_{OFF} , dovodi do smanjenja uticaja “puzajućih” struja, usled visoke memristanse ($R_{ON} + R_{OFF}$) svake pojedinačne ćelije. U ovakvoj strukturi se logička vrednost memorijske ćelije određuje na osnovu redosleda memristora u serijskoj vezi: $R_{ON} - R_{OFF}$ ili $R_{OFF} - R_{ON}$.

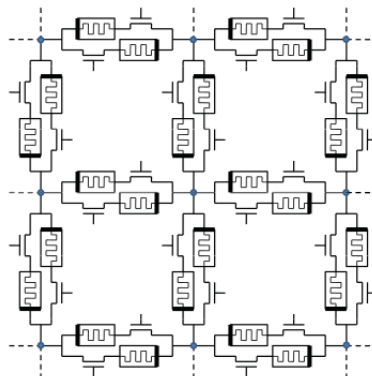
Kod struktura sa “blokiranjem” memristora dodavanjem serijski vezanih dioda [MRHW10] u takozvanoj 1D1M ćeliji, znatno je umanjen uticaj “puzajućih” struja na performanse kola. Ipak, ovakva struktura pokazuje nedostatke u vidu pogoršanja dinamičkih karakteristika ćelije zbog parazitne kapacitivnosti diode i degradacije signala kao posledice pada napona na provodnoj diodi [FYZY12]. Ipak, najveći problem kod ove strukture ogleda se u činjenici da je na ovaj način onemogućeno upisivanje logičke vrednosti u ćeliju, jer ova operacija zahteva primenu naponskih signala oba polariteta. 3D struktura koja rešava ovaj problem je predložena u [Mou07]. Upotreba *malih* tranzistora umesto diode u cilju “blokiranja” memristora, smanjuje efekat “puzajućih” struja, ali ga ne eliminiše jer ovakvi tranzistori imaju relativno veliku struju u isključenom stanju, što dodatno povećava statičku potrošnju ovog kola [VRKSSW09]. Upotreba *velikih* tranzistora, sa znatno boljim prekidačkim karakteristikama, rešava problem “puzajućih” struja ali značajno povećava dimenzije kola i drastično smanjuje gustinu pakovanja kod takvih hibridnih memristivnih-CMOS memorijskih kola [VRKSSW09].

Rešenje problema “puzajućih” struja demonstrirano u [ZFHS13], predlaže korišćenje trokrajnih *memistor* uređaja, umesto dioda i tranzistora, za “blokiranje” memristivnih memorijskih ćelija. Memistor, predstavljen u radu [Wid60], karakteriše visoka otpornost u isključenom stanju u kome će se zadržati i nakon uklanjanja jednosmernog naponskog signala sa kontrolnog terminala, što za posledicu ima i dodatno smanjenje statičke potrošnje kola.

3.4 Memristor i mem-elementi kao nova paradigma digitalne elektronike

U dostupnoj literaturi postoji mnoštvo radova u kojima se predlažu i diskutuju kola i strukture bazirane na memristorima. U okviru ove teze, do sada su uglavnom razmatrana i analizirana digitalna kola bazirana na memristorima i memristivnim elementima. U dostupnoj naučnoj literaturi može se, takođe, naći mnogo radova u vezi sa analognim memristivnim kolima. Primeri nekih od njih su: aritmetička kola i kola za računanje sa memristorima [BS10, MBS11a, SKK12, LLL12], oscilatori [CAG11, IC08, TRS12, TRS10, TRS11a, TRS11b, TRS11c, ZOSSRS13], filtri [DQKKKPB10, MBS11b], analogne memorije [KTUKF10, LL10b], pojačavačka kola [WJ12, WJ11], kola za procesiranje signala [DHWL13, HDWL12, DHWGL13], nelinearna dinamička kola u kojima se javlja “haos” kao aperiodično ustaljeno ponašanje [IYFSC11, MK09, Mut10, FYIS12, BFFG12, LLP10], A/D i D/A konvertori [PSDV12], programabilna analogna kola [PDV10, SKK11], neuralne mreže i neuro-morfni sistemi [KSYRC12a, AYKC12, Tho13, WZ12, SGMPILB13, SYKC12a, KSYRC12b, SYKC12b, JCEBML10, LL10c, PDV12], amplitudski, frekvencijski i fazni modulatori [GOM13, WB09, KLCASA13], kao i razni senzori [WCGL10, BZLCP12, MSS11, CWSL10].

Međutim, sva literatura navedena iznad opisuje samo nov način implementacije već postojećih koncepata, struktura i mehanizama. Ono što predstavlja najveći potencijal kola baziranih na memristorima i mem-elementima je zapravo jedna potpuno nova paradigma, koja se ogleda u mogućnosti procesiranja i skladištenja podataka na jednom mestu. U radu [DVP12b], autori su predstavili ovaj revolucionaran teorijski koncept kao alternativu i dalje aktuelnoj, ali odavno prevaziđenoj Von Neumann-ovoj arhitekturi, koji pritom omogućava praćenje trenda smanjivanja dimenzija u skladu sa Murovim zakonom. Opšte je poznato da je jedan od osnovnih problema savremenih arhitektura mikroprocesorskih sistema zapravo činjenica da se “stalni” podaci skladište na jednom mestu (hard diskovi, *solid-state* memorije,..), podaci koji se gube sa nestankom napajanja u radnim memorijama (RAM) dok je mikroprocesor zadužen za procesiranje podataka. Ovakav koncept zahteva frekventnu i obimnu komunikaciju između procesora sa jedne i memorijskih jedinica sa druge strane, što ograničava performanse sistema ne samo u



Slika 3.21 – Memristivni procesor korišćen za rešavanje problema nalaženja najkraćeg puta u lavirintu (eng. *maze routing*) (preuzeto iz [DVP12b])

pogledu brzine, već i u pogledu dimenzija celokupnog sistema. Ovaj problem je poznat kao problem “memorijskog zida” (engl. *memory wall problem*).

Kao jedno potencijalno rešenje ovog problema, predstavljen je koncept paralelnog procesiranja, koji podrazumeva distribuirano istovremeno procesiranje na više nezavisnih hardverskih modula. Ovakav koncept omogućava korišćenje brzih lokalnih memorija za smeštanje većine podataka i, samo u retkim slučajevima, sporu komunikaciju sa udaljenom memorijom dodeljenom drugom procesoru. Ipak, ovakav koncept predstavlja samo inkrementalan doprinos i, nažalost, ne pruža rešenje na “duge staze”.

Kod mikroprocesorskih sistema sa *Harvard* arhitekturom, a posebno u slučaju modifikovanih *Harvard* arhitektura, poboljšanje performansi je posledica razdvojenih adresnih prostora memorije za instrukcije i memorije za podatke, što omogućava sinhrono preuzimanje instrukcija i podataka od strane procesora.

Kao jedan od pravaca istraživanja koji bi mogao dovesti do rešenja problema “memorijskog zida”, autori su u [DVP12b] predložili računanje uz pomoć memristora i mem-elemenata, odnosno, *memcomputing* kako su ga oni nazvali. Motivaciju za razvoj ovakvog koncepta autori nalaze u činjenici da takva kola inherentno vrše paralelno procesiranje, uz skladištenje podataka na istoj lokaciji, bez upotrebe dodatnih aktivnih komponenti. Autori su u radu uveli pojam *masovno paralelnog procesora* koji se sastoji od mem-elemenata i standardnih elektronskih komponenti koje se koriste isključivo kao prekidači. Računanje izvršeno od strane jedne ovakve strukture, posledica je evolucije sistema pod uticajem spolja primenjenog napona (ili struje). Autori u radu navode šest kriterijuma koje ovakav jedan super-procesor treba da zadovolji:

1. Skalabilna masivno paralelna arhitektura sa mogućnošću procesiranja i skladištenja podataka;
2. Dovoljno dugačko vreme čuvanja upisanih podataka;
3. Mogućnost inicijalizacije početnih stanja;
4. Mehanizam kolektivnog dinamičnog sistema;
5. Mogućnost čitanja sadržaja korišćenih memorijskih elemenata;
6. Robusnost sa aspekta deformacija sistema i šuma.

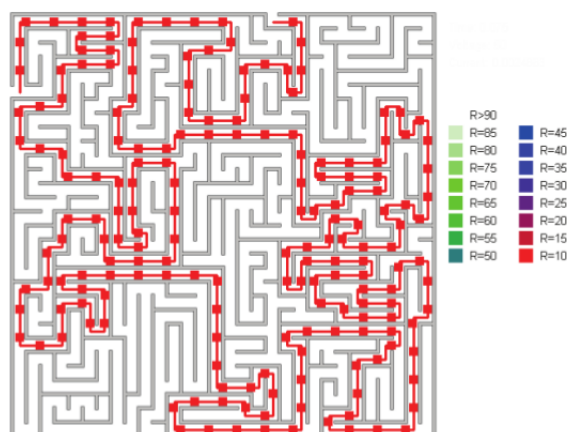
Kao primer strukture koja zadovoljava ovih 6 kriterijuma, autori navode strukturu predloženu u [PDV11, DVP12a], koja rešava problem rutiranja u lavirintu. Korišćenjem memristivnog procesora prikazanog na slici 3.21, nakon inicijalizacije svih memristora u stanje visoke memristanse, mapiranjem lavirinta na strukturu tako da su uključeni prekidači u skladu sa “putevima” u lavirintu i isključeni na mestima gde se u lavirintu nalazi zid, primenjen je napon od 50V između ulaza i izlaza lavirinta. Nakon 75ms, stanje lavirinta je izgledalo kao na slici 3.22, na kojoj se vidi da je rešenje problema određeno memristorima izuzetno male memristanse, dok se stanja ostalih memristora nisu menjala značajno (osim memristora sa najnižom vrednosti memristanse, svi ostali memristori su u stanju visoke memristanse). Ovakva struktura zadovoljava gore navedenih 6 kriterijuma:

1. Rešenje problema lavirinta je dobijeno kao rezultat masivno paralelnog procesiranja od strane svih memristora u kolu;
2. Rešenje je lokalno skladišteno u samom sistemu sa teoretski neograničenim trajanjem valjanosti podataka;

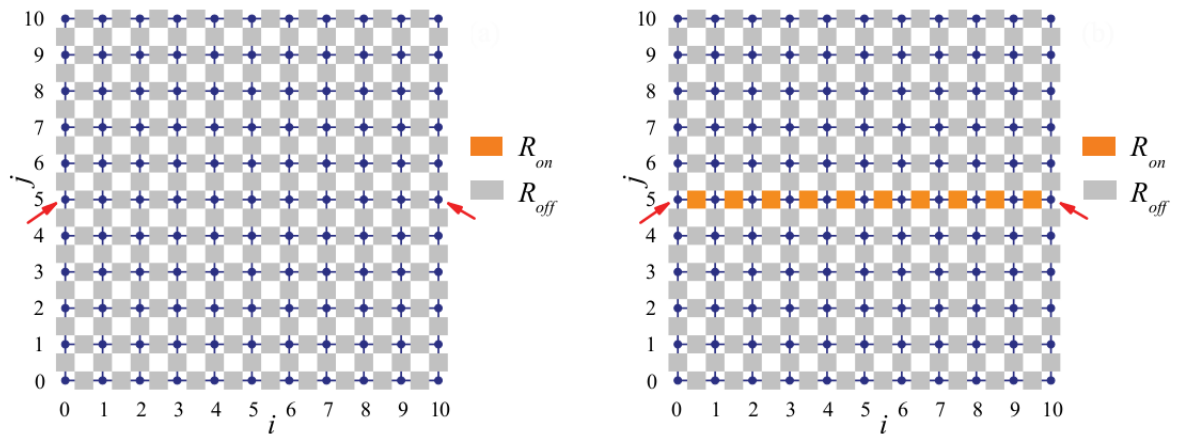
3. Inicijalizacija mreže opisana je u radu [PDV11]: primenom odgovarajućih naponskih nivoa na čvorove mreže moguće je inicijalizovati stanje svakog memristora ponaosob;
4. Dinamika ponašanja sistema je kolektivna, a ekstremne vrednosti memristansi korišćenih memristora su odabrane tako da omoguće promenu stanja svih memristora mreže;
5. Čitanje stanja svakog pojedinačnog memristora se ostvaruje generisanjem odgovarajućih naponskih impulsa male amplitude na odgovarajućim čvorovima mreže;
6. Bilo kakva promena lavirinta, a samim tim i topologije sistema, automatski bi rezultovala novim rešenjem problema.

U [DVP12b] korišćen je isti memristivni procesor kao u [PDV11], gde prekidači imaju dvostruku ulogu: omogućavaju nezavistan pristup svakom pojedinačnom memristoru i omogućavaju promenu topologije sistema. Kao što je već naglašeno ranije, izračunavanje sprovedeno od strane ovakve memristive strukture se dešava kao posledica evolucije stanja strukture. Stanje strukture je zapravo kolekcija stanja svih elemenata od kojih je struktura sastavljena, a pod uticajem spolja primenjene pobude.

U radu [DVP12b] je rešavan problem pronalaženja najkraćeg puta sa ciljem da se demonstriraju još neke važne karakteristike ovakvog sistema. Slično kao i u radu [PDV11] problem se rešava u tri koraka: nakon inicijalizacije sistema postavljanjem svih memristora u stanje visoke memristanse, i nakon izračunavanja primenom napona na "tačke" između kojih se traži najkraći put, prihvatanje rezultata izračunavanja se vrši čitanjem stanja memristora strukture i identifikovanjem najkraćeg puta određenog memristorima sa najmanjom memristansom u kolu. Rešenje problema, kao i inicijalno stanje strukture pre primene spoljašnjeg napona, prikazano je na slici 3.23. Mehanizam rešavanja ovakvog problema je jednostavan i jednoznačan: primenom napona na predefinisane spoljašnje tačke, struje počinju da teku kroz celu memristivnu strukturu. Ipak, najveća struja u kolu će se pojaviti na putanji najmanje otpornosti, u skladu sa Omovim zakonom. Kao posledica toga, usled najveće struje, stanje memristora na putu najmanje otpornosti (memristanse), će



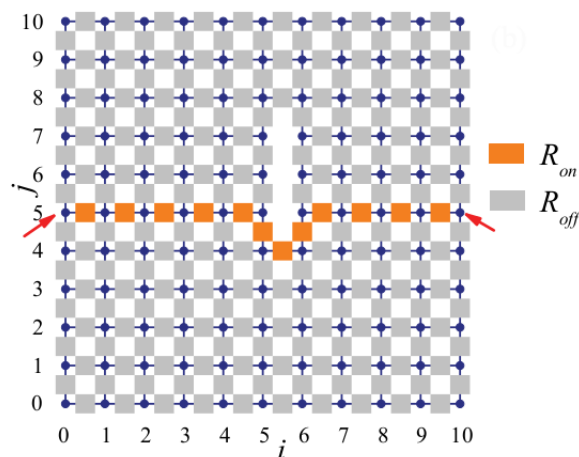
Slika 3.22 – Rešenje problema nalaženja najkraćeg puta u lavirintu predstavljeno memristorima u stanju niske memristanse (preuzeto iz [PDV11])



Slika 3.23 – Pronalazjenje najkraćeg puta između dve tačke korišćenjem memristivnog procesora (preuzeto iz [DVP12b])

se najviše menjati i smanjivati, što će opet rezultovati još većom strujom koja protiče tom putanjom. U ovakvom jednom regenerativnom procesu, formiraće se putanja najmanje memristanse koja će odrediti najkraću putanju između polaznih tačaka. Sličan mehanizam se pojavljuje i kod optimizacionog algoritma kolonije mrava, opisanog u [GL10, DMC96].

U radu [DVP12b] je takođe demonstrirana i imunost sistema na deformitet strukture (kriterijum 6), tako što su uklonjene tri ćelije koje se nalaze na najkraćem putu. Kao rezultat, ponovo je pronađen najkraći put koji zaobilazi deformisane (uklonjene ćelije) a opet kao posledica toka najveće struje putem najmanjeg otpora (memristanse). Na slici 3.24 može se videti rešenje problema najkraćeg puta koje je izračunato na deformisanoj strukturi. Masovno paralelno procesiranje demonstrirano u radu [DVP12b] je vrlo slično funkcionisanju sinapsi koje povezuju neurone u mozgu. Čak i sa stanovišta upravo demonstrirane imunosti na deformitete, ova struktura se ponaša slično kao ljudski mozak: odumiranjem neurona i sinapsi njihovu funkciju preuzimaju drugi neuroni i sinapse.



Slika 3.24 – Demonstracija imunosti memristivnog procesora na deformaciju strukture (kriterijum 6) (preuzeto iz [DVP12b])

Glava 4

Rekurzivna Bulova formula sa fiksnim poretkom pozitivnih proizvod termova

Memristori, mem-uređaji i mem-sistemi dopunjuju i nadograđuju klasičnu teoriju električnih kola, pronalazeći svoju ulogu u sve širem spektru trenutnih i budućih aplikacija. Između ostalog, upotreba memristora kao gradivnog bloka za buduće digitalne nano-strukture obećava revolucionarni progres iza granica definisanih Murovim zakonom i trenutnim tehnološkim ograničenjima. Imajući to u vidu, digitalna kola bazirana na memristorima dobivaju na značaju, a alati za projektovanje i sintezu takvih kola i sistema postaju neophodni.

Memristor se, gledano sa stanovišta digitalnih kola, a kako je već ranije navedeno, može u dostupnoj literaturi naći u širokom opsegu kola najrazličitijih topologija (Boolean, Threshold Logic, Majority Logic) [RRMKP12] i arhitektura: elementarni memristorski par koji kombinuje mogućnost izvršavanja logičkih operacija sa mogućnošću pamćenja stanja (eng. *stateful logic*) [BSKYSW10], memristivni nizovi i matrične strukture (eng. *arrays and crossbars*) kao i ostale regularne strukture kao što su MPLA, PMLA, TLA [RRMKP12, LPL12]. U postojećoj naučnoj literaturi mogu se naći brojni radovi na temu hibridnih CMOS-mem arhitektura [RRMKP12, KWSKWF12, MNY11], mem-sistema nalik FPGA arhitekturama [KSK11][WJB10][GH10], kao i logička kola bazirana na savremenim mem-uređajima kao što su mem-tranzistori [SDML12].

Kada se govori o memristoru kao “gradivnom bloku” za složena logička kola dolazimo do problema koji je ključan: pošto je memristor pasivna komponenta, kaskadiranje više memristivnih logičkih kola neminovno vodi ka problemu degradacije amplitude signala (napona ili struje) [RRMKP12], kao i nemogućnosti ostvarenja željenog maksimalnog *fanout*-a [LPL12]. Topologije koje rešavaju problem *fanout*-a su predložene u [LPL12], korišćenjem takozvanih “ispravljачkih” memristora koji izračunavaju inverznu non-implikaciju (eng. *converse non-implication*), kao i u [KSK11] korišćenjem specijalnih sekvenci ulaznih signala u protočnoj “*stateful logic*” topologiji.

Navedeni problemi predstavljaju osnovnu motivaciju istraživanja u ovoj oblasti, kao i istraživački pravac predstavljen u [LPL10a], [LPL10b], [PLL12] kao kompromisno rešenje, pošto omogućava izračunavanje proizvoljne N -ulazne Bulove funkcije, imuno na degradaciju signala usled činjenice da se koriste samo dva mem-

ristora u osnovnoj “*stateful logic*” topologiji. Ova, najjednostavnija moguća memristivna struktura za izračunavanje, je imuna na problem degradacije signala usled činjenice da informaciju “čuva” otpornost, odnosno memristansa memristora (R_{ON} i R_{OFF}), a ne prenosi se putem struje ili napona kao u slučaju standardnog kaskadiranja. Takođe, kao posledica rekurzivne prirode izračunavanja, *fanout* problem ne utiče na *stateful logic* topologiju jer je tokom rada samo jedan memristor aktivan u datom trenutku, dok drugi akumulira prethodno izračunat rezultat. Ipak, cena koja se plaća je neophodnost pred-procesiranja i generisanja kompleksnih kontrolnih sekvenci [LPL12],[LPL10a],[LPL10b]. Korišćenjem ovog pristupa, vrši se kompromis između prostorne kompleksnosti Bulovog kola i vremenske kompleksnosti algoritma za izračunavanje željene funkcije.

U [LPL10a],[LPL10b] autori su predstavili takozvanu rekurzivnu Bulovu formulu (skraćeno RBF) koja omogućava izračunavanje proizvoljne N -ulazne Bulove funkcije $y(x_1, \dots, x_N)$ korišćenjem samo dva radna memristora i N ulaznih memristora koji čuvaju vrednost svake od N promenljivih date funkcije. Za datu Bulovu funkciju (BF skraćeno) $y(x_1, \dots, x_N)$, predstavljena rekurzivna forma je oblika:

$$\hat{y} = (((\pi_L)^{\alpha_L} + \pi_{L-1})^{\alpha_{L-1}} + \dots + \pi_2)^{\alpha_2} + \pi_1)^{\alpha_1}. \quad (4.1)$$

U rekurzivnoj formuli \hat{y} članovi $\pi_1, \pi_2, \dots, \pi_L, L = 2^N$ predstavljaju takozvane pozitivne proizvod termine (PPT skraćeno) takve da je:

$$\begin{aligned} \pi_1 &= x_1 x_2 \dots x_N \\ \pi_2 &= x_2 x_3 \dots x_N \\ \pi_3 &= x_1 x_3 \dots x_N \\ &\vdots \\ \pi_{L-2} &= x_2 \\ \pi_{L-1} &= x_1 \\ \pi_L &= 1. \end{aligned}$$

Eksponenti u rekurzivnoj formuli predstavljaju skraćenu notaciju za negaciju Bulovog izraza tako da je $x^1 = x$, $x^0 = \bar{x}$, a za datu BF y se računaju kao:

$$\alpha_1 = y(\beta_1) \quad (4.2)$$

$$\alpha_k = 1 \iff y(\beta_k) = \alpha_{k-1}, \forall k \in \{2, \dots, L\}, \quad (4.3)$$

pri čemu su $\beta_k, k \in \{1, \dots, 2^N\}$ N -dimenzioni bit vektori kod kojih se na poziciji j nalazi 1 ako i samo ako se u odgovarajućem π_k pojavljuje promenljiva x_j . Ubrzo nakon objavljivanja rada [LPL10a], isti autori su objavili [LPL10b] u kome su ispravili grešku iz originalnog rada, koja se odnosi na broj pozitivnih proizvod termina (PPT-ova). Ipak, način izračunavanja eksponenata prikazan u originalnom radu je ostao nekorektan. U tekstu koji sledi, najpre će biti predstavljen primer na kome se vidi da rekurzivna Bulova formula \hat{f} konstruisana na način prikazan u [LPL10a, LPL10b], ne reprezentuje Bulovu funkciju f , za koju se konstruiše. Zatim će biti pokazano na koji način se konstruiše rekurzivna Bulova formula koja će adekvatno predstavljati Bulovu funkciju. Predstavljena konstrukcija rekurzivne

formule se zasniva na detaljnom i preciznom matematičkom dokazu, dok će na ilustrativnom primeru biti demonstrirana primena teorijskog rezultata.

Tvrđnja 1. Postoji Bulova funkcija $f : B^N \rightarrow B$ koja nije na adekvatan način predstavljena rekurzivnom Bulovom formulom definisanom u tvrđenju Teoreme 1 u radu [LPL10a] (uključujući i korekcije prikazane u [LPL10b]).

Dokaz. Neka je Bulova funkcija $f : B^2 \rightarrow B$ oblika $f(p_1, p_2) = \overline{p_1 \wedge p_2}$. Tada je:

$$\pi_1 = p_1 \wedge p_2$$

$$\pi_2 = p_2$$

$$\pi_3 = p_1$$

$$\pi_4 = 1.$$

Takođe, imamo da je:

$$\beta_1 = (1, 1)$$

$$\beta_2 = (0, 1)$$

$$\beta_3 = (1, 0)$$

$$\beta_4 = (0, 0),$$

odakle sledi

$$f(\beta_1) = 0$$

$$f(\beta_2) = 1$$

$$f(\beta_3) = 1$$

$$f(\beta_4) = 1.$$

Izračunavanjem eksponenata u skladu sa [LPL10a, LPL10b], dobijamo

$$f(\beta_1) = 0 \Rightarrow \alpha_1 = 0$$

$$f(\beta_2) \neq \alpha_1 \Rightarrow \alpha_2 = 0$$

$$f(\beta_3) \neq \alpha_2 \Rightarrow \alpha_3 = 0$$

$$f(\beta_4) \neq \alpha_3 \Rightarrow \alpha_4 = 0.$$

Tada, rekurzivna Bulova formula konstruisana u skladu sa tvrđenjem teoreme iz [LPL10a, LPL10b] ima oblik:

$$\hat{f} = \overline{\overline{\overline{1 \vee p_1 \vee p_2 \vee (p_1 \wedge p_2)}}} \implies$$

$$\hat{f} = \overline{\overline{\overline{\overline{p_1} \vee p_2 \vee (p_1 \wedge p_2)}}} \implies$$

$$\hat{f} = \overline{\overline{\overline{(p_1 \wedge \overline{p_2}) \vee (p_1 \wedge p_2)}}} \implies$$

$$\hat{f} = \overline{\overline{\overline{p_1 \wedge (\overline{p_2} \vee p_2)}}} \implies$$

$$\hat{f} = \overline{\overline{\overline{\overline{p_1}}}}$$

što očigledno nije ekvivalentno Bulovoj funkciji $f(p_1, p_2) = \overline{p_1 \wedge p_2}$. □

U nastavku će biti prikazan jednoznačan i korektan način konstrukcije rekurzivne Bulove formule koja predstavlja proizvoljnu Bulovu funkciju.

Definicija 1. *Leksikografski uređeni pozitivni proizvod termovi $\pi_1, \dots, \pi_L, L = 2^N$ sa N promenljivih (uključujući i logičko “1” dodat u [LPL10b]) su*

$$\begin{aligned}\pi_L &= 1 \\ \pi_{L-1} &= p_1 \\ \pi_{L-2} &= p_2 \\ &\vdots \\ \pi_2 &= p_2 \wedge p_3 \wedge \dots \wedge p_N\end{aligned}$$

$$\pi_1 = p_1 \wedge p_2 \wedge p_3 \wedge \dots \wedge p_N.$$

Definicija 2. Za skup leksikografski uređenih pozitivnih proizvod termova, definišemo binarne N -torke kao:

$$\beta_k = (b_{k1}, \dots, b_{kN}), \forall k \in \{1, \dots, L\}, L = 2^N$$

takve da važi

$$b_{ki} = 1 \Leftrightarrow p_i \in \pi_k.$$

Definicija 3. Za date leksikografski uređene pozitivne proizvod termove $\pi_1, \pi_2, \dots, \pi_L, L = 2^N$ skup $\Pi_k = \{i \mid p_i \in \pi_k\}, k \in \{1, 2, \dots, L\}$ zove se *skup indeksa pozitivnih proizvod termova*.

U skladu sa Definicijom 3, očigledno je da se pozitivni proizvod term π_k može zapisati kao

$$\pi_k = \bigwedge_{i \in \Pi_k} p_i, k \in \{1, \dots, L\}. \quad (4.4)$$

Tvrđnja 2. Za leksikografski uređene pozitivne proizvod termove $\pi_1, \pi_2, \dots, \pi_L, L = 2^N$, i svaki uređen par $(\Pi_k, \Pi_t), k, t \in \{1, \dots, L\}, k \neq t$, važi

$$k < t \Rightarrow \Pi_k \not\subseteq \Pi_t.$$

Dokaz. Kao posledica Definicija 1 i 3,

$$\Pi_k \subseteq \Pi_t \Rightarrow k \geq t, \forall k, t \in \{1, \dots, L\} \quad (4.5)$$

Koristeći tautologiju kontrapozicije

$$(p \Rightarrow q) \Leftrightarrow (\neg q \Rightarrow \neg p) \quad (4.6)$$

sledi da je

$$\Pi_k \subseteq \Pi_t \Rightarrow k \geq t \Leftrightarrow k < t \Rightarrow \Pi_k \not\subseteq \Pi_t, \forall k, t \in \{1, \dots, L\}. \quad (4.7)$$

□

Lema 1. Neka su leksikografski uređeni pozitivni proizvod termovi $\pi_1, \pi_2, \dots, \pi_L$, $L = 2^N$ i $\beta_1, \beta_2, \dots, \beta_L$ definisani Definicijom 2. Tada važi da je

$$\pi_k(\beta_t) = 1 \Leftrightarrow \Pi_k \subseteq \Pi_t, \forall k, t \in \{1, \dots, L\}, L = 2^N.$$

Dokaz. Prvo ćemo pokazati da važi da je $\pi_k(\beta_t) = 1$ ako je ispunjeno $\Pi_k \subseteq \Pi_t, \forall k, t \in \{1, \dots, L\}, L = 2^N$. U skladu sa zapisom pozitivnog proizvod terma korišćenjem skupa indeksa pozitivnih proizvod termova (4.4), imamo da je

$$\pi_k(\beta_t) = \bigwedge_{i|i \in \Pi_k} b_{ti}, \quad k \in \{1, \dots, L\}. \quad (4.8)$$

Takođe, po definiciji podskupa važi

$$\Pi_k \subseteq \Pi_t \Leftrightarrow i \in \Pi_t, \forall i \in \Pi_k. \quad (4.9)$$

Kao rezultat, dobija se

$$\begin{aligned} \pi_k(\beta_t) = \bigwedge_{i|i \in \Pi_k} b_{ti} &\implies \\ \pi_k(\beta_t) = \bigwedge_{i|i \in \Pi_t} b_{ti} &\implies \\ \pi_k(\beta_t) = \bigwedge_{i|p_i \in \pi_t} b_{ti} &\implies \\ \pi_k(\beta_t) = \bigwedge_{i|b_{ti}=1} b_{ti} &= 1. \end{aligned} \quad (4.10)$$

Preostaje da se pokaže da je $\Pi_k \subseteq \Pi_t$ ukoliko je ispunjeno $\pi_k(\beta_t) = 1$.

$$\begin{aligned} \pi_k(\beta_t) = \bigwedge_{i|i \in \Pi_k} b_{ti} = 1 &\implies \\ b_{ti} = 1, \forall i \in \Pi_k &\implies \\ p_i \in \pi_t, \forall i \in \Pi_k &\implies \\ i \in \Pi_t, \forall i \in \Pi_k &\implies \\ \Pi_k \subseteq \Pi_t. & \end{aligned}$$

□

Iz Leme 1 direktno proizilazi da je

$$\pi_k(\beta_t) = 0 \Leftrightarrow \Pi_k \not\subseteq \Pi_t, \forall k, t \in \{1, \dots, L\}, L = 2^N. \quad (4.11)$$

Tvrđnja 3. Za leksikografski uređene pozitivne proizvod termove $\pi_1, \pi_2, \dots, \pi_L$, $L = 2^N$ i $\beta_1, \beta_2, \dots, \beta_L$, važi da je

$$k < t \implies \pi_k(\beta_t) = 0, \forall k, t \in \{1, \dots, L\}, L = 2^N.$$

Dokaz. Na osnovu Tvrdnje 2 sledi da je

$$k < t \Rightarrow \Pi_k \not\subseteq \Pi_t, \forall k, t \in \{1, \dots, L\}. \quad (4.12)$$

Tada, obzirom na posledicu Leme 1 (4.11) imamo

$$k < t \Rightarrow \pi_k(\beta_t) = 0, \forall k, t \in \{1, \dots, L\}, L = 2^N. \quad (4.13)$$

□

U nastavku teksta, simbol \oplus predstavlja Ekskluzivno ILI (XOR) operaciju i koristi se u cilju pojednostavljenja notacije.

Teorema 1. *Neka je $f : B^N \rightarrow B$ proizvoljna N -ulazna 1-izlazna Bulova funkcija i $\pi_1, \pi_2, \dots, \pi_L, \beta_1, \beta_2, \dots, \beta_L, L = 2^N$ definisani Definicijama 1 i 2. Tada, funkcija f je predstavljena Bulovom formulom*

$$\hat{f} = ((\dots((\pi_L)^{\alpha_L} \vee \pi_{L-1})^{\alpha_{L-1}} \dots \pi_2)^{\alpha_2} \vee \pi_1)^{\alpha_1},$$

gde su eksponenti $\alpha_i, i \in \{1, \dots, L\}$, koji predstavljaju negacije ($x^0 = \bar{x}, x^1 = x$ za proizvoljni Bulov izraz x), definisani kao

$$\alpha_1 = f(\beta_1),$$

$$\alpha_k = 1 \Leftrightarrow f(\beta_k) = f(\beta_{k-1}), \forall k \in \{2, \dots, L\}.$$

Dokaz. Najpre, treba obratiti pažnju da se eksponenti, definisani u tvrđenju teoreme mogu napisati na sledeći način

$$\alpha_1 = f(\beta_1) \quad (4.14)$$

$$\begin{aligned} \alpha_k = 1 &\Leftrightarrow f(\beta_k) = f(\beta_{k-1}) \implies \\ \alpha_k &= \overline{f(\beta_k) \oplus f(\beta_{k-1})}, \forall k \in \{2, \dots, L\}. \end{aligned} \quad (4.15)$$

Dakle, računanje eksponenata $\alpha_1, \dots, \alpha_L, L = 2^N$, na osnovu vrednosti Bulove funkcije f vrši se na sledeći način:

$$a_1 = f(\beta_1) \quad (4.16)$$

$$a_2 = \overline{f(\beta_1) \oplus f(\beta_2)} \quad (4.17)$$

$$a_3 = \overline{f(\beta_2) \oplus f(\beta_3)} \quad (4.18)$$

⋮

$$a_L = \overline{f(\beta_{L-1}) \oplus f(\beta_L)} \quad (4.19)$$

Da bismo dokazali tvrđenje teoreme, pretpostavimo suprotno:

$$\exists \beta_m \mid f(\beta_m) \neq \hat{f}(\beta_m) \wedge f(\beta_i) = \hat{f}(\beta_i), \forall i < m. \quad (4.20)$$

Ako takvo m ne postoji (trivijalan slučaj), tada očigledno imamo da je

$$f(\beta_i) = \hat{f}(\beta_i), \forall i \in \{1, \dots, L\}, \quad (4.21)$$

što znači da je funkcija f predstavljena rekurzivnom Bulovom formulom \hat{f} . Za netrivialni slučaj, najpre ćemo pretpostaviti da je $m > 1$. Tada, imamo

$$\hat{f}(\beta_m) = ((\dots((\pi_L(\beta_m))^{\alpha_L} \vee \dots \pi_m(\beta_m))^{\alpha_m} \vee \dots \pi_2(\beta_m))^{\alpha_2} \vee \pi_1(\beta_m))^{\alpha_1}. \quad (4.22)$$

Na osnovu Tvrdnje 3, važi da je

$$\pi_i(\beta_m) = 0, \forall i < m, \quad (4.23)$$

dok je direktna posledica Leme 1

$$\pi_m(\beta_m) = 1. \quad (4.24)$$

Kao rezultat, rekurzivnu formu možemo zapisati kao

$$\begin{aligned} \hat{f}(\beta_m) &= ((\dots((DC) \vee 1)^{\alpha_m} \vee \dots 0)^{\alpha_2} \vee 0)^{\alpha_1} \implies \\ \hat{f}(\beta_m) &= (((1)^{\alpha_m} \dots)^{\alpha_2})^{\alpha_1}, \end{aligned} \quad (4.25)$$

gde DC stoji kao skraćenica za *Don't care*, obzirom na rekurzivnu strukturu forme koju posmatramo i teoremu Bulove algebre $x \vee 1 = 1$ (za proizvoljan Bulov izraz x). Zapisivanjem eksponenata iz rekurzivne formule u notaciji sa operacijom ekskluzivno ILI, za proizvoljan Bulov izraz x važi

$$x^0 = \bar{x} = x \oplus 1, \quad (4.26)$$

$$x^1 = x = x \oplus 0. \quad (4.27)$$

Gornja dva zapisa možemo generalizovati kao

$$x^y = x \oplus \bar{y}, \quad (4.28)$$

pri čemu su x i y proizvoljni Bulovi izrazi. Ukoliko imamo dvostruki eksponent, važi da je

$$(x^y)^z = (x \oplus \bar{y})^z = x \oplus \bar{y} \oplus \bar{z}, \quad (4.29)$$

za proizvoljne Bulove izraze x, y i z . Na sličan način, za višestruke eksponente i proizvoljne Bulove izraze x, y i z važi

$$((x^y) \dots)^z = (x \oplus \bar{y} \oplus \dots)^z = x \oplus \bar{y} \oplus \dots \oplus \bar{z}. \quad (4.30)$$

Dakle, zapisujući izraz (4.25) u notaciji sa operacijom ekskluzivno ILI, imamo da je

$$\hat{f}(\beta_m) = (((1)^{\alpha_m} \dots)^{\alpha_2})^{\alpha_1} = 1 \oplus \bar{\alpha}_m \oplus \dots \oplus \bar{\alpha}_2 \oplus \bar{\alpha}_1 \quad (4.31)$$

$$\hat{f}(\beta_m) = (1 \oplus \bar{\alpha}_1 \oplus \bar{\alpha}_2 \oplus \dots) \oplus \bar{\alpha}_m \quad (4.32)$$

$$\hat{f}(\beta_m) = \hat{f}(\beta_{m-1}) \oplus \bar{\alpha}_m. \quad (4.33)$$

Pošto smo pretpostavili da važi $f(\beta_m) \neq \hat{f}(\beta_m)$ dobijamo:

$$f(\beta_m) \neq \hat{f}(\beta_m) \implies f(\beta_m) \neq \hat{f}(\beta_{m-1}) \oplus \bar{\alpha}_m. \quad (4.34)$$

Sa druge strane, takođe na osnovu pretpostavke, imamo da je $f(\beta_i) = \hat{f}(\beta_i), \forall i < m$. Iz ovoga sledi

$$f(\beta_m) \neq \hat{f}(\beta_m) \implies f(\beta_m) \neq f(\beta_{m-1}) \oplus \bar{\alpha}_m. \quad (4.35)$$

Primenom ekskluzivno III operacije sa $f(\beta_{m-1})$ na desnu stranu implikacije:

$$f(\beta_m) \neq \hat{f}(\beta_m) \implies f(\beta_m) \oplus f(\beta_{m-1}) \neq f(\beta_{m-1}) \oplus f(\beta_{m-1}) \oplus \bar{\alpha}_m \quad (4.36)$$

$$f(\beta_m) \neq \hat{f}(\beta_m) \implies f(\beta_m) \oplus f(\beta_{m-1}) \neq \bar{\alpha}_m \quad (4.37)$$

$$f(\beta_m) \neq \hat{f}(\beta_m) \implies \overline{f(\beta_m) \oplus f(\beta_{m-1})} \neq \alpha_m. \quad (4.38)$$

Pošto u ovom delu dokaza podrazumevamo da je $m \geq 2$, nejednačina (4.38) je u kontradikciji sa definicijom eksponenata prikazanom u (4.15). Dakle, početna pretpostavka

$$\exists \beta_m \mid f(\beta_m) \neq \hat{f}(\beta_m) \wedge f(\beta_i) = \hat{f}(\beta_i), \forall i < m$$

nije zadovoljena, odnosno važi da je

$$f(\beta_i) = \hat{f}(\beta_i), \forall i \in \{1, \dots, L\}, \quad (4.39)$$

što znači da rekurzivna Bulova formula \hat{f} predstavlja Bulovu funkciju f .

Ostalo je da se dokaže i za slučaj kada je $m = 1$, a ovaj slučaj zahteva poseban dokaz zbog činjenice da je eksponent α_1 drugačije definisan kao $\alpha_1 = f(\beta_1)$. Za $m = 1$, slično kao u (4.25):

$$\hat{f}(\beta_1) = ((DC) \vee 1)^{\alpha_1} \implies \hat{f}(\beta_1) = 1^{\alpha_1} = 1 \oplus \bar{\alpha}_1, \quad (4.40)$$

odakle sledi

$$f(\beta_1) \neq \hat{f}(\beta_1) \implies f(\beta_1) \neq 1 \oplus \bar{\alpha}_1 \quad (4.41)$$

$$f(\beta_1) \neq \hat{f}(\beta_1) \implies f(\beta_1) \neq \alpha_1 \quad (4.42)$$

što je takođe kontradikcija sa definicijom eksponenta α_1 datom u (4.14). \square

Gore predstavljenom i dokazanom teoremom, indirektno smo demonstrirali način konstrukcije rekurzivne Bulove formule \hat{f} u zavisnosti od date proizvoljne Bulove funkcije $f : B^N \rightarrow B$ (obratiti pažnju da su eksponenti u rekurzivnoj Bulovoj formuli zavisni isključivo od Bulove funkcije f). Na osnovu rezultata prikazanog u radu [LPL10a], ovako konstruisana rekurzivna Bulova formula \hat{f} omogućava izračunavanje Bulove funkcije f korišćenjem dva memristora.

Primer 1. Koristeći rekurzivnu Bulovu formulu konstruisanu tvrdjenjem Teoreme 1, za Bulovu funkciju $f(p_1, p_2) = \overline{p_1 \wedge p_2}$ iz Tvrdnje 1, dobijamo da je

$$\pi_1 = p_1 \wedge p_2$$

$$\pi_2 = p_2$$

$$\pi_3 = p_1$$

$$\pi_4 = 1.$$

Takođe, imamo da je:

$$\beta_1 = (1, 1)$$

$$\beta_2 = (0, 1)$$

$$\beta_3 = (1, 0)$$

$$\beta_4 = (0, 0),$$

odakle sledi

$$f(\beta_1) = 0$$

$$f(\beta_2) = 1$$

$$f(\beta_3) = 1$$

$$f(\beta_4) = 1.$$

Zahvaljujući konstrukciji eksponenata u skladu sa tvrđenjem Teoreme 1, imamo

$$f(\beta_1) = 0 \Rightarrow \alpha_1 = 0$$

$$f(\beta_2) \neq f(\beta_1) \Rightarrow \alpha_2 = 0$$

$$f(\beta_3) = f(\beta_2) \Rightarrow \alpha_3 = 1$$

$$f(\beta_4) = f(\beta_3) \Rightarrow \alpha_4 = 1.$$

Tada, rekurzivna Bulova formula konstruisana na osnovu Teoreme 1 ima oblik:

$$\hat{f} = \overline{\overline{\overline{1 \vee p_1 \vee p_2} \vee (p_1 \wedge p_2)}}$$

$$\hat{f} = \overline{\overline{1 \vee (p_1 \wedge p_2)}}$$

$$\hat{f} = \overline{p_1 \wedge p_2}$$

što je ekvivalentno polaznoj Bulovoj funkciji $f(p_1, p_2)$.

Primer 2. Posmatrajmo Bulovu funkciju 3 promenljive čija je istinitosna tablica prikazana u tabeli 4.1.

x_1	x_2	x_3	y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

Tabela 4.1 – Primer 3-ulazne 1-izlazne Bulove funkcije

Za ovu funkciju, pozitivni proizvod termini su

$$\pi_1 = x_1x_2x_3$$

$$\pi_2 = x_2x_3$$

$$\pi_3 = x_1x_3$$

$$\pi_4 = x_1x_2$$

$$\pi_5 = x_3$$

$$\pi_6 = x_2$$

$$\pi_7 = x_1$$

$$\pi_8 = 1,$$

a odgovarajući $\beta_i, i \in \{1, \dots, 8\}$ i vrednosti funkcije f za odgovarajuće bit-vektore su

$$\beta_1 = (1, 1, 1) \implies y(\beta_1) = 0$$

$$\beta_2 = (0, 1, 1) \implies y(\beta_2) = 1$$

$$\beta_3 = (1, 0, 1) \implies y(\beta_3) = 0$$

$$\beta_4 = (1, 1, 0) \implies y(\beta_4) = 0$$

$$\beta_5 = (0, 0, 1) \implies y(\beta_5) = 0$$

$$\beta_6 = (0, 1, 0) \implies y(\beta_6) = 0$$

$$\beta_7 = (1, 0, 0) \implies y(\beta_7) = 1$$

$$\beta_8 = (0, 0, 0) \implies y(\beta_8) = 1.$$

Izračunavanjem eksponenata rekurzivne Bulove formule dobija se:

$$a_1 = y(1, 1, 1) = 0$$

$$a_2 = \overline{y(1, 1, 1) \oplus y(0, 1, 1)} = 0$$

$$a_3 = \overline{y(0, 1, 1) \oplus y(1, 0, 1)} = 0$$

$$a_4 = \overline{y(1, 0, 1) \oplus y(1, 1, 0)} = 1$$

$$a_5 = \overline{y(1, 1, 0) \oplus y(0, 0, 1)} = 1$$

$$a_6 = \overline{y(0, 0, 1) \oplus y(0, 1, 0)} = 1$$

$$a_7 = \overline{y(0, 1, 0) \oplus y(1, 0, 0)} = 0$$

$$a_8 = \overline{y(1, 0, 0) \oplus y(0, 0, 0)} = 1.$$

Kao rezultat, dobijamo da je rekurzivna Bulova formula oblika:

$$\hat{y} = \left(\left(\left(\left(\left(\left((1^1 + x_1)^0 + x_2 \right)^1 + x_3 \right)^1 + x_1x_2 \right)^1 + x_1x_3 \right)^0 + x_2x_3 \right)^0 + x_1x_2x_3 \right)^0. \quad (4.43)$$

U cilju poređenja rekurzivne formule sa Bulovom funkcijom predstavljenom u tabeli 4.1, rekurzivnu Bulovu formulu ćemo zapisati korišćenjem standardne notacije Bulovih negacija:

$$\begin{aligned}
\hat{y} &= \overline{\overline{\overline{1 + x_1 + x_2 + x_3 + x_1x_2 + x_1x_3 + x_2x_3 + x_1x_2x_3}}} \implies \\
\hat{y} &= \overline{\overline{x_2 + x_3 + x_1x_2 + x_1x_3 + x_2x_3 + x_1x_2x_3}} \implies \\
\hat{y} &= \overline{x_2 + x_3 + x_2x_3 + x_1x_2x_3} \implies \\
\hat{y} &= \overline{\overline{x_2x_3} + x_2x_3 + x_1x_2x_3} \implies \\
\hat{y} &= \overline{\overline{x_2x_3} + x_2\overline{x_3} + x_1x_2x_3} \implies \\
\hat{y} &= (x_2 + \overline{x_3})(\overline{x_2} + x_3)(\overline{x_1} + \overline{x_2} + \overline{x_3}) \implies \\
\hat{y} &= (\overline{x_2}\overline{x_3} + x_2x_3)(\overline{x_1} + \overline{x_2} + \overline{x_3}) \implies \\
\hat{y} &= \overline{x_1}\overline{x_2}\overline{x_3} + \overline{x_1}x_2x_3 + \overline{x_2}\overline{x_3} \implies \\
\hat{y} &= \overline{x_1}\overline{x_2}\overline{x_3} + \overline{x_1}x_2x_3 + (x_1 + \overline{x_1})\overline{x_2}\overline{x_3} \implies \\
\hat{y} &= \overline{x_1}\overline{x_2}\overline{x_3} + \overline{x_1}x_2x_3 + x_1\overline{x_2}\overline{x_3}.
\end{aligned}$$

Očigledno, rekurzivna Bulova formula (4.43) odgovara Bulovoj funkciji predstavljenoj istinitosnom tablicom iz tabele 4.1.

Glava 5

Generisanje pobudnih naponskih sekvenci za *stateful logic* kolo

5.1 Računanje Bulove funkcije pomoću dva memristora

Rekurzivna Bulova formula (skraćeno RBF), prikazana u prethodnoj glavi, omogućava da se, korišćenjem dva radna memristora u *stateful logic* topologiji (slika 3.6), uz primenu odgovarajuće sekvence ulaznih signala, izračuna proizvoljna N -ulazna Bulova funkcija. Ova tvrdnja se zasniva na činjenici da je

$$x \rightarrow y \equiv \bar{x} + y. \quad (5.1)$$

Osim dva radna memristora (m_1 i m_2) na raspolaganju su i N ulaznih memristora (x_1, \dots, x_N), od kojih svaki čuva po jednu vrednost N ulaznih promenljivih. RBF oblika (4.1) može se realizovati korišćenjem 3 elementarne operacije:

$$op_1) x_k \rightarrow m_i, k \in \{1, \dots, N\};$$

$$op_2) m_i \rightarrow m_j, m_i = 0;$$

$$op_3) m_i \rightarrow m_j, m_i = 0, m_j \rightarrow m_i, m_j = 0, i \neq j;$$

U operacijama op_1 , op_2 i op_3 važi da $i, j \in \{1, 2\}$. Prva operacija omogućava nastajanje sume negiranih, odnosno korišćenjem De Morganove teoreme Bulove algebre, negiranog proizvoda nenegiranih promenljivih iz (4.1). Implikacije ulaznih promenljivih sa promenljivom predstavljenom trenutnim stanjem jednog od radnih memristora vrši se operacijom op_1 . Kao posledica, u m_i će se nakon određenog broja primena operacije op_1 nalaziti vrednost $m_i = \overline{x_t x_k \dots x_l}$, $t, k, l \in \{1, \dots, N\}$ u zavisnosti od toga koliko puta je op_1 izvršena i sa kojim ulaznim memristorima. Op_2 vrši implikaciju promenljivih m_i i m_j i rezultujuću vrednost $\bar{m}_i + m_j$ upisuje u memristor m_j . Op_3 je po svemu slična sa op_2 , sa razlikom da se vrši dvostruko invertovanje, što zahteva da radni memristori zamene svoje uloge nakon operacije op_3 : m_i postaje m_j i obrnuto. Op_2 se izvršava kada je odgovarajući eksponent α_i u RBF pozitivan, dok se op_3 koristi kada je on negativan.

Operacije op_1 , op_2 i op_3 se moraju izvršavati odgovarajućim redosledom u zavisnosti od konkretne Bulove funkcije koju treba implementirati. Na primer, za rekurzivnu Bulovu formulu

$$\hat{f} = \overline{\overline{1 + x_1 + x_2 + x_1 x_2}}$$

izračunatu u primeru 1 za Bulovu funkciju $f(x_1, x_2) = \overline{x_1 x_2}$, najpre je potrebno oba radna memristora postaviti u stanje logičke "0". Bez gubitka opštosti, uzmimo da je na početku $i = 1$, a $j = 2$. Zbog $\pi_4 = 1$, u prvom koraku se vrši operacija op_1 sa logičkom "1". U sledećem koraku se primenjuje operacija op_2 , jer je $\alpha_4 = 1$. U skladu sa tim, prva dva koraka su²

$$\text{korak 1 : } m_1 = 1 \rightarrow m_1 \implies m_1 = \bar{1} + 0 = 0$$

$$\text{korak 2 : } m_2 = m_1 \rightarrow m_2; m_1 = 0 \implies m_2 = \bar{0} + 0 = 1.$$

U ova prva dva koraka je kreiran početni PPT "1" u memristoru m_2 . Kreiranje sledećeg PPT-a x_1 vrši se u naredna dva koraka primenama op_1 i op_2 operacija:

$$\text{korak 3 : } m_1 = x_1 \rightarrow 0 = \bar{x}_1 + 0 = \bar{x}_1$$

$$\text{korak 4 : } m_2 = m_1 \rightarrow m_2; m_1 = 0 \implies m_2 = \overline{\bar{x}_1} + 1 = x_1 + 1$$

Slično, u dva koraka koji slede, ali ovaj put primenama jedne op_1 operacije i jedne op_3 operacije zbog činjenice da se izraz $1 + x_1 + x_2$ invertuje u RBF, dobijamo:

$$\text{korak 5 : } m_1 = x_2 \rightarrow 0 = \bar{x}_2 + 0 = \bar{x}_2$$

$$\text{korak 6 : } m_2 = m_1 \rightarrow m_2; m_1 = 0; \implies$$

$$m_2 = \overline{\bar{x}_2} + x_1 + 1 = x_2 + x_1 + 1$$

$$m_1 = m_2 \rightarrow m_1; m_2 = 0; m_1 \iff m_2$$

$$m_1 = \overline{1 + x_1 + x_2} + 0 = \overline{1 + x_1 + x_2}$$

nakon čega memristori m_1 i m_2 menjaju mesta, u smislu da se korišćenjem memristora m_2 ubuduće vrše op_1 operacije, dok memristor m_1 skladišti do tog trenutka izračunatu vrednost. Ova promena se dešava svaki put kada se u rekurzivnoj formi naiđe na eksponent "0". U naredna tri koraka se najpre kreira poslednji PPT (dva koraka) i na kraju dobija izračunat konačan rezultat smešten u memristoru m_2 u poslednjem koraku.

$$\text{korak 7 : } m_2 = x_1 \rightarrow 0 = \bar{x}_1 + 0 = \bar{x}_1$$

$$\text{korak 8 : } m_2 = x_2 \rightarrow \bar{x}_1 = \bar{x}_2 + \bar{x}_1 = \overline{x_1 x_2}$$

$$\text{korak 9 : } m_1 = m_2 \rightarrow m_1; m_2 = 0; \implies$$

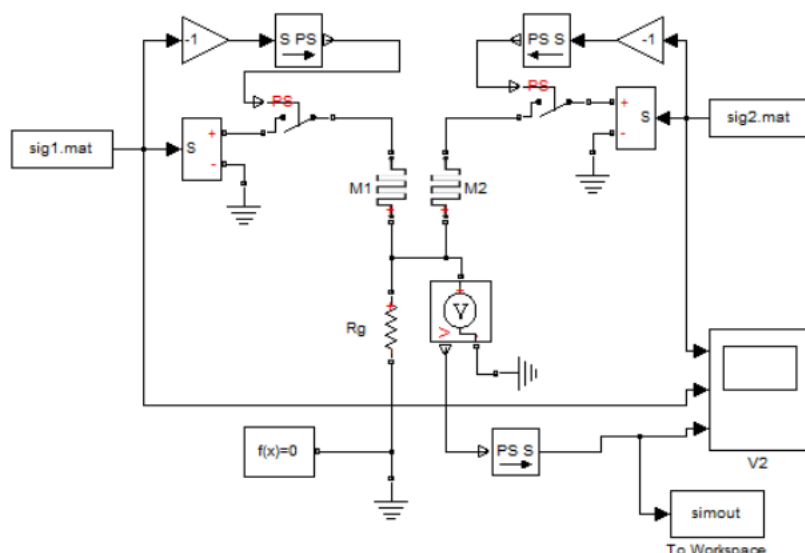
$$m_1 = m_2 \rightarrow \overline{1 + x_1 + x_2} = \overline{\overline{x_1 x_2} + 1 + x_1 + x_2} = \overline{x_1 x_2 + 1 + x_1 + x_2}$$

$$m_2 = m_1 \rightarrow m_2; m_1 = 0; m_1 \iff m_2 \implies$$

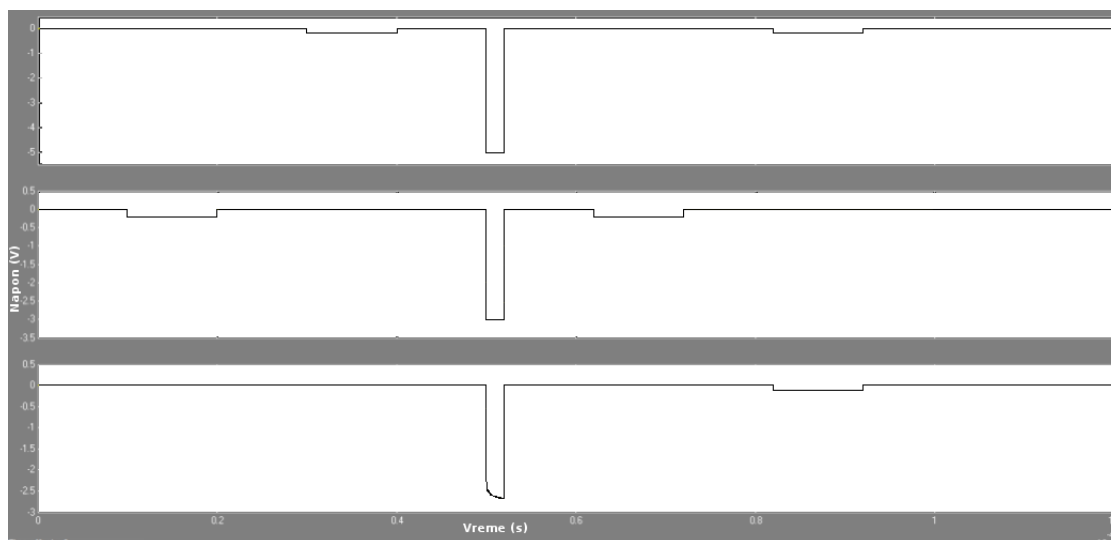
$$m_2 = m_1 \rightarrow 0 = \overline{x_1 x_2 + 1 + x_1 + x_2} + 0 = \overline{x_1 x_2 + 1 + x_1 + x_2}$$

Nakon devetog koraka, memristori m_1 i m_2 opet menjaju mesta, za izračunavanja koja slede. Međutim, obzirom da smo kao rezultat u memristoru m_2 dobili kompletnu rekurzivnu formulu $\overline{x_1 x_2 + 1 + x_1 + x_2}$, ovde se računanje završava. Kako je u primeru 1 pokazano, rekurzivna formula $\overline{x_1 x_2 + 1 + x_1 + x_2}$ predstavlja dvoulaznu ni funkciju, te će nakon gore predstavljenih 9 koraka, memristor m_2 imati vrednost izračunate funkcije $\overline{x_1 x_2}$, u skladu sa trenutnim vrednostima promenljivih x_1 i x_2 .

2. U opisu koraka izvršavanja operacija op_1 , op_2 i op_3 simbol \rightarrow predstavlja operaciju Bulove implikacije, dok simbol \implies označava da iz izraza sa njegove leve strane (*Left Hand Side, LHS*) sledi izraz sa njegove desne strane (*Right Hand Side, RHS*).



Slika 5.1 – Simulink model kola za izračunavanje implikacije dve promenljive



Slika 5.2 – Rezultati simulacije logičke implikacije dve promenljive

5.2 Model memristora korišćen za simulacije

U simulacijama kola za izračunavanje Bulovih funkcija pomoću rekursivnih Bulovih formula, korišćen je model memristora prikazan u [VTS11]. Model koji je korišćen podrazumeva eksponencijalnu zavisnosti drifta jona od spolja primenjenog električnog polja, kako bi se na adekvatan način modelovalo ponašanje realnih memristora. Eksponencijalna zavisnost drifta jona od spoljašnjeg električnog polja je takođe mnogo prikladnija za modelovanje operacija čitanja stanja memristora i upisivanja stanja u memristor. Model prikazan u radu [VTS11] omogućava minimalnu degradaciju stanja memristora primenom spoljašnjeg naponskog signala male amplitude koji se koristi za čitanje stanja memristora, zahvaljujući malom uticaju polja na brzinu drifta jona u tom slučaju. Sa druge strane, model omogućava uspešno upisivanje u memristor naponskim impulsom dovoljno velike amplitude veoma kratkog trajanja, usled činjenice da polje većeg intenziteta eksponencijalno povećava drift jona, što rezultuje brzom tranzicijom memristora iz

stanja visoke u stanje niske memristanse, i obrnuto. Osim eksponencijalne zavisnosti drifta jona od spoljašnjeg električnog polja, model predstavljen u [VTS11] koristi i prozorsku funkciju čija je uloga da ograniči promenljivu stanja sistema (širinu oblasti sa pozitivnim jonima u HP modelu memristora) na opseg $[0, D]$, gde je D ukupna širina tela memristora. Prozorska funkcija korišćena u modelu takođe uzima u obzir i smer toka struje kroz memristor. Bez modelovanja uticaja smera struje na promenljivu stanja memristora, promenljiva stanja ne bi imala mogućnost promene nakon dostizanja graničnih vrednosti (0 ili D). Jednačine koje opisuju model memristora korišćen u simulacijama su

$$E = (1 + \chi F) \frac{v}{D} \quad (5.2)$$

$$\dot{x} = \begin{cases} \mu_v E [1 - (x - \text{sgn}(-v))^{2p}] & E \ll E_0 \\ \mu_v E_0 e^{\frac{E}{E_0}} [1 - (x - \text{sgn}(-v))^{2p}] & E \sim E_0 \end{cases} \quad (5.3)$$

$$v = (R_{ON}x + (1 - x)R_{OFF})i, \quad (5.4)$$

gde je χ dielektrična permitivnost titanijum-dioksida, a F statički Lorencov faktor za jone kiseonika (u korišćenom modelu podrazumevana je njegova vrednost 0,5). Funkcija sgn koja se pojavljuje u jednačini (5.3), a modeluje uticaj smera struje kroz memristor na promenu promenljive stanja memristora, definisana je sa

$$\text{sgn}(x) = \begin{cases} 1, & x \geq 0 \\ 0, & x < 0. \end{cases} \quad (5.5)$$

U jednačini (5.2) je modelovano električno polje u skladu sa rezultatima prikazanim u [SW09], gde je pokazano da intenzitet električnog polja može imati znatno veće vrednosti u poređenju sa električnim poljem izračunatim deljenjem napona memristora sa njegovom širinom. U radu [VTS11] su predstavljeni rezultati simulacija dva različita kola korišćenjem datog nelinearnog modela. Prvi primer predstavljen u radu je simulacioni model *stateful logic* kola za izračunavanje operacije Bulove implikacije, dok je za drugi primer uzeto adaptivno analogno kolo koje modeluje *amoeba-learning* proces [PLFDV09].

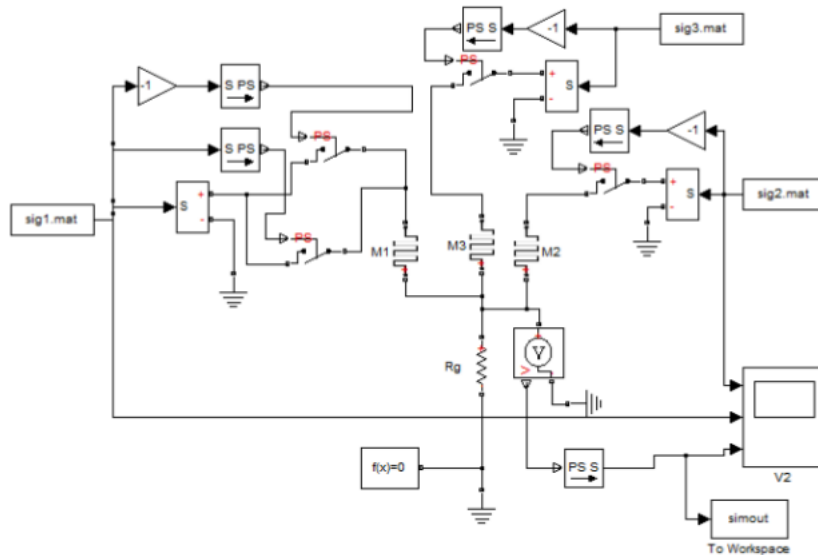
Na slici 5.1 je prikazan MathWorks Simscape™ [MWS] model *stateful logic* kola sa dva memristora $M1$ i $M2$, koje sa adekvatnim pobudnim signalima vrši operaciju implikacije dve ulazne promenljive, predstavljene vrednostima otpornosti (memristanse) memristora. Na slici 5.2 su dati rezultati simulacije kola sa slike 5.1. Prvi talasni oblik predstavlja ulazni signal *sig1.mat* koji se koristi za pobudu memristora $M1$, dok talasni oblik ispod predstavlja ulazni signal *sig2.mat*, pobudni signal memristora $M2$. Poslednji signal je signal sa naponskog senzora i predstavlja talasni oblik napona u zajedničkoj tački memristora $M1$ i $M2$ i otpornika R_g (slika 3.6). U skladu sa idealizovanom karakteristikom memristora, opisanom detaljno u drugoj glavi, negativan naponski impuls dovoljnog trajanja i amplitude V_{SET} ($|V_{SET}| > |V_{CLOSE}|$ zbog pada napona na otporniku R_g) prevodi memristor iz stanja logičke „0“ u stanje logičke „1“. Slično, pozitivan naponski impuls dovoljnog trajanja i amplitude V_{CLEAR} ($|V_{CLEAR}| > |V_{OPEN}|$, usled pada napona na otporniku R_g), prevodi memristor iz stanja logičke „1“ u stanje logičke „0“. Sa druge strane, negativan impuls male amplitude (čak i dužeg trajanja) ne može menjati stanje memristora, ali omogućava da se „pročita“ stanje memristora na

osnovu struje koja protекne kroz njega. Posmatrajmo dva memristora $M1$ i $M2$, u topologiji kola prikazanoj na slici 5.1. Na početku simulacije (videti sliku 5.2) se oba memristora nalaze u stanju visoke otpornosti (logička „0“), jer impulsi male amplitude na $M1$, a nakon toga i na $M2$, ne dovode do pojave impulsa na senzoru napona (kroz memristore protiče jako mala struja, tako da je pad napona na otporniku R_g zanemariv). Ukoliko se na $M1$ i $M2$ istovremeno dovedu naponski impulsi V_{COND} ($|V_{COND}| < |V_{CLOSE}|$) i V_{SET} , respektivno, $M2$ će nakon toga biti u stanju „1“ ili „0“, u zavisnosti od stanja $M1$ pre pojave naponskih impulsa, dok stanje memristora $M1$ ostaje nepromenjeno. Ukoliko je $M1$ bio u stanju „0“ pre pojave impulsa, uticaj negativnog impulsa amplitude V_{COND} je zanemarljivo mali, tako da impuls negativne amplitude V_{SET} na memristoru $M2$ prevodi $M2$ u stanje „1“. Ukoliko je $M1$ u stanju „1“ prilikom pojave impulsa amplitude V_{COND} , potencijal zajedničke tačke $M1$ i $M2$ u tom trenutku je približno jednak V_{COND} , usled male otpornosti otpornika u naponskom razdelniku, te stoga napon $V_{SET} - V_{COND}$ na $M2$ nije dovoljno negativan da ga postavi u stanje logičke „1“. Kao posledica, $M2$ ostaje u stanju logičke „0“. Jedino u situaciji kada je $M1$ u stanju „1“, a $M2$ u stanju „0“ neposredno pre istovremenog dovođenja naponskih impulsa V_{COND} i V_{SET} , $M2$ će ostati u stanju „0“, dok će u svakom drugom scenariju stanje memristora $M2$ nakon operacije implikacije biti logičko „1“. Kao zaključak, topologija kola u kojoj su dva memristora spojena preko otpornika na masu (slika 3.6) vrši operaciju Bulove implikacije promenljivih predstavljenih memristansama memristora. Sa slike 5.2 se može primetiti da se nakon istovremenog pobuđivanja memristora koji se nalaze u stanju logičke „0“, $M1$ i dalje nalazi u stanju „0“, ali je $M2$ u stanju „1“ (poslednji impuls na talasnom obliku pobudnog signala *sig2.mat*, koji je namenjen za čitanje stanja $M2$, kao posledicu ima pojavu impulsa na senzoru napona tj. otporniku R_g).

5.3 Generisanje sekvenci pobudnih signala

Način konstruisanja rekurzivne Bulove formule, na osnovu proizvoljne Bulove funkcije prikazan je u glavi 4. U poglavlju 5.1 su prikazane tri elementarne operacije koje omogućavaju računanje Bulove funkcije korišćenjem operacija Bulove implikacije i osnovnog kola u *stateful logic* topologiji. Ovakav način računanja Bulove funkcije je prikladan rekurzivnoj Bulovoj formuli koja predstavlja Bulovu funkciju od interesa. U ovom poglavlju biće predstavljen algoritam iz [TVSD12], koji generiše sekvence potrebnih signala u skladu sa elementarnim operacijama prikazanim u poglavlju 5.1, na osnovu ulaznih parametara u obliku Bulove funkcije koja se računa i vrednosti ulaznih promenljivih za koje se ta Bulova funkcija računa. Blok koji je nazvan generator sekvenci je opisan algoritmom 5.1, a uloga mu je generisanje sekvenci koje mogu da se direktno koriste kao pobuda za memristore u osnovnoj *stateful logic* topologiji.

Simulink model za demonstraciju generatora sekvenci, tj. korišćenja RBF u cilju izračunavanja određene BF je prikazan na slici 5.3. Mala modifikacija u odnosu na rad [LPL10a] se odnosi na broj ulaznih memristora. U radu [LPL10a], osim dva radna memristora koji računaju Bulovu funkciju od interesa, postoji N ulaznih memristora koji čuvaju vrednost za svaku od N ulaznih promenljivih u datom trenutku. Umesto velikog broja ulaznih memristora koji čuvaju vrednosti



Slika 5.3 – Simulink model za izračunavanje N -ulazne BF korišćenjem RBF

ulaznih vektora za razne kombinacije ulaznih promenljivih, u prikazanoj simulaciji je korišćen jedan ulazni memristor (na slici označen sa $M1$) kome se menja stanje tokom izvršavanja simulacije, u skladu sa vrednostima promenljivih koje u tom konkretnom trenutku učestvuju u operacijama sa memristorima. Na primer, kada je potrebno korišćenjem op_1 operacije iz poglavlja 5.1, izračunati vrednost PPT-a x_1x_3 , najpre se u $M1$ upiše vrednost promenljive x_1 , izvrši se operacija op_1 , promeni se stanje memristora $M1$ u skladu sa vrednošću promenljive x_3 , i na kraju ponovo primeni operacija op_1 . Kao rezultat ove modifikacije, stanje memristora $M1$ je potrebno ažurirati pre svake operacije koja zahteva novu vrednost promenljive. Tri sekvence signala, $sig1.mat$, $sig2.mat$ i $sig3.mat$, se generišu kao izlaz generatora sekvenci realizovanog u Matlab-u. Generator sekvenci kao ulazni parametar prima Bulovu funkciju koju treba izračunati, zadatu u formi tablice istinitosti, kao i vektor ulaznih signala za koji treba izračunati datu BF. U nastavku će ukratko biti objašnjen Algoritam 5.1.

U liniji 2 se poziva funkcija koja inicijalizuje parametre (naponski nivoi signala koji će se generisati, trajanje naponskih pobudnih impulsa i pauza). Na linijama 3-5 se sve tri sekvence inicijalizuju, dok se na linijama 6-7 postavljaju aktivan i neaktivan memristor. Bez gubitka opštosti, na početku je usvojeno: aktivan je $M2$ i on se koristi za operacije op_1 , a neaktivan je memristor $M3$. Linije 8-14 vrše izračunavanje eksponenata u zavisnosti od funkcije f (ukupno 2^N , gde je N broj ulaznih promenljivih). Ovo izračunavanje se vrši u skladu sa rezultatima Teoreme 1 iz prethodne glave. Nakon toga sledi osnovna petlja na linijama 15-40. U okviru ove petlje se najpre na linijama 16-22 vrši upisivanje logičke "0" u aktivan memristor u skladu sa PPT-om $\pi_L = 1$. Ovo se vrši tako što se na liniji 17 kreira adekvatan naponski impuls u okviru sekvence 1 koja se koristi za ulazni memristor preko koga se vrednosti promenljivih vode ka radnim memristorima³.

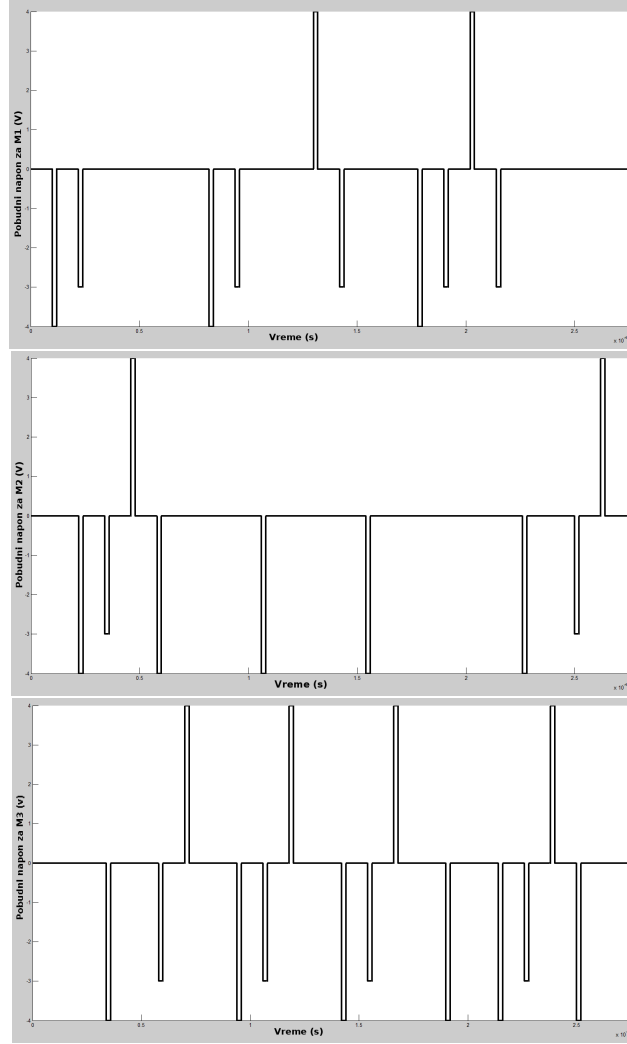
3. Generalno, simbol $\&$ predstavlja "produžavanje" sekvence signala impulsima potrebnim da bi se obavila neka konkretna logička operacija u datom vremenskom trenutku. Na primer, $Sekvenca(1)\&=1$ ima sledeće značenje: produži sekvencu 1 (koja se koristi kao pobudna naponska sekvenca memristora $M1$) potrebnim signalima koji obezbeđuju upisivanje logičke "1" u memristor $M1$, tj. produži sekvencu naponskim impulsom amplitude V_{SET} .

Funkcija *PrilagodiOstaleSekvence()* prvi put pozvana na liniji 18, produžava sve ostale sekvence dodavajući pauze u intervalu kada se na sekvencu 1 (u ovom slučaju ona je modifikovana na liniji 17) dodaju naponski impulsi. Ovo je neophodno da bi na kraju generisane sekvence sve imale isto trajanje i, samim tim, mogle biti korišćene direktno kao signali pobuda za memristore. Na linijama 19 i 20, produžavaju se sekvence u tom trenutku aktivnog memristora i memristora $M1$ sa ciljem obavljanja operacije op_1 koja izračunava implikaciju $M_1 \rightarrow M_{AM}$. Kao rezultat, dodaje se naponski impuls amplitude V_{COND} na sekvencu 1 i naponski impuls amplitude V_{SET} na sekvencu aktivnog memristora. Nakon ovoga opet sledi prilagođavanje ostalih sekvenci (u ovom slučaju sekvence neaktivnog memristora koja jedina nije modifikovana prethodnom operacijom) dodavanjem intervala pauze. Na linijama 23-29 se vrši, na sličan način, niz operacija op_1 koji rezultuje izračunavanjem PPT-a u aktivnom memristoru. Varijable koje ulaze u PPT u toj iteraciji određene su jedinicama u vektoru β_k (red 23). Vrednost svake od varijabli se čita iz ulaznog parametra v koji predstavlja vektor ulaznih promenljivih za koji se računa funkcija f , i ta vrednost se upisuje najpre u memristor $M1$. U liniji 23 se formira petlja za nalaženje svih indeksa j za koje važi da je na j -tom bitskom mestu u vektoru β_k jedinica, dok se u liniji 24 vrši “produžavanje” sekvence 1 sa naponskim impulsom koji će rezultovati upisom vrednosti $v(j)$ u ulazni memristor $M1$ (impulsom amplitude V_{CLEAR} ili V_{SET} u zavisnosti od vrednosti $v(j)$). Na sličan način kao i na 19-20, u linijama 26-27 se sekvence ulaznog i aktivnog memristora “produžavaju” impulsima koji će rezultovati operacijom implikacije $M_1 \rightarrow M_{AM}$. Na linijama 31-38 se u skladu sa prethodno izračunatim eksponentima, formiraju sekvence koje će obezbediti op_2 ili op_3 , u zavisnosti da li je odgovarajući eksponent 0 ili 1 (obratiti pažnju da se aktivan i neaktivan memristor zamenjuju ukoliko se vrši op_3 : prva zamena ove vrste će proglašiti memristor $M3$ za aktivan i $M2$ za neaktivan, obzirom da je na početku algoritma inicijalizovano suprotno). “Produžavanje” sekvence impulsima koji rezultuju operacijom op_2 , osim impulsa koji obezbeđuju operaciju implikacije $M_{AM} \rightarrow M_{NM}$, uključuje i neophodan impuls V_{CLEAR} u sekvenci aktivnog memristora, koji će da obezbedi postavljanje istog u stanje logičke “0”, a sve u skladu sa operacijom op_2 definisanom u poglavlju 5.1. Slično tome, operacija op_3 u sebe uključuje sledeće korake:

1. generišu se impulsi za implikaciju $M_{AM} \rightarrow M_{NM}$;
2. generisanje impulsa V_{CLEAR} u sekvenci aktivnog memristora koji će ga postaviti na logičko “0” ;
3. generišu se impulsi koji će vršiti implikaciju $M_{NM} \rightarrow M_{AM}$;
4. generisanje impulsa V_{CLEAR} u sekvenci neaktivnog memristora koji će ga postaviti na logičko “0”;
5. zamena aktivnog i neaktivnog memristora.

Na slici 5.4 su prikazane generisane pobudne sekvence za dvoulaznu NILI funkciju sa vektorom ulaznih signala (0,1). Za dvoulazno NILI kolo eksponenti se računaju kao

$$\begin{aligned}\alpha_1 &= f(1, 1) = \overline{1 + 1} = 0 \\ \alpha_2 &= \overline{f(1, 1) \oplus f(0, 1)} = \overline{0 \oplus 0} = 1 \\ \alpha_3 &= \overline{f(0, 1) \oplus f(1, 0)} = \overline{0 \oplus 0} = 1 \\ \alpha_4 &= \overline{f(1, 0) \oplus f(0, 0)} = \overline{0 \oplus 1} = 0,\end{aligned}$$



Slika 5.4 – Sekvence pobudnih signala za memristore $M1$, $M2$ i $M3$ prilikom izračunavanja dvoulazne NILI funkcije

što rezultuje rekurzivnom Bulovom formulom

$$\hat{f}(x_1, x_2) = \left(\left(\left((1)^0 + x_1 \right)^1 + x_2 \right)^1 + x_1 x_2 \right)^0.$$

Rezultujuće sekvence signala za dvoulaznu NILI funkciju i vektor ulaznih signala $(x_1, x_2) = (1, 0)$ prikazane su na slici 5.4. Posmatrajući generisane sekvence s leva na desno primećuju se elementarne operacije:

1. V_{SET} impuls doveden na $M1$ odgovara pozitivnom proizvod termu $\pi_4 = 1$;
2. Impulsi V_{SET} na $M2$ i V_{COND} na $M1$ rezultuju operacijom op_1 kojom se vrši implikacija $M_2 = M_1 \rightarrow M_2$;
3. Impulsi V_{SET} na $M3$ i V_{COND} na $M2$ obavljaju prvi deo op_3 operacije kojim se vrši implikacija $M_3 = M_2 \rightarrow M_3$;
4. Impuls V_{CLEAR} na $M2$ memristoru sa ciljem upisivanja logičke “0” kao drugi deo op_3 operacije;
5. Impulsi V_{SET} na $M2$ i V_{COND} na $M3$ obavljaju treći deo op_3 operacije kojim se vrši implikacija $M_2 = M_3 \rightarrow M_2$;

6. Impuls V_{CLEAR} na $M3$ memristoru sa ciljem upisivanja logičke "0" kao četvrti deo op_3 operacije nakon čega se $M3$ proglašava za aktivni memristor, a $M2$ za neaktivni. Nakon primene ovih 6 operacija u memristor $M2$ bi bila upisana vrednost $\bar{1}$ u skladu sa RBF dok bi $M3$ bio u stanju logičke "0";
7. V_{SET} impuls doveden na $M1$ odgovara pozitivnom proizvod termu $\pi_3 = x_1$ sa vrednošću 1 u skladu sa ulaznom vektor promenljivom;
8. Impulsi V_{SET} na $M3$ (koji je sada aktivan memristor) i V_{COND} na $M1$ rezultuju operacijom op_1 kojom se vrši implikacija $M_3 = M_1 \rightarrow M_3$;
9. Impulsi V_{SET} na $M2$ i V_{COND} na $M3$ obavljaju prvi deo op_2 operacije kojim se vrši implikacija $M_2 = M_3 \rightarrow M_2$;
10. Impuls V_{CLEAR} na $M3$ memristoru sa ciljem upisivanja logičke "0" kao drugi deo op_2 operacije. $M3$ ostaje aktivan memristor. Op_2 se koristi na ovom mestu jer je odgovarajući eksponent $\alpha_3 = 1$. Takođe, kao posledica primene ove i prethodnih 9 operacija, memristor $M2$ bi sadržao vrednost $\bar{1} + 1$;
11. V_{CLEAR} impuls doveden na $M1$ odgovara pozitivnom proizvod termu $\pi_2 = x_2$ sa vrednošću 0 u skladu sa ulaznom vektor promenljivom;
12. Impulsi V_{SET} na $M3$ (koji je i dalje aktivan memristor) i V_{COND} na $M1$ rezultuju operacijom op_1 kojom se vrši implikacija $M_3 = M_1 \rightarrow M_3$;
13. Impulsi V_{SET} na $M2$ i V_{COND} na $M3$ obavljaju prvi deo op_2 operacije kojim se vrši implikacija $M_2 = M_3 \rightarrow M_2$;
14. Impuls V_{CLEAR} na $M3$ memristoru sa ciljem upisivanja logičke "0" kao drugi deo op_2 operacije. $M3$ ostaje aktivan memristor. Op_2 se opet koristi na ovom mestu jer je odgovarajući eksponent $\alpha_2 = 1$. Kao rezultat ove i prethodnih 13 operacija, memristor $M2$ bi u ovom trenutku imao vrednost $\bar{1} + 1 + 0$, dok bi $M3$, naravno, bio postavljen na logičko "0";
15. V_{SET} impuls doveden na $M1$ odgovara $x_1 = 1$ delu pozitivnog proizvod terma $\pi_1 = x_1x_2$, u skladu sa ulaznom vektor promenljivom;
16. Impulsi V_{SET} na $M3$ (aktivan memristor) i V_{COND} na $M1$ rezultuju operacijom op_1 kojom se vrši implikacija $M_3 = M_1 \rightarrow M_3$;
17. V_{CLEAR} impuls doveden na $M1$ odgovara $x_2 = 0$ delu pozitivnog proizvod terma $\pi_1 = x_1x_2$, u skladu sa ulaznom vektor promenljivom;
18. Impulsi V_{SET} na $M3$ i V_{COND} na $M1$ rezultuju operacijom op_1 kojom se vrši implikacija $M_3 = M_1 \rightarrow M_3$. Nakon ove poslednje četiri operacije, memristor $M3$ bi bio postavljen na vrednost $\bar{1} \cdot \bar{0}$ (invertovani PPT $\pi_1 = x_1x_2$ za vrednosti ulaznog vektora $(x_1, x_2) = (1, 0)$). Preostaje još samo da se doda ovaj proizvod na prethodno akumuliran rezultat sadržan u memristoru $M2$;
19. Impulsi V_{SET} na $M2$ i V_{COND} na $M3$ obavljaju prvi deo op_3 operacije kojim se vrši implikacija $M_2 = M_3 \rightarrow M_2$;
20. Impuls V_{CLEAR} na $M3$ memristoru sa ciljem upisivanja logičke "0" kao drugi deo op_3 operacije;
21. Impulsi V_{SET} na $M3$ i V_{COND} na $M2$ obavljaju treći deo op_3 operacije kojim se vrši implikacija $M_3 = M_2 \rightarrow M_3$;
22. Impuls V_{CLEAR} na $M2$ memristoru sa ciljem upisivanja logičke "0" kao četvrti deo op_3 . Obzirom da je ovo poslednji korak za ovo računanje, zanemarujemo činjenicu da su opet zamenjena mesta aktivnog i neaktivnog memristora.

Nakon pobuđivanja memristora $M1$, $M2$ i $M3$ sekvencama definisanim u ovih 22 koraka, rezultat izračunate funkcije će biti smešten u memristor $M3$ koji će imati vrednost u skladu sa vektorom ulaznih promenljivih: $\overline{1} + 1 + 0 + 1 \cdot 0 = 0$. Dakle, korišćenjem pobudnih sekvenci generisanih algoritmom 5.1 i prikazanih na slici 5.4, memristor $M3$ sa slike 5.3 bi se postavio u stanje logičke "0" ($M3$ u stanju visoke memristanse R_{OFF} za ulazne signale $(x_1, x_2) = (1, 0)$ i za funkciju $f(x_1, x_2) = \overline{x_1 + x_2}$).

Algoritam 5.1 Algoritam za generisanje kontrolnih sekvenci

Ulaz:

- f , N -ulazna BF koja se izračunava
- v , Vektor ulaznih promenljivih za koji se izračunava vrednost funkcije

Izlaz:

- *Sekvenca*(i), $i=1..3$, signali za pobudu memristora

```

1: Begin
2:   Init_param();
3:   Foreach  $i$  in 1..3
4:     Sekvenca( $i$ )={ }; //prazne sekvence
5:   End Foreach
6:    $AM=2$ ; //aktivan memristor
7:    $NM=3$ ; //neaktivan memristor
8:   For  $k = 1..2^N$  //određujemo eksponente
9:     If  $k==1$ 
10:       $\alpha_k=f(\beta_k)$ 
11:     Else
12:       $\alpha_k=\overline{f(\beta_k) \oplus f(\beta_{k-1})}$ 
13:     End If
14:   End For
15:   For  $k = 2^N \dots 1$ 
16:     If  $k==2^N$ 
17:       Sekvenca(1)&=1 //upis 1 u  $M_1$  na početku
18:       Prilagodi_ostale_sekvence()
19:       Sekvenca( $AM$ )&=s_op1( $M_1 \rightarrow M_{AM}$ )
20:       Sekvenca(1)&=s_op1( $M_1 \rightarrow M_{AM}$ )
21:       Prilagodi_ostale_sekvence()
22:     Else
23:       Foreach  $j : \beta_k(j)=1$ 
24:         Sekvenca(1)&= $v(j)$ 
25:         Prilagodi_ostale_sekvence()
26:         Sekvenca( $AM$ )&=s_op1( $M_1 \rightarrow M_{AM}$ )
27:         Sekvenca(1)&=s_op1( $M_1 \rightarrow M_{AM}$ )
28:         Prilagodi_ostale_sekvence()
29:       End Foreach
30:     End If
31:     If  $\alpha_k=1$ 
32:       Sekvenca( $AM$ )&=s_op2( $M_{AM} \rightarrow M_{NM}$ )
33:       Sekvenca( $NM$ )&=s_op2( $M_{AM} \rightarrow M_{NM}$ )
34:     Else
35:       Sekvenca( $AM$ )&=s_op3( $M_{AM} \rightarrow M_{NM}$ )
36:       Sekvenca( $NM$ )&=s_op3( $M_{AM} \rightarrow M_{NM}$ )
37:       Zameni( $AM, NM$ )
38:     End If
39:     Prilagodi_ostale_sekvence()
40:   End For
41: End

```


Glava 6

Regularan poredak pozitivnih proizvod termova u rekurzivnoj Bulovoj formuli

U [LPL10a] i [LPL10b] autori su predstavili RBF za reprezentaciju proizvoljne Bulove funkcije $y : \{0, 1\}^N \rightarrow \{0, 1\}$ korišćenjem dva memristora. Ta formula izražena nad bazisom $\{and, or, not\}$ može se jednoznačno prevesti u formulu koja koristi bazu Bulove algebre $\{imply, false\}$. Vreme potrebno da se izračuna (evaluiraju) y zavisi od dužine odgovarajuće RBF. Isti autori su nakon toga, u svom sledećem radu [PLL12], predstavili algoritamsku heuristiku za minimizaciju RBF, koja je u osnovi bazirana na *Depth First Search* (DFS skraćeno) pretrazi. Osim što je po svojoj prirodi DFS, minimizacioni algoritam iz [PLL12] je polinomijalan, sub-optimalan i *greedy*. U radu [PLL12] autori su primetili da redosled pozitivnih proizvod termova korišćen u radovima [LPL10a, LPL10b], može biti promenjen. Promena redosleda PPT-ova, opet, rezultuje u promeni eksponenata, što eventualno dovodi do skraćene rekurzivne forme u kojoj pojedini PPT-ovi nestaju kao posledica absorpcije u Bulovoj algebri ($A + AB = A$). Ipak u radu [PLL12], autori su kao potencijalna rešenja problema uzimali u obzir samo podskup poredaka pozitivnih proizvod termova, koji još uvek rezultuju korektnom reprezentacijom BF od interesa. Razlog ovoga je taj što autori u [PLL12] nisu bili upoznati sa uslovom koji treba da bude zadovoljen da bi neki poredak PPT-ova u RBF i dalje omogućio korektno predstavljanje Bulove funkcije korišćenjem te RBF.

Generalizacija rezultata i teorijskog koncepta minimizacije iz [PLL12], u ovoj disertaciji je data u obliku tzv. *regularnog poretka pozitivnih proizvod termova* unutar RBF. U radu [TDM13] je pokazano da je *regularnost* poretka PPT-ova unutar RBF zapravo potreban i dovoljan uslov da bi RBF konstruisana u skladu sa tim poretkom, korektno predstavljala BF od interesa. Kao posledica tog teorijskog rezultata, omogućen je razvoj naprednih algoritama za minimizaciju RBF, baziranih na *Breadth First Search* (BFS skraćeno) pretrazi grafova. Razvijeni algoritmi su uporedivi sa algoritmom iz [PLL12] (polinomijalne, sub-optimalne, “*greedy*” heuristike) koje obezbeđuju kraće RBF u proseku, za veći broj instanci problema.

U tekstu koji sledi, koristiće se notacija pretežno usvojena iz [LPL10a],[LPL10b], [PLL12] i [TDM13]. Prisustvo/odsustvo logičke negacije Bulovog izraza x biće, kao i do sada, predstavljeno korišćenjem eksponenata $x = x^1, \bar{x} = x^0$. Ova notacija je

čitljivija i više prikladna rekurzivnoj formi, pre svega imajući u vidu “nadvlačenja” korišćena u standardnoj notaciji Bulove negacije. U jednostavnim izrazima, koristiće se ravnopravno “nadvlačenje” izraza kao i notacija sa eksponentima. Takođe, u daljem tekstu, \cdot , $+$ i \oplus koristiće se za logičku konjunciju, disjunkciju i ekskluzivno Ili. U proizvodu literala, na primer $x_1 \cdot x_2 \cdot \bar{x}_3 \cdot x_4$, najčešće će biti izostavljen simbol \cdot i koristiće se zapis $x_1x_2\bar{x}_3x_4$. Na kraju, $P(X)$ predstavlja partitivni skup skupa X , dok $M(X)$ predstavlja skup monoma (konjunciju pozitivnih, nenegiranih literala) sastavljenih od elemenata iz skupa X .

Definicija 4. Za dati skup Bulovih promenljivih $X = \{x_1, x_2, \dots, x_N\}$, bijektivna funkcija $\pi : P(X) \rightarrow M(X)$ je definisana kao:

$$\pi(x) = \begin{cases} 1, & x = \{\} \\ \prod_{x_i \in x} x_i & \text{u suprotnom.} \end{cases} \quad (6.1)$$

Elementi kodomena funkcije π će se u daljem tekstu zvati pozitivni proizvod termovi (PPT-ovi skraćeno). Definicija 4 je vrlo slična Definiciji 1 u kojoj su definisani *leksikografski uređeni* PPT-ovi. Razlog za uvođenje nove definicije leži u činjenici da je redosled leksikografski uređenih PPT-ova bio fiksiran, dok će se, u cilju minimizacije RBF, u nastavku teksta smatrati da je poredak PPT-ova, definisanih Definicijom 4, promenljiv.

Definicija 5. Za dati skup Bulovih promenljivih $X = \{x_1, x_2, \dots, x_N\}$, bijektivna funkcija $B : P(X) \rightarrow \{0, 1\}^N$ je definisana kao:

$$B(x) = (b^1, \dots, b^N) | b^i = 1 \iff x_i \in x, \forall x \in P(X), i \in \{1, \dots, N\}. \quad (6.2)$$

Definicija 6. Za dati skup Bulovih promenljivih $X = \{x_1, x_2, \dots, x_N\}$, *Poredak Pozitivnih Proizvod Termova* (PPPT skraćeno) je bijektivna funkcija $\Pi : O \rightarrow P(X)$, gde je $O = \{1, \dots, 2^N\}$, $N = |X|$.

Funkcija Π je zapravo jedna moguća permutacija skupa $P(X)$, i postoji $(2^N)!$ mogućih PPPT za dato $N = |X|$. Definicija 6 obezbeđuje način da se takođe uvede poredak i u funkcije π i B kroz kompoziciju funkcija. U nastavku teksta, za dato fiksno Π i $i \in O$ koristiće se pojednostavljena notacija Π_i umesto $\Pi(i)$, π_i za i -ti PPT ($\pi \circ \Pi$)(i) = $\pi(\Pi(i))$ = $\pi(\Pi_i)$, B_i za i -ti bit-vektor ($B \circ \Pi$)(i) = $B(\Pi(i))$ = $B(\Pi_i)$, b_i^m za označavanje m -tog bita bit-vektora B_i i, konačno, $\pi_i(B_k)$ za evaluaciju π_i korišćenjem date istinitosne dodele B_k .

Definicija 7. Poredak pozitivnih proizvod termova Π je *regularan* ukoliko važi $\Pi_j \not\subset \Pi_k, \forall j, k \in \{1, \dots, 2^N\} | j < k$.

Teorema 2. Neka je Π poredak pozitivnih proizvod termova skupa Bulovih promenljivih $X = \{x_1, \dots, x_N\}$, $y : \{0, 1\}^N \rightarrow \{0, 1\}$ proizvoljna N -ulazna 1-izlazna potpuno definisana Bulova funkcija i bit-vektor $a = (a_1, \dots, a_{2^N})$ izračunat kao:

$$a_1 = y(B_1) \quad (6.3)$$

$$a_i = \overline{y(B_i) \oplus y(B_{i-1})}, i \in \{2, \dots, 2^N\}. \quad (6.4)$$

Tada, rekurzivna Bulova formula

$$\hat{y}(x_1, \dots, x_N) = ((\dots (\pi_{2^N}(x_1, \dots, x_N))^{a_{2^N}} + \dots + \pi_2(x_1, \dots, x_N))^{a_2} + \pi_1(x_1, \dots, x_N))^{a_1} \quad (6.5)$$

predstavlja Bulovu funkciju y ako i samo ako je Π regularan poredak pozitivnih proizvod termova.

Dokaz: Najpre ćemo pokazati da za regularan PPPT Π , važi identitet

$$\hat{y}(x_1, \dots, x_N) \equiv y(x_1, \dots, x_N).$$

Za sve permutacije Π , na osnovu osobine teorije skupova, važi da je

$$\Pi_j \not\subset \Pi_k \implies \exists x_m \in X \mid x_m \in \Pi_j \wedge x_m \notin \Pi_k. \quad (6.6)$$

Iz Definicije 5 imamo

$$x_m \notin \Pi_k \Leftrightarrow b_k^m = 0 \text{ (} m\text{-ti bit bit-vektora } B(\Pi_k)\text{)} \quad (6.7)$$

Iz (6.6), (6.7) i (6.1) sledi

$$\Pi_j \not\subset \Pi_k \implies \exists x_m \mid x_m \in \Pi_j \wedge b_k^m = 0 \implies$$

$$\pi_j(B_k) = b_k^m \cdot \prod_{i \mid x_i \in \Pi_j, i \neq m} b_k^i = 0.$$

Kao rezultat gornjeg niza implikacija, dobija se

$$\Pi_j \not\subset \Pi_k \implies \pi_j(B_k) = 0. \quad (6.8)$$

Za regularan PPPT Π važi da je

$$\Pi_j \not\subset \Pi_k, \forall j, k \in \{1, \dots, 2^N\} \mid j < k, \quad (6.9)$$

što ima za posledicu

$$\pi_j(B_k) = 0, \forall j < k. \quad (6.10)$$

Ukoliko je $\Pi_k = \{\}$, $\pi_k(B_k) = 1$ na osnovu Definicije 4. U suprotnom, iz Definicije 5 imamo da je

$$b_k^i = 1, \forall i \mid x_i \in \Pi_k \implies \pi_k(B_k) = \prod_{i \mid x_i \in \Pi_k} b_k^i = 1. \quad (6.11)$$

Tada je:

$$\hat{y}(B_k) = (((\dots((DC)^{a_{2^N}} + \dots + DC)^{a_{k-1}} + 1)^{a_k} + \dots + 0)^{a_2} + 0)^{a_1}, \forall k \in \{1, \dots, 2^N\}, \quad (6.12)$$

gde DC stoji umesto “*Don't Care*” jer će vrednost celog izraza biti određena isključivo logičkom “1” sa njihove desne strane. Dalje sledi:

$$\hat{y}(B_k) = 1 \oplus \bar{a}_k \oplus \bar{a}_{k-1} \oplus \dots \oplus \bar{a}_1, \forall k \in \{1, \dots, 2^N\}, \quad (6.13)$$

zahvaljujući identitetu $x + 1 \equiv 1$, i jednostavnim pravilima već predstavljenim ranije, a ovde ponovljenim radi lakše preglednosti:

$$q^r \equiv q \oplus \bar{r}, (q^r)^s \equiv (q \oplus \bar{r})^s \equiv q \oplus \bar{r} \oplus \bar{s}, \dots \quad (6.14)$$

Oblik (6.13) je adekvatan za poređenje sa rekurzivno “razmotanim” (6.3) i (6.4):

$$\begin{cases} y(B_1) = a_1 = 1 \oplus \bar{a}_1 \\ y(B_2) = \bar{a}_2 \oplus y(B_1) = 1 \oplus \bar{a}_1 \oplus \bar{a}_2 \\ \vdots \\ y(B_{2^N}) = 1 \oplus \bar{a}_1 \oplus \dots \oplus \bar{a}_{2^N}. \end{cases} \quad (6.15)$$

Konačno, iz (6.13) i (6.15) jasno je da važi

$$\hat{y}(B_k) \equiv y(B_k), \forall k \in \{1, \dots, 2^N\},$$

odnosno

$$\hat{y}(x_1, \dots, x_N) \equiv y(x_1, \dots, x_N). \quad (6.16)$$

Preostalo je još da pokažemo da je Π regularan PPPT ako je zadovoljeno da je

$$\hat{y}(x_1, \dots, x_N) \equiv y(x_1, \dots, x_N).$$

Ako je tačno da je $\hat{y}(x_1, \dots, x_N) \equiv y(x_1, \dots, x_N)$, iz (6.15) imamo:

$$\hat{y}(B_k) = 1 \oplus \bar{a}_1 \dots \oplus \bar{a}_k, \forall k \in \{1, \dots, 2^N\} \quad (6.17)$$

Pokazaćemo da je Π regularan PPPT tako što ćemo pretpostaviti suprotno i doći do kontradikcije. Dakle, ako Π nije regularan PPPT, važi da je:

$$\exists (j, k) \in \{1, \dots, 2^N\} \times \{1, \dots, 2^N\} | (j < k) \wedge (\Pi_j \subset \Pi_k). \quad (6.18)$$

Za takve $\Pi_j \subset \Pi_k$ važi

$$x_i \in \Pi_k, \forall i | x_i \in \Pi_j. \quad (6.19)$$

Na osnovu Definicije 5, ovo je ekvivalentno sa

$$b_k^i = 1, \forall i | x_i \in \Pi_j. \quad (6.20)$$

Kao rezultat, dobija se

$$\pi_j(B_k) = \prod_{i | x_i \in \Pi_j} b_k^i = 1. \quad (6.21)$$

Ukoliko postoji više uređenih parova (j, k) takvih da je $\Pi_j \subset \Pi_k$, odabraćemo uređeni par (j, k) sa najmanjim j za koji važi da je

$$\Pi_m \not\subset \Pi_k, \forall m, 1 \leq m < j. \quad (6.22)$$

Ovakav odabir nam garantuje da je

$$\pi_m(B_k) = 0, \forall m, 1 \leq m < j, \quad (6.23)$$

u skladu sa (6.8). Tada, u evaluaciji RBF (6.5) za dati bit vektor B_k , imaćemo logičku "1" na poziciji j i logičko "0" na svim pozicijama $m < j$ što direktno određuje vrednost $\hat{y}(B_k)$:

$$\begin{aligned} \hat{y}(B_k) &= (((\dots((dc)^{a_{2N}} + \dots + dc)^{a_{j+1}} + \pi_j(B_k))^{a_j} + 0)^{a_{j-1}} \dots + 0)^{a_1} \implies \\ \hat{y}(B_k) &= (((\dots((dc)^{a_{2N}} + \dots + dc)^{a_{j+1}} + 1)^{a_j} + 0)^{a_{j-1}} \dots + 0)^{a_1} \implies \\ \hat{y}(B_k) &= (\dots((1)^{a_j})^{a_{j-1}} \dots)^{a_1} \end{aligned} \quad (6.24)$$

Korišćenjem (6.14), poslednji izraz može da se zapiše i kao

$$\hat{y}(B_k) = 1 \oplus \bar{a}_1 \dots \oplus \bar{a}_j, \quad (6.25)$$

što mora biti jednako za *svaku* Bulovu funkciju y sa

$$\hat{y}(B_k) = 1 \oplus \bar{a}_1 \dots \oplus \bar{a}_k, \quad (6.26)$$

na osnovu tvrđenja teoreme i (6.17). Za proizvoljnu Bulovu funkciju y , postoji 2^{k-j} istinitosnih dodela za eksponente a_{j+1}, \dots, a_k i za tačno polovinu od njih (za one sa neparnim brojem nula među eksponentima a_{j+1}, \dots, a_k), izraz

$$1 \oplus \bar{a}_1 \dots \oplus \bar{a}_j \equiv 1 \oplus \bar{a}_1 \dots \oplus \bar{a}_k \quad (6.27)$$

neće biti zadovoljen, što rezultuje kontradikcijom. Kao rezultat, Π na osnovu koga je konstruisana RBF $\hat{y}(x_1, \dots, x_N)$ za datu funkciju $y(x_1, \dots, x_N)$, mora biti regularan ukoliko važi da je $\hat{y}(x_1, \dots, x_N) \equiv y(x_1, \dots, x_N)$. \square

Primer 3. Posmatrajmo dvoulaznu NI funkciju $y(x_1, x_2) = \overline{x_1 \cdot x_2}$ i proizvoljan neregularan Π :

$$\begin{aligned} \Pi_1 &= \{x_2\}, \\ \Pi_2 &= \{x_1, x_2\}, \\ \Pi_3 &= \{\}, \\ \Pi_4 &= \{x_1\}. \end{aligned}$$

Kao posledica, RBF eksponenti imaju sledeće vrednosti

$$\begin{aligned} a_1 &= a_4 = 1, \\ a_3 &= a_2 = 0, \end{aligned}$$

što rezultuje rekurzivnom Bulovom formulom

$$\hat{y}(x_1, x_2) = \left(\left(\left((x_1)^1 + 1 \right)^0 + x_1 x_2 \right)^0 + x_2 \right)^1.$$

Zapisana standardnom notacijom negacije, ova rekurzivna Bulova formula je

$$\hat{y}(x_1, x_2) = \overline{\overline{x_1 + \overline{1}} + x_1 x_2 + x_2} = 1 \neq \overline{x_1 x_2}.$$

Ista funkcija sa regularnim PPPT Π :

$$\Pi_1 = \{x_1, x_2\},$$

$$\Pi_2 = \{x_1\},$$

$$\Pi_3 = \{x_2\},$$

$$\Pi_4 = \{\},$$

rezultuje eksponentima

$$a_1 = a_2 = 0,$$

$$a_3 = a_4 = 1.$$

Kao posledica regularnosti Π , ovakvi eksponenti formiraju rekurzivnu Bulovu formulu

$$\hat{y}(x_1, x_2) = \left(\left(((1)^1 + x_2)^1 + x_1 \right)^0 + x_1 x_2 \right)^0 \implies$$

$$\hat{y}(x_1, x_2) = \overline{x_1 x_2} = y(x_1, x_2),$$

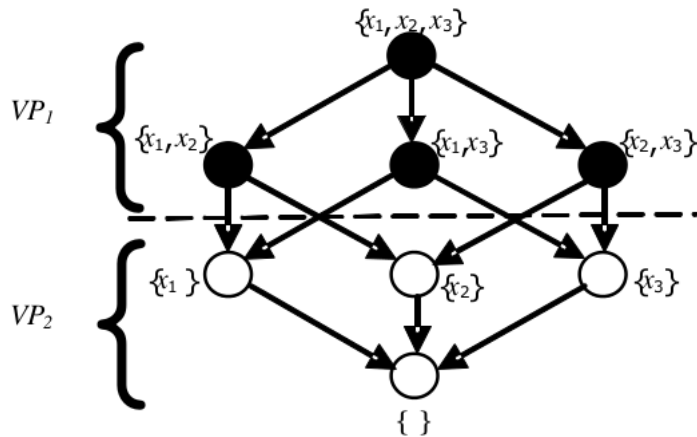
koja korektno predstavlja Bulovu funkciju y za koju je konstruisana.

Glava 7

Algoritamske heuristike za minimizaciju rekurzivne Bulove formule

U daljem tekstu će biti predstavljene dve algoritamske heuristike sa polinomijalnom vremenskom kompleksnošću, razvijene u cilju dizajna i minimizacije rekurzivne Bulove formule koja reprezentuje proizvoljnu N -ulaznu 1-izlaznu BF.

7.1 Bi-Color Vertex Partition (BCVP) algoritam



Slika 7.1 – Graf $G(V, E)$ za trouznu “carry” funkciju

Prva heuristika, koja će biti predstavljena, traži regularne poretke pozitivnih proizvod termova, u skladu sa Teoremom 2. Za datu N -ulaznu 1-izlaznu BF $y : \{0, 1\}^N \rightarrow \{0, 1\}$, struktura podataka koja će se koristiti je usmeren aciklični graf (DAG skraćeno) $G(V, E)$, ekvivalentan reprezentaciji Bulove rešetke (eng. *Boolean lattice*) nadskupova (X, \supseteq) , definisanom za skup Bulovih promenljivih $X = \{x_1, \dots, x_N\}$ i relaciju \supseteq . Čvorovi iz skupa V imaju oznake (engl. *vertex labels*) u skladu sa odgovarajućim elementima iz $P(X)$, dok su pored toga obojeni u skladu sa 2^N vrednosti istinitosnih dodela za y . Čvor $v \in V$ je obojen crno ukoliko y ima vrednost logičke “1” za $B(\text{label}(v))$, a belo u suprotnom. U takvom

grafu $G(V, E)$ definiše se *nivo rekurzije* $RL(v)$ za dati čvor v , kao još jedan atribut čvorova. Za dati $G(V, E)$ postoji 2^N jedinstvenih nivoa rekurzije.

BCVP algoritam pravi particiju skupa V , koja će se u daljem tekstu zvati *particija čvorova* VP . VP se formira kao unija disjunktih podskupova koji će biti označavani sa VP_k . Svi čvorovi koji pripadaju k -tom elementu VP čine skup VP_k , pri čemu je $\max|VP| = N + 1$. VP_k je maksimalan skup uniformno obojenih čvorova, u skladu sa naslednom osobinom da je svaki njihov roditelj u grafu G član tačno jednog od VP_l , $l \leq k$. Primer grafa je dat na slici 7.1, na kome VP_1 sadrži sve crne čvorove, dok VP_2 sadrži preostale bele.

Nivo rekurzije (RL) ne treba poistovećivati sa poretkom PPT-ova, iako su oni usko povezani i može se definisati 1-na-1 preslikavanje između njih. Nakon particionisanja skupa, kada su svi čvorovi dodeljeni jednom i samo jednom VP_k i svakom čvoru v dodeljen različit nivo rekurzije $RL(v)$, bijekcija Π može biti određena kao $RL(v) = \Pi^{-1}(\text{label}(v))$, $\forall v \in V$. Takav Π je regularan PPPT u skladu sa Definicijom 7, uzimajući u obzir nivo rekurzije $RL(v)$ za svaki od čvorova i osobinu BCVP algoritma da dodeljuje svakom čvoru iz $G(V, E)$ nivo rekurzije j , samo nakon što su svim njegovim prethodnicima u grafu već dodeljeni nivoi rekurzije i takvi da je $i < j$. Kao posledica, rezultujuća RBF bazirana na takvom poretku Π predstavljaće BF y korektno po tvrđenju Teoreme 2, a nivoi rekurzije određeni od strane BCVP algoritma su zapravo indeksi PPT-ova π_i , $i = 1, \dots, 2^N$ u RBF (6.5).

Algoritam 7.1 Bi-Color Vertex Partition algoritam

Ulaz:

- y , N -ulazna BF koja će biti predstavljena preko RBF

Izlaz:

- Obojeni DAG $G(V, E)$ u kome je svaki čvor $u \in V$ dodeljen nekom VP_k

```

1: Begin
2:  Konstruiši  $G(V, E)$  u skladu sa BF  $y$ 
3:   $k \leftarrow 0; r \leftarrow 1$  //indeks  $VP_k$ i trenutni nivo rekurzije  $RL$ 
4:  Kreiraj FIFO red  $QueueFree$  koristeći  $v \in V$  od gore na dole u  $G$ 
5:  While( $QueueFree$  nije prazan)
6:     $k \leftarrow k + 1; v \leftarrow \text{dequeue}(QueueFree); c \leftarrow \text{color}(v)$ 
7:    Dodaj  $v$  u  $VP_k$  i postavi  $RL(v)$  na  $r; r \leftarrow r + 1$ 
8:     $QueueTemp \leftarrow QueueFree$ 
9:    While( $QueueTemp$  nije prazan)
10:      $v \leftarrow \text{dequeue}(QueueTemp)$ 
11:     If  $\text{color}(v) = c \wedge \neg \exists \text{put}(u, \dots, v), \forall u \in QueueFree \setminus \{v\}$ 
12:       ukloni  $v$  iz  $QueueFree$ , dodaj  $v$  u  $VP_k$  i postavi  $RL(v)$  na  $r; r \leftarrow r + 1$ 
13:     End If
14:   End While
15: End While
16: Return  $G$ 
17: End

```

Algoritam 7.2 VP2IF algoritam

Ulaz:

- Obojeni DAG $G(V, E)$ u kome je svaki čvor $u \in V$ dodeljen nekom VP_k

Izlaz:

- formula \hat{y} u implikacionoj formi, u skladu sa $G(V, E)$ i particijom VP

```

1: Begin
2: Pronađi kardinalnost particije skupa,  $k = |VP|$ 
3:  $\hat{y}_k = F \rightarrow F; k \leftarrow k - 1$ 
4: While ( $k > 0$ )
5:   Pronađi listove  $L_1, \dots, L_n$  iz  $VP_k$ 
6:    $\hat{y}_k = (\neg\pi_{RL(L_1)} \rightarrow (\neg\pi_{RL(L_2)} \rightarrow \dots \rightarrow (\neg\pi_{RL(L_n)} \rightarrow (\hat{y}_{k+1} \rightarrow F))))$ 
7:    $k \leftarrow k - 1$ 
8: End While
9: If (boja  $VP_1$  je bela)
10:   $\hat{y}_1 = \hat{y}_1 \rightarrow F$ 
11: End If
12:  $\hat{y} = \hat{y}_1$ 
13: Return  $\hat{y}$ 
14: End

```

Čvor iz VP_k koji nema naslednike u istom VP_k naziva se *list particije*. Za proizvoljan VP_k “1”-eksponenti u RBF (6.5) odgovaraju uniformno obojenim čvorovima iz VP_k , na osnovu (6.4) i pravila bojenja čvorova u zavisnosti od BF y . Takvi “1”-eksponenti u delu RBF (6.5) koji odgovara VP_k vode ka lokalnom “zaravnjenju” i uprošćavanju RBF hijerarhije, koje za posledicu ima disjunkciju odgovarajućih PPT-ova u RBF. Takva disjunkcija dalje može biti minimizovana u disjunkciju PPT-ova predstavljenu listovima particije iz VP_k . Svi suvišni PPT-ovi biće eliminisani iz izraza zahvaljujući zakonu absorpcije Bulove algebre. Dakle, konačan RBF (6.5) formira se isključivo od listova particije. Kao posledica, minimizacija dužine RBF je dvostruko postignuta:

1. minimizacijom broja elemenata particije VP , zahvaljujući “greedy” formiranju maksimalnih skupova čvorova VP_k ;
2. više čvorova unutar datog VP_k omogućavaju potencijalno eliminisanje PPT-ova iz RBF zahvaljujući zakonu absorpcije.

Algoritam VP2IF je neophodan post-procesirajući korak koji omogućava da se RBF predstavljena nad bazom Bulove algebre $\{and, or, not\}$ transformiše u izraz nad bazom $\{imply, false\}$, sa ciljem da se dobijena RBF može izračunati korišćenjem kola u osnovnoj *stateful logic* topologiji. Na liniji 3, postavlja se RBF deo koji odgovara elementu najvišeg nivoa $VP_{|VP|}$ na $F \rightarrow F$ (*true*), pošto je PPT “1” uvek njen jedini list. Na liniji 6 konstruišemo RBF korišćenjem preostalih VP_k . Takođe, ovde koristimo osobinu da se samo PPT-ovi koji odgovaraju listovima particije pojavljuju unutar RBF, zajedno sa identitetom Bulove algebre $x \rightarrow y \equiv \bar{x} + y$.

U situaciji kada je nemoguće dodati nove čvorove u datu particiju VP_k , BCVP algoritam kreira novu VP_{k+1} suprotne boje. U skladu sa (6.4) dva različito obojena susedna čvora, sa aspekta njihovih nivoa rekurzije (*RL*) izazivaju nastajanje “0”-eksponenta u RBF. Zbog ovoga se takođe i negira RBF deo koji odgovara VP_{k+1}

na liniji 6, korišćenjem identiteta $\bar{x} \equiv x \rightarrow F$.⁴

Kao što je već objašnjeno, svaki “0”-eksponent rezultuje u jednoj operaciji implikacije sa F . Za praktičnu implementaciju ove elementarne operacije, potrebna je jedna operacija op_3 umesto op_2 (iz glave 5 i [LPL10a],[LPL10b]). Obzirom da op_3 ima dva koraka više od op_2 , a imajući u vidu da BCVP algoritam minimizuje kardinalnost VP , može se reći da ovaj pristup minimizuje ukupan broj elementarnih operacija, a ne samo dužinu RBF implikacione sekvence. Ipak, u cilju poređenja sa rezultatima prikazanim u radu [PLL12], nije uzet u obzir ovaj vid minimizacije.

Vremenska kompleksnost BCVP algoritma je $T(n) = O(n^3 \log n)$, gde je $n = 2^N$ veličina ulaza.⁵ Ovde vredi istaći, takođe, osobinu grafova $G(V, E)$ izomorfnih sa *Hasse dijagramima* (*Boolean Lattice*), kod kojih postojanje puta između dva čvora u i v može biti provereno u $O(\text{ld}(n))$ vremenu, korišćenjem Bulove I (AND) operacije na bit-vektorima $B(\text{label}(u))$ i $B(\text{label}(v))$ na sledeći način:

$$\text{if } \text{AND}(B(\text{label}(u)), B(\text{label}(v))) = B(\text{label}(v)) \implies \exists \text{path}(u, \dots, v),$$

pri čemu je B funkcija definisana Definicijom 5.

Primer 4. Posmatrajmo 3-ulaznu “*carry*” funkciju iz [PLL12] sa tablicom istinitosti 7.1.

A	B	Cin	Cout
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Tabela 7.1 – Tablica istinitosti 3-ulazne *carry* funkcije

Odgovarajući graf $G(V, E)$ i njegova particija VP dati su na slici 7.1. VP_1 sačinjavaju tri lista particije x_1x_2 , x_1x_3 i x_2x_3 , dok VP_2 sadrži logičko “1” kao jedini list. Regularan PPPT određen BCVP algoritmom je:

$$\pi_1 = x_1 \cdot x_2 \cdot x_3,$$

$$\pi_2 = x_1 \cdot x_2,$$

$$\pi_3 = x_1 \cdot x_3,$$

4. Kao i u radu [PLL12] podrazumevano je da se za izračunavanje invertovanih PPT-ova u implikacionoj formi RBF u jednom koraku, mogu koristiti više-ulazna kola za implikaciju.

5. Za veličinu ulaza N -ulazne Bulove funkcije uzima se 2^N , a ne N .

$$\pi_4 = x_2 \cdot x_3,$$

$$\pi_5 = x_1,$$

$$\pi_6 = x_2,$$

$$\pi_7 = x_3,$$

$$\pi_8 = 1.$$

Dobijeni PPT-ovi i odgovarajući eksponenti rezultuju implikacionom RBF

$$y = \neg\pi_4 \rightarrow (\neg\pi_3 \rightarrow (\neg\pi_2 \rightarrow F)).$$

U slučaju iste funkcije, nakon minimizacije u [PLL12], RBF ima jednu implikaciju više:

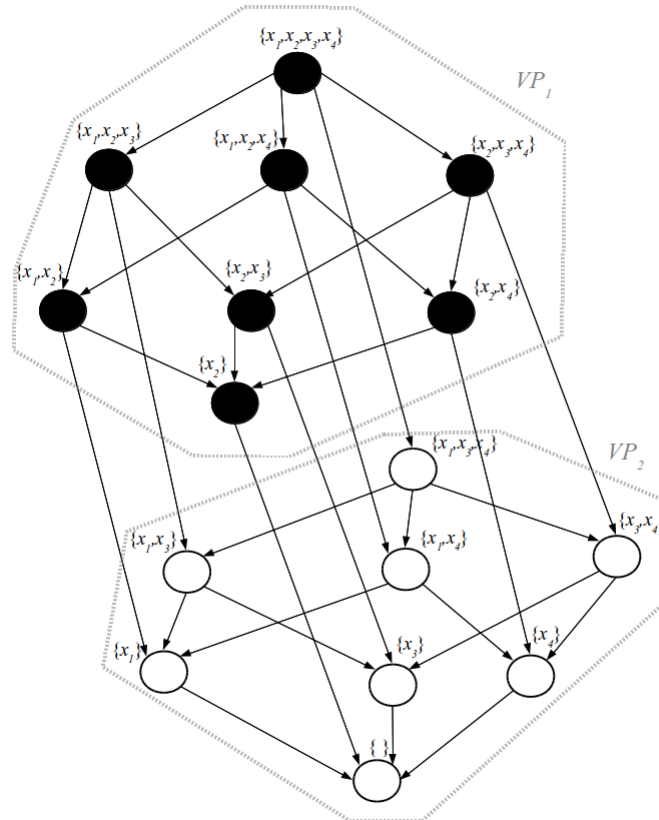
$$y = \neg\pi_4 \rightarrow (\neg\pi_3 \rightarrow ((\neg\pi_7 \rightarrow \neg\pi_2) \rightarrow F)).$$

Primer 5. Postmatrajmo Bulovu funkciju 4 promenljive čija je istinitosna tablica prikazana u tabeli 7.2.

x_1	x_2	x_3	x_4	f
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Tabela 7.2 – Četvoroulazna Bulova funkcija korišćena u primeru 5

Graf na kome se izvršava BCVP algoritam, konstruisan za ovu funkciju, prikazan je na slici 7.2, dok je rezultat algoritma prikazan na slici 7.3.



Slika 7.3 – Partitionisan graf $G(V, E)$ funkcije iz tabele 7.2 kao rezultat BCVP algoritma

grafu $G(V, E)$ takođe dodeljeni VP_1 . Na sličan način, VP_2 sačinjavaju svi preostali čvorovi grafa.

Ovakvim partitionisanjem skupa čvorova grafa $G(V, E)$, indirektno se određuje regularan PPPT koji će rezultovati minimalnom rekurzivnom formulom i omogućiti izračunavanje funkcije korišćenjem minimalnog broja elementarnih operacija implikacije. PPPT određen partitionisanjem čvorova grafa BCVP algoritma, prikazan je u tabeli 7.3.

Kao rezultat ovakvog partitionisanja skupa čvorova grafa $G(V, E)$, čvor sa labelom $\{x_2\}$ je jedini list particije unutar VP_1 , dok VP_2 takođe ima jedan list particije, čvor sa labelom $\{\}$. Dobijena implikativna forma nakon primene VP2IF algoritma na partitionisani graf je

$$y = \neg\pi_{13} \rightarrow F$$

7.2 Leaf relocation (LR) algoritam

Leaf relocation algoritam predstavlja post-procesiranje rezultata BCVP algoritma, sa ciljem da se dalje minimizira dužina formule po cenu povećane vremenske kompleksnosti, ali i dalje polinomijalne u terminima veličine ulaza. LR algoritam pokušava da restruktuiru čvorove grafa sa ciljem da se smanji broj listova particije unutar svakog pojedinačnog VP_k . Ukoliko je moguće, LR algoritam analizira premeštanje svakog “nezaključanog” lista particije iz VP_k u VP_{k+2} koji ima istu boju.

Algoritam 7.3 Leaf Relocation algoritam

Ulaz:

- DAG $G(V, E)$

Izlaz:

- modifikovani DAG $G(V, E)$ sa manjim ili jednakim brojem implikacija u RBF

```

1: Begin
2:  $locked \leftarrow \emptyset; CVP \leftarrow$  trenutna  $VP; BVP \leftarrow CVP$ 
3: While(bilo koji nezaključani čvor može biti premešten)
4:   Foreach  $leaf\ l \in V \wedge l \notin locked$ 
5:     particioniši  $G$  u skladu sa  $CVP$ 
6:      $MovingSet \leftarrow$  svi čvorovi koji moraju biti premešteni zajedno sa  $l$ 
7:     Foreach  $u \in MovingSet$ 
8:       If  $u$  je jedini čvor u  $VP_k \vee$  svi čvorovi iz  $VP_{k+1}$  su potomci od  $u$ 
9:         Goto 3
10:      Else
11:        ažuriraj trenutni  $VP$  tako što ćeš premestiti u  $VP_{k+2}$  čvor  $u$  zajedno
        sa svim svojim prethodnicima iz  $VP_k$  koji nemaju svoje potomke u  $VP_{k+1}$ 
12:      End If
13:    End Foreach
14:    If implikativna forma ( $BVP$ ) duža od implikativne forme trenutne  $VP$ 
15:       $BVP \leftarrow$  trenutna  $VP; BestLeaf \leftarrow l$  //zapamti najbolji čvor
16:    End If
17:  End Foreach
18:   $CVP \leftarrow BVP$ , usvoji  $BVP$  za graf  $G$  i dodaj  $BestLeaf$  u  $locked$ 
19: End While
20: Return  $G$ 
21: End

```

Premeštanje je motivisano činjenicom da, nakon premeštanja, premešteni list potencijalno više neće biti list u novoj VP_{k+2} , što bi na kraju rezultovalo u kraćoj RBF. Nakon što su svi “nezaključani” listovi procesirani, list, čije premeštanje će rezultovati najkraćom RBF, je odabran, definitivno premešten i “zaključan”. Ova procedura se ponavlja sve dok nisu svi listovi particija proglašeni “zaključanim” ili do trenutka kada dalje skraćivanje RBF više nije moguće.

Čvor grafa u iz bilo koje VP_k može biti premešten jedino u istobojnu VP_{k+2} od strane LR algoritma, što zahteva da svi potomci u grafu koji se nalaze u VP_{k+1} takođe budu premešteni u VP_{k+3} , da bi bila zadovoljena regularnost PPPT utvrđena Definicijom 7. Jedan mogući scenario jeste onaj u kome su svi čvorovi iz VP_{k+1} potomci čvora u . Tada, pošto je svaki čvor iz VP_{k+2} potomak barem jednog čvora iz VP_{k+1} (u suprotnom bi bio dodeljen VP_k od strane “greedy” BCVP algoritma), ovo dalje podrazumeva premeštanje, u rekurzivnom maniru, svih čvorova iz VP_{k+2} u VP_{k+4} i tako dalje. Kao rezultat, dobija se prazna VP_{k+1} , čvor u kao jedini čvor unutar VP_{k+2} i VP_{k+3} , VP_{k+4}, \dots , $VP_{|VP|}$ identični kao što su bili prethodno, uz povećanje indeksa za 2. Pošto je VP_{k+1} prazan, VP_{k+2} i VP_k mogu biti sjedinjeni obzirom na to da imaju istu boju, što rezultuje istim rasporedom čvorova kao i na početku ovakvog “premeštanja” uz očigledan gubitak vremena. Zbog toga u LR algoritmu nije dozvoljeno premeštanje poslednjeg preostalog čvora

iz bilo koje VP_k (linije 8-10).

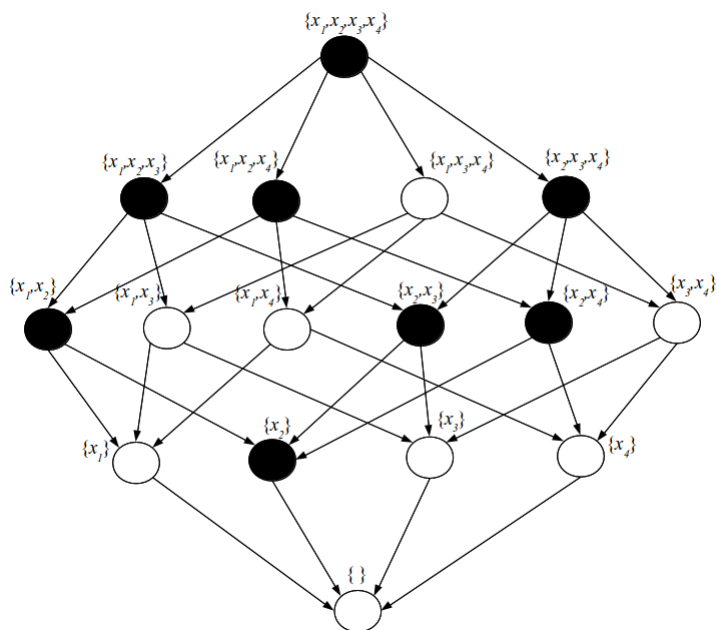
Vremenska kompleksnost LR algoritma je $O(n^5 \log n)$, gde je $n = 2^N$ veličina ulaza za LR algoritam.

Primer 6. Postmatrajmo Bulovu funkciju 4 promenljive čija je istinitosna tablica prikazana u tabeli 7.4.

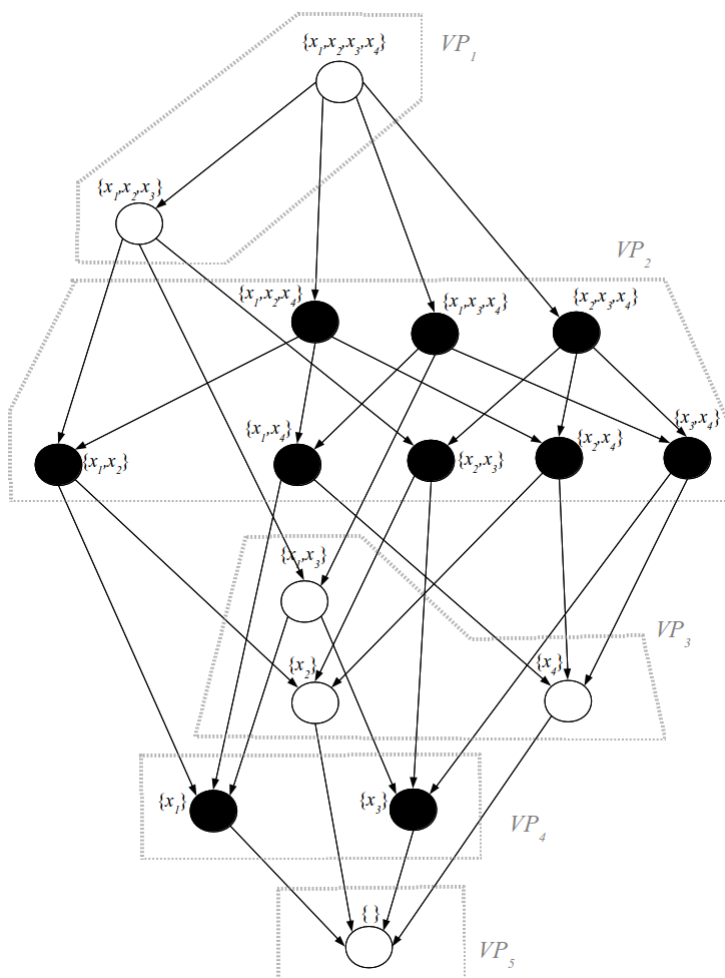
x_1	x_2	x_3	x_4	f
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

Tabela 7.4 – Četvoroulazna Bulova funkcija korišćena u primeru 6

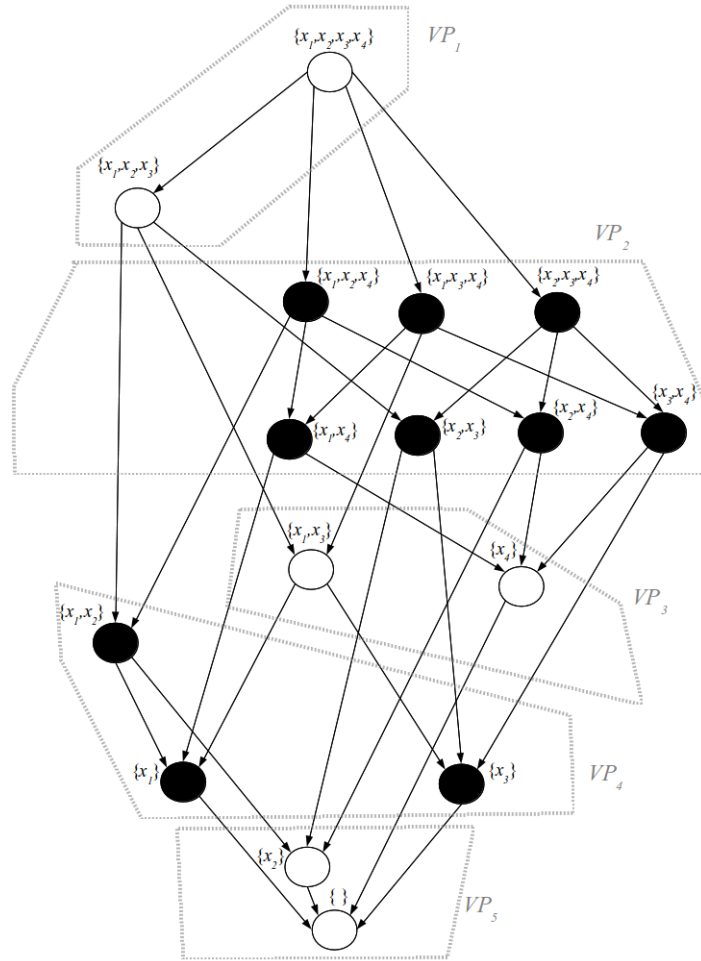
Konstruisan graf na osnovu Bulove funkcije opisane tabelom 7.4 prikazan je na slici 7.4. Nakon minimizacije BCVP algoritmom, particionisan graf $G(V, E)$ izgleda kao na slici 7.5. Sa slike se može primetiti da particionisan skup ima pet podskupova čvorova. Particionisanjem skupa čvorova, kreiran je PPPT prikazan u drugoj koloni tabele 7.5. Tokom izvršavanja LR algoritma, pokušavaju se identifikovati listovi particija, koji nakon premeštanja u drugi element partitivnog skupa od V (čvorova grafa $G(V, E)$) više neće biti listovi. U skladu sa tim, čvor $\{x_1, x_2\}$ može biti premešten iz VP_2 u VP_4 , pri čemu je neophodno i čvor $\{x_2\}$, koji je njegov sledbenik u grafu premestiti iz VP_3 u VP_5 . Premeštanje čvora $\{x_2\}$ je neophodno kako bi odgovarajući poredak pozitivnih proizvod termova, formiran tokom rada BCVP algoritma, i dalje bio regularan, u skladu sa Definicijom 7 i Teoremom 2. Kao rezultat ovog premeštanja dobijamo dva lista particije manje, jer premešteni čvor $\{x_1, x_2\}$ u VP_4 više neće biti list particije, baš kao ni premešteni $\{x_2\}$ u VP_5 . Upravo zbog toga je čvor $\{x_1, x_2\}$ proglašen za *BestLeaf* od strane LR algoritma (linija 15) u prvoj iteraciji LR algoritma, jer se njegovim potencijalnim premeštanjem iz VP_2 umanjuje broj listova particije za dva. Particija čvorova grafa nakon ovog prvog premeštanja prikazana je na slici 7.6.



Slika 7.4 – Graf $G(V, E)$ koji odgovara Bulovoj funkciji iz tabele 7.4



Slika 7.5 – Partitionisan graf $G(V, E)$ funkcije iz tabele 7.4 kao rezultat BCVP algoritma



Slika 7.6 – Promena particija nakon što su dva lista particija realocirani u prvoj iteraciji LR algoritma

Pozitivni proizvod termovi	BCVP	LR 1	LR 2	LR 3	LR 4
$x_1x_2x_3x_4$	π_1	π_1	π_1	π_1	π_1
$x_1x_2x_3$	π_2	π_2	π_2	π_2	π_2
$x_1x_2x_4$	π_3	π_3	π_3	π_3	π_3
$x_1x_3x_4$	π_4	π_4	π_4	π_4	π_4
$x_2x_3x_4$	π_5	π_5	π_5	π_5	π_5
x_1x_2	π_6	π_{12}	π_{11}	π_{10}	π_9
x_1x_4	π_7	π_6	π_6	π_6	π_{10}
x_2x_3	π_8	π_7	π_{12}	π_{11}	π_{11}
x_2x_4	π_9	π_8	π_7	π_7	π_6
x_3x_4	π_{10}	π_9	π_8	π_8	π_7
x_1x_3	π_{11}	π_{10}	π_9	π_9	π_8
x_2	π_{12}	π_{15}	π_{15}	π_{14}	π_{14}
x_4	π_{13}	π_{11}	π_{10}	π_{15}	π_{15}
x_1	π_{14}	π_{13}	π_{13}	π_{12}	π_{12}
x_3	π_{15}	π_{14}	π_{14}	π_{13}	π_{13}
1	π_{16}	π_{16}	π_{16}	π_{16}	π_{16}

Tabela 7.5 – Primer 6: PPPT određen BCVP algoritmom (kolona BCVP) i promena PPPT nakon i -te iteracije LR algoritma (kolona LR i , $i=1, \dots, 4$)

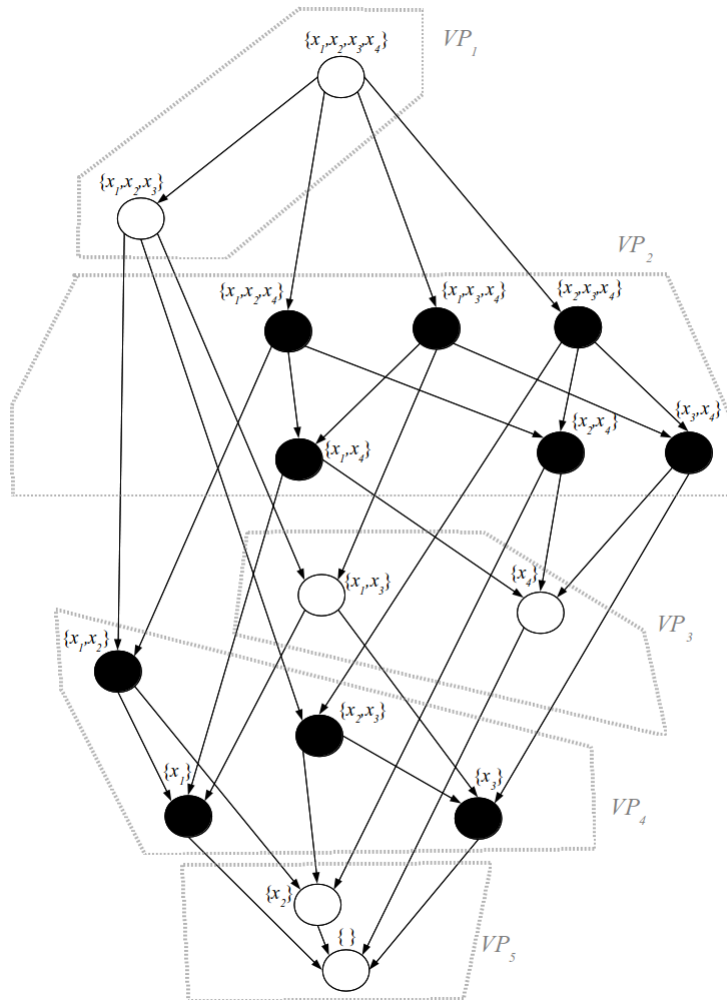
Takođe, ova realokacija čvorova podrazumeva modifikaciju poretka pozitivnih proizvod termova. Novi PPPT, nakon ove prve iteracije LR algoritma prikazan je u trećoj koloni tabele 7.5.

U sledećoj iteraciji, čvor $\{x_2, x_3\}$ je određen da bude premešten iz VP_2 u VP_4 . Ovo premeštanje, za razliku od prethodnog, neće zahtevati dodatno premeštanje čvorova sledbenika čvora $\{x_2, x_3\}$ u grafu $G(V, E)$. Nakon ove promene, nova particija skupa čvorova grafa prikazana je na slici 7.7.

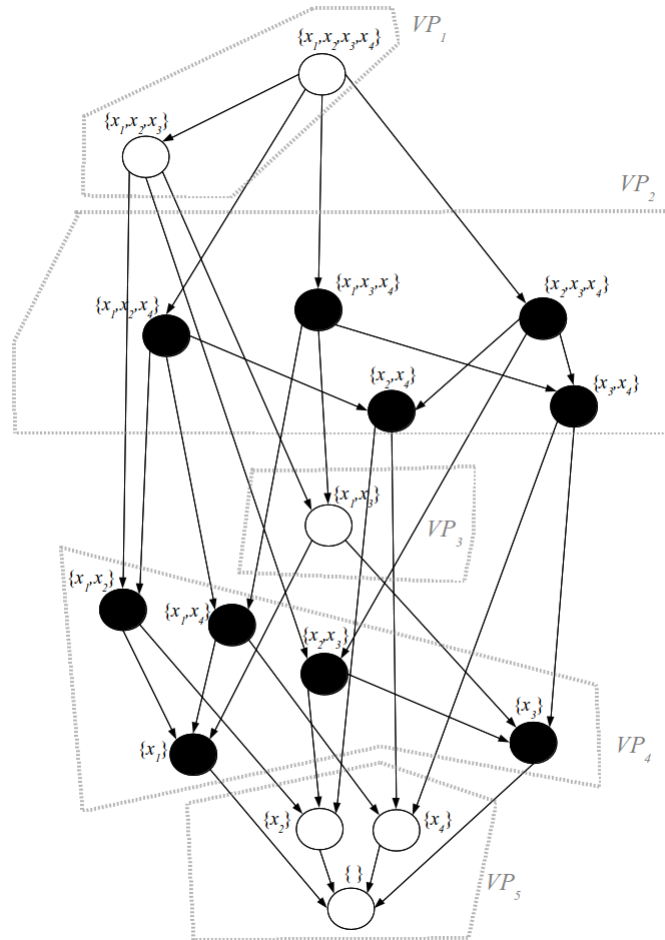
Na sličan način, u trećoj iteraciji, premešten je čvor $\{x_4\}$ iz VP_3 u VP_5 (slika 7.8) i u poslednjoj, četvrtoj iteraciji, premešten je čvor $\{x_1, x_4\}$ iz VP_2 u VP_4 (slika 7.9). Promene PPPT-a nakon i -te iteracije LR algoritma prikazane su u kolonama LR i tabele 7.5.

Smanjenjem broja listova particije, značajno se skraćuje i rezultujuća RBF, obzirom da se ona, kako je već ranije naglašeno, formira na osnovu listova particije. Nakon četiri iteracije LR algoritma, prikazane u ovom primeru, realociranjem čvorova unutar particije skupa čvorova grafa $G(V, E)$ broj listova particije je smanjen za pet (u prvoj iteraciji premeštena su dva čvora).

Nakon izvršavanja LR algoritma VP_1 je ostao nepromenjen u odnosu na rezultat BCVP algoritma.



Slika 7.7 – Promena particija nakon druge iteracije LR algoritma

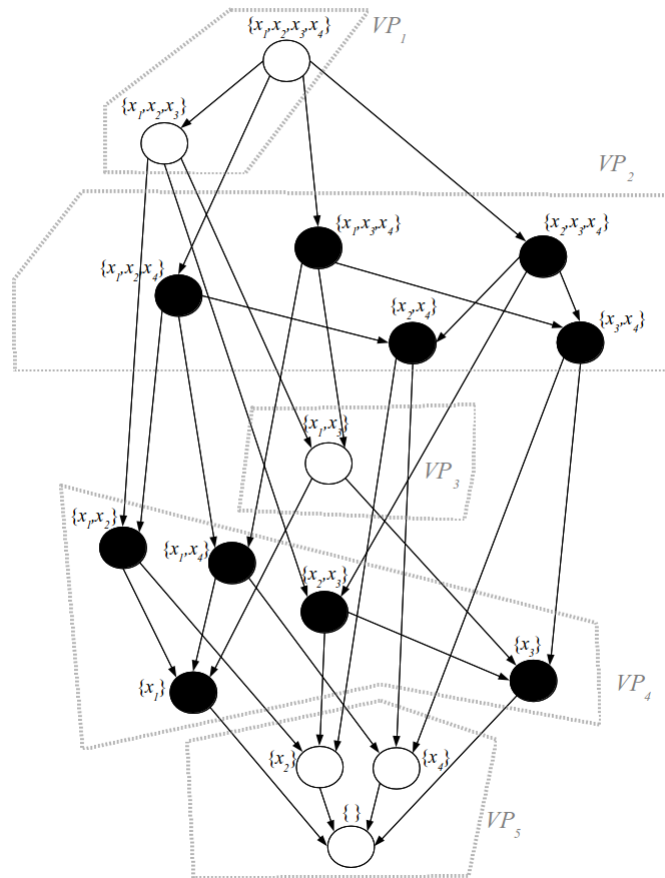


Slika 7.8 – Promena particija nakon treće iteracije LR algoritma

U VP_2 su umesto 5 listova particije, ostala samo dva, čvorovi sa labelama $\{x_2, x_4\}$ i $\{x_3, x_4\}$. Ovde je neophodno prokomentarisati iz kog razloga ova dva lista nisu premeštena u VP_4 od strane LR algoritma. Čvor sa labelom $\{x_2, x_4\}$ premešten u VP_4 bi ostao list particije jer obe njegove izlazne grane vode ka čvorovima u VP_5 a nijedna ka čvorovima iz VP_4 . Kao rezultat ovakvog premeštanja, ne bismo dobili nikakvo poboljšanje jer bi i dalje broj listova particije ostao isti, a samim tim i dužina generisane RBF. Što se tiče drugog lista iz VP_2 , čvora sa labelom $\{x_3, x_4\}$, nakon premeštanja u VP_4 on više ne bi bio list particije, obzirom na činjenicu da jedna njegova izlazna grana vodi ka čvoru $\{x_3\}$ koji je već list particije i nalazi se u VP_4 . Međutim, u slučaju premeštanja čvora $\{x_3, x_4\}$ u VP_4 nijedna od izlaznih grana čvora $\{x_1, x_3, x_4\}$ neće završavati u čvorovima iz VP_2 (dve će voditi ka čvorovima iz VP_4 , a jedna ka čvoru iz VP_3). Zbog toga, do ovog premeštanja ne dolazi, jer bi nakon toga u VP_2 ostao novi list particije, čvor sa labelom $\{x_1, x_3, x_4\}$.

VP_3 je particionisanjem skupa čvorova grafa od strane BCVP algoritma sadržao dva lista particije, dok će se nakon izvršavanja LR algoritma u okviru VP_3 nalaziti samo jedan list, čvor sa labelom $\{x_1, x_3\}$.

U VP_4 su tokom izvršavanja LR algoritma premeštena tri čvora, ali se broj listova particije nije povećao i ostao je jednak 2, baš kako je bilo određeno i BCVP algoritmom.

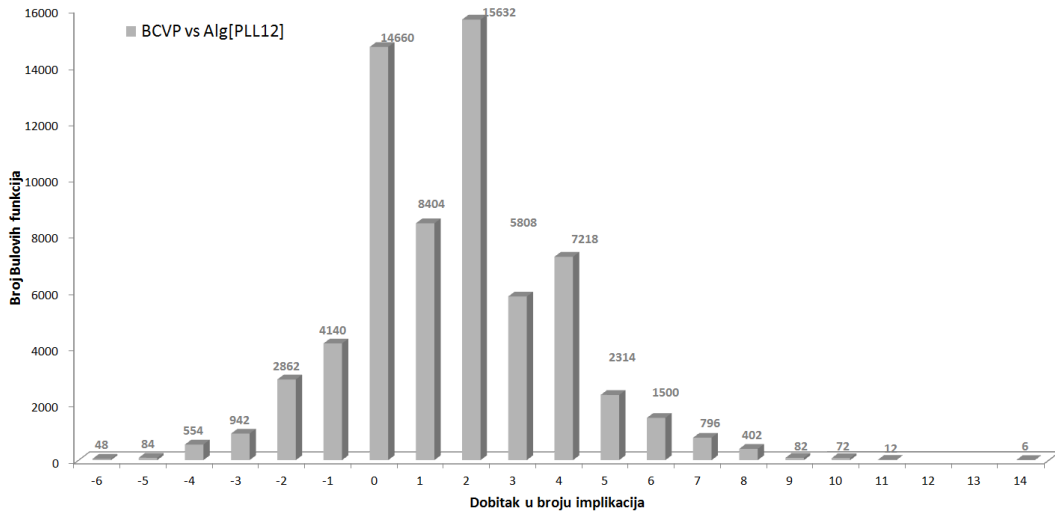


Slika 7.9 – Promena particija nakon četvrte, poslednje iteracije LR algoritma

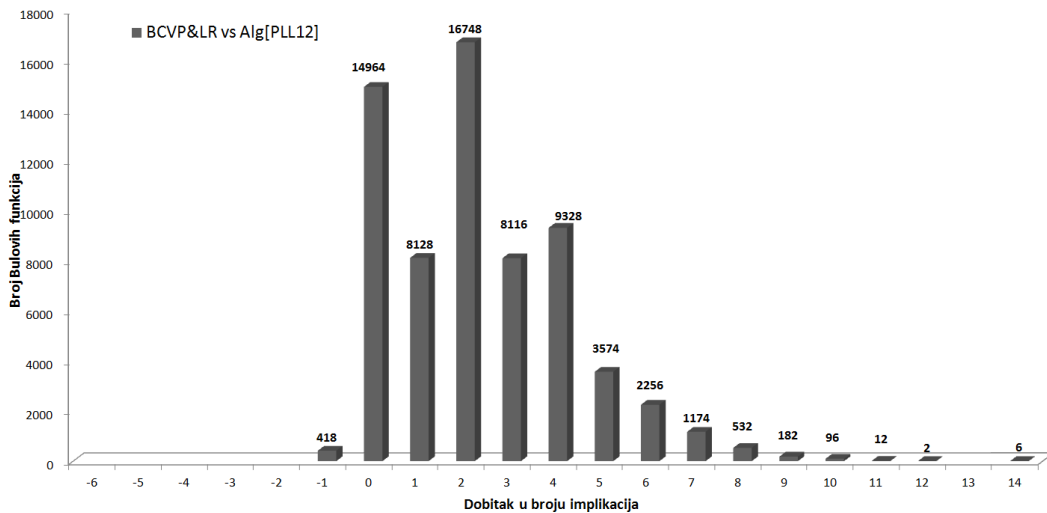
Na kraju, u VP_5 su dodata dva nova čvora od strane LR algoritma, ali to takođe nije rezultovalo povećanjem broja listova particije.

7.3 Poređenje algoritamskih heuristika za minimizaciju dužine rekurzivne Bulove formule

U cilju poređenja rezultata, implementirani su algoritmi razvijeni u okviru istraživanja obuhvaćenog ovom disertacijom i algoritam predstavljen u radu [PLL12]. Slika 7.10 prikazuje dobitak u broju implikacija kada se BCVP poredi sa re-implementiranim algoritmom iz [PLL12]. Dobitak se računa tako što se broj implikacija potrebnih za implementaciju dobijene RBF korišćenjem BCVP, oduzme od broja implikacija potrebnih za RBF dobijenu algoritmom iz [PLL12] za proizvoljnu Bulovu funkciju. Slično, na slici 7.11 je prikazan dobitak u broju implikacija u slučaju kada se, dodatno, optimizacija vrši i LR algoritmom, u poređenju sa originalnim algoritmom iz [PLL12]. Slike 7.10 i 7.11 se tumače na sledeći način: brojevi predstavljeni na ordinati prikazuju broj Bulovih funkcija sa 4 ulaza i jednim izlazom, dok je na apscisi predstavljen dobitak u broju implikacija. Na primer, sa slike 7.10 može se videti da postoje 8404 funkcije za koje su RBF, nakon minimizacije BCVP algoritmom, za jednu implikaciju “kraće” od odgovarajućih minimizovanih



Slika 7.10 – Poređenje BCPV i algoritma iz [PLL12]



Slika 7.11 – Poređenje BCPV/LR i algoritma iz [PLL12]

implikativnih formi dobijenih za iste Bulove funkcije algoritmom predstavljenim u radu [PLL12]. Slično, sa slike 7.11 se vidi da postoji 16748 četvoroulaznih BF za koje rekurzivne formule, minimizovane algoritmima BCPV i LR zahtevaju dve operacije implikacije manje, u poređenju sa rekurzivnim Bulovim formulama dobijenim minimizacijom istih Bulovih funkcija algoritmom iz [PLL12].

Podaci predstavljeni na slikama 7.10 i 7.11 su takođe prikazani i u tabelarnoj formi u tabeli 7.6, radi lakše preglednosti rezultata. U ovoj tabeli, u drugoj koloni je prikazan ukupan broj Bulovih funkcija sa odgovarajućim dobitkom iz prve kolone u slučaju BCPV, a u trećoj koloni u slučaju BCPV i LR algoritma. U tabeli su prikazani samo dobitci u opsegu minimalnog i maksimalnog dobitka, odakle se zaključuje da BCPV algoritam može kao rezultat dati rekurzivnu formulu čak i do 6 implikacija “dužu” u poređenju sa algoritmom iz [PLL12]. Sa druge strane, može rezultovati i do 14 implikacija kraćom rekurzivnom formulom. BCPV i LR algoritam zajedno, kao rezultat daju rekurzivnu formulu koja je maksimalno za jednu implikaciju “duža” u poređenju sa rezultatom dobijenim algoritmom [PLL12] i to samo za 418 BF, koje čine 0,64% od ukupnog broja četvoroulaznih Bulovih

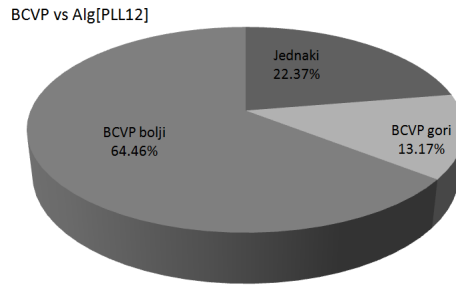
Smanjenje broja implikacija	#BF BCVP	#BF BCVP&LR
-6	48	0
-5	84	0
-4	554	0
-3	942	0
-2	2862	0
-1	4140	418
0	14660	14964
1	8404	8128
2	15632	16748
3	5808	8116
4	7218	9328
5	2314	3574
6	1500	2256
7	796	1174
8	402	532
9	82	182
10	72	69
11	12	12
12	0	2
13	0	0
14	6	6

Tabela 7.6 – Poređenje rezultata BCVP i LR algoritama sa algoritmom iz [PLL12]

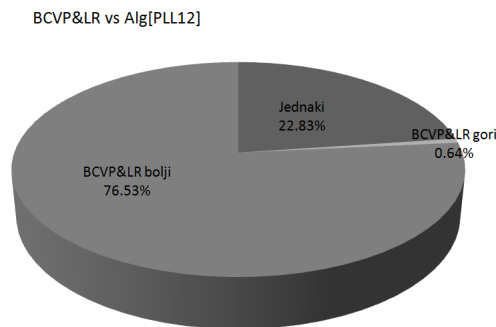
funkcija (njih $2^{2^4} = 65536$).

Na slici 7.12 su prikazani rezultati poređenja BCVP algoritma sa algoritmom predstavljenim u radu [PLL12]. Procenti na slici se odnose na broj četvoroulaznih Bulovih funkcija za koje minimizacija BCVP algoritmom daje bolje, jednake i lošije rezultate u poređenju sa algoritmom [PLL12]. Na slici 7.13 su predstavljeni rezultati poređenja dodatne minimizacije LR algoritmom u odnosu na minimizaciju algoritmom iz [PLL12].

Na osnovu rezultata sa slike 7.12, algoritam [PLL12] daje bolje rezultate za $\sim 13\%$ test funkcija u poređenju sa BCVP algoritmom. Ovo se može objasniti prirodom obilaska grafa u BFS maniru od gore na dole korišćenim od strane BCVP algoritma, nasuprot DFS obilasku od dole na gore korišćenim u [PLL12]. Ponekada je BCVP previše “pohlepan”, pretrpavajući gornje VP_k skupove i na taj način onemogućavajući neke od listova particije iz VP_k da budu locirani i absorbovani unutar VP_{k+2} . Iako nije izražen u terminima korišćenim u ovoj disertaciji, algoritam iz [PLL12] u osnovi pronalazi VP_k skupove sa samo jednim listom particije, što isključuje suvišne PPT-ove iz RBF za $\sim 13\%$ test funkcija. Ovo je zapravo i bila motivacija za razvoj napredne LR heuristike, koja premešta listove kandidate iz VP_k u VP_{k+2} , što rezultuje u dodatno kraćoj RBF. Slika 7.13 pokazuje da BCVP i LR zajedno daju bolji ili jednak rezultat za 99.36% svih četvoroulaznih BF. U slučaju preostalih 0.64% BF, BCVP i LR daju rezultat koji je jednu implikaciju duži, kao što se može videti na slici 7.11. Za $\sim 76\%$ instanci problema, BCVP i LR algoritmi daju bolji rezultat od algoritma iz [PLL12], sa do 14 implikacija kraćim



Slika 7.12 – Poređenje rezultata dobijenih BCVP algoritmom i algoritmom iz [PLL12]

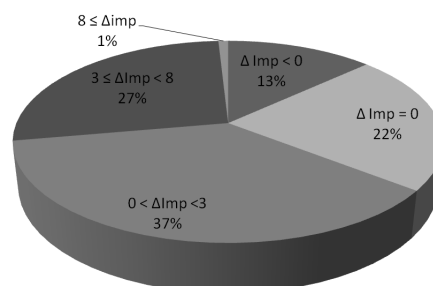


Slika 7.13 – Poređenje rezultata dobijenih BCVP i LR algoritmima, sa rezultatima algoritma iz [PLL12]

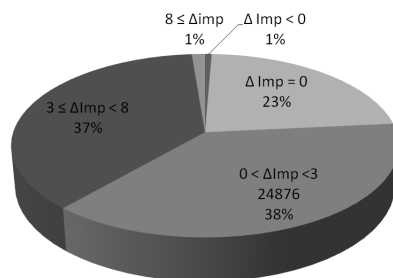
RBF, što se takođe može primetiti na slici 7.11.

Na slikama 7.14 i 7.15 su prikazani procenti četvoroulaznih Bulovih funkcija predstavljenih sa ΔImp implikacija manje nakon minimizacije BCVP (BCVP i LR) u odnosu na minimizaciju algoritmom iz [PLL12]. Radi bolje preglednosti, ΔImp je podeljen u pet kategorija: $\Delta Imp < 0$ (funkcije koje su bolje minimizovane originalnim algoritmom iz [PLL12]), $\Delta Imp = 0$ (funkcije koje se jednako efikasno minimizuju BCVP, odnosno BCVP i LR algoritmima i algoritmom iz [PLL12]), $0 < \Delta Imp < 3$, $3 \leq \Delta Imp < 8$ i $8 \leq \Delta Imp$. Sa slika 7.14 i 7.15 se vidi očigledan dobitak korišćenja LR algoritma: procenat BF iz kategorije $\Delta Imp < 0$ je smanjen sa 13% na ispod 1%, dok je procenat BF iz kategorije $3 \leq \Delta Imp < 8$ porastao sa 27% na 37%.

Sa slike 7.16 i iz tabele 7.7 primećuje se da je srednji broj implikacija u RBF za



Slika 7.14 – Skraćenje dužine implikativne forme kao rezultat korišćenja BCVP algoritma izražen u procentima za pet kategorija ΔImp

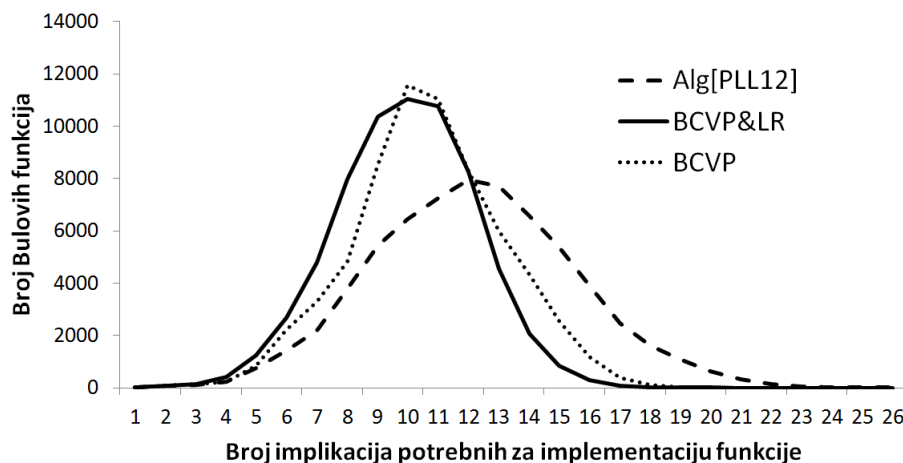


Slika 7.15 – Skraćenje dužine implikativne forme kao rezultat korišćenja BCVP i LR algoritama izražen u procentima za pet kategorija ΔImp

19.67% manji u slučaju minimizacije BCVP i čak 25.75% u slučaju minimizacije BCVP i LR algoritma, u poređenju sa rezultatima minimizacije algoritmom iz [PLL12]⁶. Takođe, sa slike 7.16 se može primetiti kako rezultati BCVP (BCVP i LR) algoritma imaju znatno manju varijansu u poređenju sa rezultatima dobijenim algoritmom iz [PLL12].

Algoritam	SV [impl.]	PSV [impl.]	PSV [%]
BCVP	9.64	2.36	19.67
BCVP&LR	8.91	3.09	25.75
Alg [PLL12]	12	0	0

Tabela 7.7 – Srednja vrednost broja implikacija i procentualno poboljšanje



Slika 7.16 – Broj operacija implikacije potreban za izračunavanje četvoroulaznih Bulovih funkcija

6. U tabeli 7.7 kolona SV prikazuje srednje vrednosti broja implikacija u RBF dobijenih minimizacionim algoritma BCVP, LR i [PLL12]. U koloni PSV je predstavljeno poboljšanje srednje vrednosti predstavljene u koloni SV u odnosu na srednji broj implikacija u RBF dobijenih minimizacijom algoritmom iz [PLL12]. U poslednjoj koloni je prikazan procentualni dobitak korišćenja algoritama BCVP i LR, sa aspekta smanjenja srednje vrednosti implikacija potrebnih za izračunavanje Bulovih funkcija.

Glava 8

Zaključak

Istraživanje predstavljeno u ovoj disertaciji motivisano je nedavno fabrikovanim mem-elementima, mem-uređajima i mem-sistemima, koji svojim karakteristikama omogućavaju novi pristup u dizajnu digitalnih logičkih kola. Upotreba ovih mem-komponenti omogućava procesiranje i skladištenje podataka na istoj lokaciji, nasuprot aktuelnoj i odavno prevaziđenoj Von Neumann arhitekturi kod koje se obrada podataka vrši od strane procesora, a podaci čuvaju u dislociranim memorijskim jedinicama, što rezultuje problemom “memorijskog zida”.

U dostupnoj naučnoj literaturi postoji obilje predloženih arhitektura logičkih kola baziranih na mem-komponentama. Jedna od ovih arhitektura, kolo sa dva radna memristora u *stateful logic* topologiji, osim minimalnim dimenzijama, odlikuje se i imunošću na degradaciju signala usled pada napona na rezistivnim elementima i problem *fanout*-a. Ipak, mana ovog kola se ogleda u složenim i dugačkim sekvencama pobudnih naponskih signala, jer se ovim pristupom prostorna kompleksnost Bulovog kola kompromisno zamenjuje vremenskom kompleksnošću operacija izvršavanih ovim kolima. Štaviše, broj sekvenci potrebnih za izračunavanje proizvoljne Bulove funkcije se eksponencijalno uvećava sa povećanjem broja ulaznih promenljivih. Upravo zbog toga, osim sinteze logičkih kola baziranih na memristorima, cilj istraživanja opisanog u ovoj disertaciji je i minimizacija rekurzivnih Bulovih formula koje određuju kontrolnu sekvencu pobudnih signala. Ova minimizacija se vrši korišćenjem takozvanih *regularnih poredaka pozitivnih proizvod termova*, koji omogućavaju pretraživanje kompletnog prostora za minimizaciju, nasuprot njegovom nekompletnom podskupu korišćenom u [PLL12], ili jednom fiksnom poretku predstavljenom u [LPL10a],[LPL10b].

Obzirom da prostor pretraživanja grafa, u cilju pronalaženja optimalnog regularnog poretka pozitivnih proizvod termova, raste eksponencijalno u zavisnosti od veličine ulaza, predstavljene su dve sofisticirane BFS polinomijalne, “*greedy*” algoritamske heuristike, sa $O(n^3 \log n)$ i $O(n^5 \log n)$ vremenskim kompleksnostima. U pogledu vremenske kompleksnosti, BCVP i LR algoritmi, predstavljeni u okviru ove teze, su uporedivi sa ostalim algoritmima za minimizaciju rekurzivne Bulove formule.⁷ Algoritmi razvijeni tokom istraživanja u ovoj disertaciji, testirani na skupu svih četvoroulaznih Bulovih funkcija, obezbeđuju do 26% poboljšanja u prosečnom broju implikacija i daju kraću rekurzivnu Bulovu formulu za čak 77% instanci problema, u poređenju sa prethodno objavljenim algoritmima.

7. Vremenska kompleksnost algoritma prikazanog u [PLL12], iako nije eksplicitno navedena u radu, može biti ustanovljena kao $O(n^4)$

Bibliografija

- [AKBRSR08] Appenzeller, J., Knoch, J., Bjork, M. T., Riel, H., Schmid, H., Riess, W. "Toward nanowire electronics." *Electron Devices, IEEE Transactions on* 55.11 (2008): 2827-2845.
- [AP11] Abdalla, Hisham, and Matthew D. Pickett. "SPICE modeling of memristors." *Circuits and Systems (ISCAS), 2011 IEEE International Symposium on.* IEEE, 2011.
- [AYKC12] Adhikari, S. P., Yang, C., Kim, H., Chua, L. O. "Memristor bridge synapse-based neural network and its learning." *Neural Networks and Learning Systems, IEEE Transactions on* 23.9 (2012): 1426-1435.
- [BBB09] Biolek, Zdeněk, Dalibor Biolek, and Viera Biolková. "SPICE Model of Memristor with Nonlinear Dopant Drift." *Radio-engineering* 18.2 (2009).
- [BECKEF09] Berzina, T., Erokhina, S., Camorani, P., Konovalov, O., Erokhin, V., Fontana, M. P. "Electrochemical control of the conductivity in an organic memristor: a time-resolved X-ray fluorescence study of ionic drift as a function of the applied voltage." *ACS applied materials & interfaces* 1.10 (2009): 2115-2118.
- [BFFG12] Buscarino, A., Fortuna, L., Frasca, M., Gambuzza, L. V. "A chaotic circuit based on Hewlett-Packard memristor." *Chaos: An Interdisciplinary Journal of Nonlinear Science* 22.2 (2012): 023136.
- [BLSLOWW09] Borghetti, J., Li, Z., Straznicky, J., Li, X., Ohlberg, D. A., Wu, W., Williams, R. S. "A hybrid nanomemristor/transistor logic circuit capable of self-programming." *Proceedings of the National Academy of Sciences* 106.6 (2009): 1699-1703.
- [BS10] Bickerstaff, K., and E. E. Swartzlander. "Memristor-based arithmetic." *Signals, Systems and Computers (ASILOMAR), 2010 Conference Record of the Forty Fourth Asilomar Conference on.* IEEE, 2010.
- [BSKYSW10] Borghetti, J., Snider, G., Kuekes, P., Yang, J., Stewart, D. and Williams, S., 'Memristive' switches enable 'stateful' logic operations via material implication, *Nature Lett.*, Vol. 464, p. 873-876, April 2010
- [BZLCP12] Bi, X., Zhang, C., Li, H., Chen, Y., Pino, R. E. "Spintronic memristor based temperature sensor design with cmos current

- reference." Proceedings of the Conference on Design, Automation and Test in Europe. EDA Consortium, 2012.
- [CA12] Corinto, F., Ascoli, A. "Memristive diode bridge with LCR filter." *Electronics letters*/ 48.14 (2012): 824-825.
- [CAG11] Corinto, Fernando, Alon Ascoli, and Marco Gilli. "Nonlinear dynamics of memristor oscillators." *Circuits and Systems I: Regular Papers, IEEE Transactions on* 58.6 (2011): 1323-1336.
- [CAG12] Corinto, Fernando, Alon Ascoli, and Marco Gilli. "Analysis of current-voltage characteristics for memristive elements in pattern recognition systems." *International journal of circuit theory and applications* 40.12 (2012): 1277-1320.
- [Chua03] Chua, Leon O. "Nonlinear circuit foundations for nanodevices. I. The four-element torus." *Proceedings of the IEEE* 91.11 (2003): 1830-1859.
- [Chua11] Chua, Leon. "Resistance switching memories are memristors." *Applied Physics A* 102.4 (2011): 765-783.
- [Chua71] Chua, Leon. "Memristor-the missing circuit element." *Circuit Theory, IEEE Transactions on* 18.5 (1971): 507-519.
- [CJLPWHS01] Collier, C. P., Jeppesen, J. O., Luo, Y., Perkins, J., Wong, E. W., Heath, J. R., Stoddart, J. F. "Molecular-based electronically switchable tunnel junction devices." *Journal of the American Chemical Society* 123.50 (2001): 12632-12641.
- [CK76] Chua, Leon O., and Sung Mo Kang. "Memristive devices and systems." *Proceedings of the IEEE* 64.2 (1976): 209-223.
- [CWSL10] Chen, Y., Wang, X., Sun, Z., Li, H. "The application of spintronic devices in magnetic bio-sensing." *Quality Electronic Design (ASQED), 2010 2nd Asia Symposium on. IEEE, 2010.*
- [DCD09] Dong, Chen, Scott Chilstedt, and Deming Chen. "FPCNA: a field programmable carbon nanotube array." *Proceedings of the ACM/SIGDA international symposium on Field programmable gate arrays. ACM, 2009.*
- [DCHW07] Dong, C., Chen, D., Haruehanroengra, S., Wang, W. "3-D nFPGA: A reconfigurable architecture for 3-D CMOS/nanomaterial hybrid digital circuits." *Circuits and Systems I: Regular Papers, IEEE Transactions on* 54.11 (2007): 2489-2501.
- [DHWGL13] Duan, S., Hu, X., Wang, L., Gao, S., Li, C. "Hybrid memristor/RTD structure-based cellular neural networks with applications in image processing." *Neural Computing and Applications* (2013): 1-6.
- [DHWL13] Duan, S., Hu, X., Wang, L., Li, C. "Analog memristive memory with applications in audio signal processing." *Science China Information Sciences* (2013): 1-15.

- [DHMM96] Diorio, C., Hasler, P., Minch, B. A., Mead, C. A. "A single-transistor silicon synapse." *Electron Devices, IEEE Transactions on* 43.11 (1996): 1972-1980.
- [DMC96] Dorigo Marco, Vittorio Maniezzo, and Alberto Colorni. "Ant system: optimization by a colony of cooperating agents." *Systems, Man, and Cybernetics, Part B: Cybernetics, IEEE Transactions on* 26.1 (1996): 29-41.
- [DQKKKPB10] Driscoll, T., Quinn, J., Klein, S., Kim, H. T., Kim, B. J., Pershin, Y. V., Basov, D. N. "Memristive adaptive filters." *Applied Physics Letters* 97.9 (2010): 093502.
- [DVP12a] Di Ventra, Massimiliano, and Yuriy V. Pershin. "Fast computation with memory circuit elements." *Cellular Nanoscale Networks and Their Applications (CNNA), 2012 13th International Workshop on.* IEEE, 2012.
- [DVP12b] Di Ventra, Massimiliano, and Yuriy V. Pershin. "Memcomputing: a computing paradigm to store and process information on the same physical platform." *arXiv preprint arXiv:1211.4487* (2012).
- [DVPC09] Di Ventra, Massimiliano, Yuriy V. Pershin, and Leon O. Chua. "Circuit elements with memory: memristors, memcapacitors, and meminductors." *Proceedings of the IEEE* 97.10 (2009): 1717-1724.
- [DVV11] Dautovic, S. Vranjkovic, V., Vukobratovic, B., Boolean function minimization for memristive logic circuits, *Proc 16th Int. Symp. on Power El.*, 2011.
- [EP11] Ebong, Idongesit E., and Pinaki Mazumder. "Self-controlled writing and erasing in a memristor crossbar memory." *Nanotechnology, IEEE Transactions on* 10.6 (2011): 1454-1463.
- [FYZY12] Fei, W., Yu, H., Zhang, W., Yeo, K. S. "Design exploration of hybrid cmos and memristor circuit by new modified nodal analysis." *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on* 20.6 (2012): 1012-1025.
- [FYIS12] Fitch, A. L., Yu, D., Iu, H. H., Sreeram, V. "Hyperchaos in a memristor-based modified canonical Chua's circuit." *International Journal of Bifurcation and Chaos* 22.06 (2012).
- [GH10] Garrett S. R., Harika M., A Hybrid CMOS-Nano FPGA Based on Majority Logic: From Devices to Architecture, *Analog Circuits and Signal Processing, Vol. 0, Part 1*, pp. 139-161. 2010.
- [GHHDSRHG09] Gergel-Hackett, N., Hamadani, B., Dunlap, B., Suehle, J., Richter, C., Hacker, C., Gundlach, D. "A flexible solution-processed memristor." *Electron Device Letters, IEEE* 30.7 (2009): 706-708.
- [GHTR12] Gergel-Hackett, Nadine, Joseph L. Tedesco, and Curt A. Richter. "Memristors With Flexible Electronic Applications." *Proceedings of the IEEE* 100.6 (2012): 1971-1978.

- [GL10] Guinand, F., and M. Lafourcade. "Artificial ants for Natural Language Processing, chapitre 20." *Artificial Ants. From Collective Intelligence to Real-life Optimization and Beyond*. Monmarché, N. and Guinand, F. and P. Siarry (2010): 455-492.
- [GOM13] Goknar, I., Oncul, F., Minayi, E. "New Memristor Applications: AM, ASK, FSK, and BPSK Modulators." *Antennas and Propagation Magazine, IEEE* 55.2 (2013): 304-313.
- [HDWL12] Hu, X., Duan, S., Wang, L., Liao, X. "Memristive crossbar array with applications in image processing." *Science China Information Sciences* 55.2 (2012): 461-472.
- [HHL09] Ho, Y., Huang, G. M., Li, P. "Nonvolatile memristor memory: device characteristics and design implications." *Computer-Aided Design-Digest of Technical Papers, 2009. ICCAD 2009. IEEE/ACM International Conference on. IEEE, 2009.*
- [HHL11] Ho, Y., Huang, G. M., Li, P. "Dynamical properties and design analysis for nonvolatile memristor memories." *Circuits and Systems I: Regular Papers, IEEE Transactions on* 58.4 (2011): 724-736.
- [IC08] Itoh, Makoto, and Leon O. Chua. "Memristor oscillators." *International Journal of Bifurcation and Chaos* 18.11 (2008): 3183-3206.
- [IYFSC11] Iu, H. H. C., Yu, D. S., Fitch, A. L., Sreeram, V., Chen, H. "Controlling chaos in a memristor based circuit using a Twin-T notch filter." *Circuits and Systems I: Regular Papers, IEEE Transactions on* 58.6 (2011): 1337-1344.
- [JBM09] Jo, Kwan-Hee, Ji-Hye Bong, and Kyeong-Sik Min. "Low-power read circuit with self-adjusted column pulse width for diode-switch resistive RAMs." *IEICE Electronics Express* 6.14 (2009): 986-992.
- [JCEBML10] Jo, S. H., Chang, T., Ebong, I., Bhadviya, B. B., Mazumder, P., Lu, W. "Nanoscale memristor device as synapse in neuro-morphic systems." *Nano letters* 10.4 (2010): 1297-1301.
- [JCGADM09] Jamma, M. H. B., Carrara, S., Georgiou, J., Archontas, N., De Micheli, G. "Fabrication of memristors with poly-crystalline silicon nanowires." *IEEE nano. 2009.*
- [JCM12] Jung, C. M., Choi J. M., Min, K. S. "Two-step write scheme for reducing sneak-path leakage in complementary memristor array." *Nanotechnology, IEEE Transactions on* 11.3 (2012): 611-618.
- [JLVM12] Jung, C. M., Jo, K. H., Lee, E. S., Vo, H. M., Min, K. S. "Zero-sleep-leakage flip-flop circuit with conditional-storing memristor retention latch." *Nanotechnology, IEEE Transactions on* 11.2 (2012): 360-366.

- [JJMK10] Jo, K. H., Jung, C. M., Min, K. S., Kang, S. M. S. "Self-adaptive write circuit for low-power and variation-tolerant memristors." *Nanotechnology, IEEE Transactions on* 9.6 (2010): 675-678.
- [JLM10] K.-H. Jo, E.-S. Lee, and K.-S. Min, "Zero-standby-power flip-flop circuit using memristive devices," *Int. Conf. Electron. Mater. Int. Union Mater. Res. Soc.*, Seoul, Korea, Aug. 2010.
- [JW09] Joglekar, Yogesh N., and Stephen J. Wolf. "The elusive memristor: properties of basic electrical circuits." *European Journal of Physics* 30.4 (2009): 661.
- [KCLKASAE11] Kavehei, O., Cho, K., Lee, S., Kim, S. J., Al-Sarawi, S., Abbott, D., Eshraghian, K. "Fabrication and modeling of Ag/TiO₂/ITO memristor." *Circuits and Systems (MWS-CAS), 2011 IEEE 54th International Midwest Symposium on.* IEEE, 2011.
- [KFKW13] Kvatinsky, S., Friedman, E. G., Kolodny, A., Weiser, U. C. "TEAM: Threshold adaptive memristor model." *Circuits and Systems I: Regular Papers, IEEE Transactions on* 60.1 (2013): 211-221.
- [KJH11] Kim, K. M., Jeong, D. S., Hwang, C. S. "Nanofilamentary resistive switching in binary oxide system; a review on the present status and outlook." *Nanotechnology* 22.25 (2011): 254002.
- [KKWF11] Kvatinsky, S., Kolodny, A., Weiser, U., and Friedman, E.G., Memristor- based IMPLY logic design procedure, in *Proc. of the 2011 IEEE 29th Int. Conf. on Computer Design*, p. 142-147, 2011.
- [KLCASA13] Kavehei, O., Lee, S. J., Cho, K. R., Al-Sarawi, S., Abbott, D. "A pulse-frequency modulation sensor using memristive-based inhibitory interconnections." *Journal of nanoscience and nanotechnology* 13.5 (2013): 3505-3510.
- [KRLBW11] Kügeler, C., Rosezin, R., Linn, E., Bruchhaus, R., Waser, R. "Materials, technologies, and circuit concepts for nanocrossbar-based bipolar RRAM." *Applied Physics A* 102.4 (2011): 791-809.
- [KSK11] Kyosun Kim; Sangho Shin; Kang, S.-M.S., "Field Programmable Stateful Logic Array," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on* , vol.30, no.12, pp.1800,1813, Dec. 2011.
- [KSW04] Kuekes, Philip J., Duncan R. Stewart, and R. Stanley Williams. "The crossbar latch: Logic value storage, restoration, and inversion in crossbar circuits." *Journal of Applied Physics* 97.3 (2004): 034301.
- [KSYC10] Kim, H., Sah, M. P., Yang, C., Chua, L. O. "Memristor-based multilevel memory." *Cellular nanoscale networks and their*

- applications (CNNA), 2010 12th international workshop on. IEEE, 2010.
- [KSYRC12a] Kim, H., Sah, M. P., Yang, C., Roska, T., Chua, L. O. "Neural synaptic weighting with a pulse-based memristor circuit." *Circuits and Systems I: Regular Papers, IEEE Transactions on* 59.1 (2012): 148-158.
- [KSYRC12b] Kim, H., Sah, M. P., Yang, C., Roska, T., Chua, L. O. "Memristor bridge synapses." *Proceedings of the IEEE* 100.6 (2012): 2061-2070.
- [KTUKF10] Kaneko, Y., H. Tanaka, M. Ueda, Y. Kato, E. Fujii. "A novel ferroelectric memristor enabling NAND-type analog memory characteristics." In *Device Research Conference (DRC), 2010*, pp. 257-258. IEEE, 2010.
- [KWSKWF12] Kvatinsky, S.; Wald, N.; Satat, G.; Kolodny, A.; Weiser, U.C.; Friedman, E.G., "MRL-Memristor Ratioed Logic," *Cellular Nanoscale Networks and Their Applications, 13th International Workshop on* , pp.1-6, 29-31 Aug. 2012.
- [LCGZCLK11] Liu, L., Chen, B., Gao, B., Zhang, F., Chen, Y., Liu, X., Kang, J. "Engineering oxide resistive switching materials for memristive device application." *Applied Physics A* 102.4 (2011): 991-996.
- [LL09] Lehtonen, E.; Laiho, M., "Stateful implication logic with memristors," *Nanoscale Architectures, 2009. NANOARCH '09. IEEE/ACM International Symposium on* , vol., no., pp.33,36, 30-31 July 2009 doi: 10.1109/NANOARCH.2009.5226356
- [LL10a] Lehtonen, Eero, and Mika Laiho. "CNN using memristors for neighborhood connections." *Cellular Nanoscale Networks and Their Applications (CNNA), 2010 12th International Workshop on. IEEE, 2010.*
- [LL10b] Laiho, Mika, and Eero Lehtonen. "Arithmetic operations within memristor-based analog memory." *Cellular Nanoscale Networks and Their Applications (CNNA), 2010 12th International Workshop on. IEEE, 2010.*
- [LL10c] Laiho, Mika, and Eero Lehtonen. "Cellular nanoscale network cell with memristors for local implication logic and synapses." *Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on. IEEE, 2010.*
- [LLL12] Laiho, Mika, Eero Lehtonen, and Wei Lu. "Memristive analog arithmetic within cellular arrays." *Circuits and Systems (ISCAS), 2012 IEEE International Symposium on. IEEE, 2012.*
- [LLP10] Lehtonen, E.; Laiho, M.; Poikonen, J., "A chaotic memristor circuit," *Cellular Nanoscale Networks and Their Applications (CNNA), 2010 12th International Workshop on* , vol., no., pp.1,3, 3-5 Feb. 2010

- [LPL10a] Lehtonen, E., Poikonen, J.H. and Laiho, M., Two memristors suffice to compute all Boolean functions, *Electron.Lett.*, Vol. 46, No. 3, p. 230-231, 2010.
- [LPL10b] Lehtonen,E., Poikonen,J.H. and Laiho,M., Erratum for 'Two memristors suffice to compute all Boolean functions', *Electron. Lett.* Vol. 46, No. 9, p. 663- 663, April 2010.
- [LPL12] Lehtonen, E., Poikonen, J.H., Laiho, M., Applications and limitations of memristive implication logic, *Cellular Nanoscale Networks and Their Applications*, 2012 13th International Workshop on, pp.1-6, Aug. 2012.
- [LPLL11] Lehtonen, E., Poikonen, J., Laiho, M.,Lu, W. "Time-dependency of the threshold voltage in memristive devices." *Circuits and Systems (ISCAS)*, 2011 IEEE International Symposium on. IEEE, 2011.
- [LPSOLWW08] Li, Z., Pickett, M. D., Stewart, D., Ohlberg, D. A., Li, X., Wu, W., Williams, R. S. "Experimental demonstration of a defect-tolerant nanocrossbar demultiplexer." *Nanotechnology* 19.16 (2008): 165203.
- [LRKW10] Linn, E., Rosezin, R., Kügeler, C., Waser, R. "Complementary resistive switches for passive nanocrossbar memories." *Nature materials* 9.5 (2010): 403-406.
- [LZLSWC10] Lai, Q., Zhang,L., Li, Z., Stickle, W., Williams, S. and Chen,Y. "Ionic/electronic hybrid materials integrated in a synaptic transistor with signal processing and learning functions." *Advanced Materials* 22.22 (2010): 2448-2453.
- [MBS11a] Merrikh-Bayat, Farnood, and Saeed Bagheri Shouraki. "Memristor-based circuits for performing basic arithmetic operations." *Procedia Computer Science* 3 (2011): 128-132.
- [MBS11b] Merrikh-Bayat, Farnood, and Saeed Bagheri-Shouraki. "Mixed analog-digital crossbar-based hardware implementation of sign–sign LMS adaptive filter." *Analog Integrated Circuits and Signal Processing* 66.1 (2011): 41-48.
- [MCWHJLGRK12] Mehonic, A., Cueff S., Wojdak M., Hudziak S., Jambois O., Labbé C., Garrido B., Rizk R., Kenyon A. J. "Resistive switching in silicon suboxide films." *Journal of Applied Physics* 111.7 (2012): 074507.
- [MDVP09] Martinez, J., M. Di Ventra, and Yu V. Pershin. "Solid-state memcapacitor." *arXiv preprint arXiv:0912.4921* (2009).
- [MHE13] Mohammad, B., Homouz, D., Elgabra, H. "Robust hybrid memristor-CMOS memory: Modeling and design." (2013): 1-1.
- [MK09] Muthuswamy, Bharathwaj, and Pracheta P. Kokate. "Memristor-based chaotic circuits." *IETE Technical Review* 26.6 (2009): 417.

- [MNY11] Medeiros-Ribeiro, G., Nickel, J.H. and Yang, J.J., Progress in CMOS- memristor integration, ICCAD'11 Proceedings of the 2011 IEEE/ACM International Conference on CAD, p. 246-249, 2011.
- [Mou07] B. Mouttet "Programmable crossbar signal processor", US Patent 7,302,513 (2007).
- [Mou10] Mouttet, Blaise. "Memristive systems analysis of 3-terminal devices." Electronics, Circuits, and Systems (ICECS), 2010 17th IEEE International Conference on. IEEE, 2010.
- [MRHW10] Manem, H., Rose, G. S., He, X., Wang, W. "Design considerations for variation tolerant multilevel CMOS/Nano memristor memory." Proceedings of the 20th symposium on Great lakes symposium on VLSI. ACM, 2010.
- [MSS11] Mahmoudi, Hiwa, Viktor Sverdlov, and Siegfried Selberherr. "Domain-wall spintronic memristor for capacitance and inductance sensing." Semiconductor Device Research Symposium (ISDRS), 2011 International. IEEE, 2011.
- [Mut10] Muthuswamy, Bharathwaj. "Implementing memristor based chaotic circuits." International Journal of Bifurcation and Chaos 20.05 (2010): 1335-1350.
- [MVCHHLRPK13] Mehonic, A., Vrajitoarea A., Cuff S., Hudziak S., Howe H., Labbé C., Rizk R., Pepper M., Kenyon A. J., "Quantum Conductance in Silicon Oxide Resistive Memory Devices." Scientific reports 3 (2013).
- [MW08] Liu, Ming, and Wei Wang. "rFGA: CMOS-nano hybrid FPGA using RRAM components." Nanoscale Architectures, 2008. NANOARCH 2008. IEEE International Symposium on. IEEE, 2008.
- [MWS] MathWorks Simscape – Model and simulate multidomain physical systems, online available at <http://www.mathworks.com/products/simscape/>
- [NCX10] Niu, D., Chen, Y., Xie, Y.. "Low-power dual-element memristor based memory design." Proceedings of the 16th ACM/IEEE international symposium on Low power electronics and design. ACM, 2010.
- [PDV10] Pershin, Yuriy V., and Massimiliano Di Ventra. "Practical approach to programmable analog circuits with memristors." Circuits and Systems I: Regular Papers, IEEE Transactions on 57.8 (2010): 1857-1864.
- [PDV11] Pershin, Yuriy V., and Massimiliano Di Ventra. "Solving mazes with memristors: a massively parallel approach." Physical Review E 84.4 (2011): 046703.
- [PDV12] Pershin, Yuriy V., and Massimiliano Di Ventra. "Neuromorphic, digital, and quantum computation with memory circuit elements." Proceedings of the IEEE 100.6 (2012): 2071-2080.

- [PLFDV09] Pershin, Yuriy V., Steven La Fontaine, and Massimiliano Di Ventra. "Memristive model of amoeba learning." *Physical Review E* 80.2 (2009): 021926.
- [PLL12] J.H. Poikonen, E. Lehtonen, and M. Laiho. On synthesis of Boolean expressions for memristive devices using sequential implication logic. *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 31, no.7, pp.1129 –1134, July 2012.
- [PMT10a] Prodromakis, T., K. Michelakisy, and C. Toumazou. "Practical micro/nano fabrication implementations of memristive devices." *Cellular Nanoscale Networks and Their Applications (CNNA), 2010 12th International Workshop on. IEEE, 2010.*
- [PMT10b] Prodromakis, Themistoklis, K. Michelakisy, and Chris Toumazou. "Fabrication and electrical characteristics of memristors with $\text{TiO}_2/\text{TiO}_{2+x}$ active layers." *Circuits and systems (ISCAS), Proceedings of 2010 IEEE international symposium on. IEEE, 2010.*
- [PPPT11] Prodromakis, T., Peh, B. P., Papavassiliou, C., Toumazou, C. "A versatile memristor model with nonlinear dopant kinetics." *Electron Devices, IEEE Transactions on* 58.9 (2011): 3099-3105.
- [PSBYSSW09] Pickett, M. D., Strukov, D. B., Borghetti, J. L., Yang, J. J., Snider, G. S., Stewart, D. R., Williams, R. S. "Switching dynamics in titanium dioxide memristive devices." *Journal of Applied Physics* 106.7 (2009): 074508.
- [PSDV12] Pershin, Y.V.; Sazonov, E.; Di Ventra, M., "Analogue-to-digital and digital-to-analogue conversion with memristive devices," *Electronics Letters* , vol.48, no.2, pp.73,74, January 19 2012
- [QYMRW12] Qureshi, M. S., Yi, W., Medeiros-Ribeiro, G., Williams, R. S. "AC sense technique for memristor crossbar." *Electronics letters* 48.13 (2012): 757-758.
- [RM07] Rose, Garrett S., and Mircea R. Stan. "A programmable majority logic array using molecular scale electronics." *Circuits and Systems I: Regular Papers, IEEE Transactions on* 54.11 (2007): 2380-2390.
- [RM10] Rose, Garrett S., and Harika Manem. "A Hybrid CMOS-Nano FPGA Based on Majority Logic: From Devices to Architecture." *CMOS Processors and Memories. Springer Netherlands, 2010. 139-161.*
- [RMKR10] Rajendran, J., Manem, H., Karri, R., Rose, G. S. "Memristor based programmable threshold logic array." *Proceedings of the 2010 IEEE/ACM International Symposium on Nanoscale Architectures. IEEE Press, 2010.*
- [RRMKP12] Rose, G. S., Rajendran, J., Manem, H., Karri, R., Pino, R. E., Leveraging Memristive Systems in the Construction

- of Digital Logic Circuits, Proceedings of the IEEE, vol.100, no.6,pp.2034-2049, June 2012
- [RW12] Russell, B., Whitehead, A. N.. Principia mathematica. Vol. 2. University Press, 1912.
- [SBIKKMA05] Sakamoto, T., Banno, N., Iguchi, N., Kawaura, H., Kaeriyama, S., Mizuno, M., Aono, M. "Three terminal solid-electrolyte nanometer switch." Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International. IEEE, 2005.
- [SBJCDML09] Sacchetto, D., Ben-Jamaa, M. H., Carrara, S., De Micheli, G., Leblebici, Y. "Fabrication and characterization of vertically stacked gate-all-around Si nanowire FET arrays." Solid State Device Research Conference, 2009. ESSDERC'09. Proceedings of the European. IEEE, 2009.
- [SBJCDML10] Sacchetto, D., Ben-Jamaa, M. H., Carrara, S., De Micheli, G., Leblebici, Y. "Memristive devices fabricated with silicon nanowire schottky barrier transistors." Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on. IEEE, 2010.
- [SDML12] Sacchetto, D., De Micheli, G. and Leblebici, Y., Multiterminal Memristive Nanowire Devices for Logic and Memory Applications: A Review, Proceedings of the IEEE, Vol. 100, No. 6, p. 2008-2020, 2012.
- [SGMPILB13] Serrano-Gotarredona, T., Masquelier, T., Prodromakis, T., Indiveri, G., Linares-Barranco, B. "STDP and STDP variations with memristors for spiking neuromorphic learning systems." Frontiers in neuroscience 7 (2013).
- [Sha37] Shannon, C. "A Symbolic Analysis of Relay and Switching Circuits," unpublished MS Thesis, Massachusetts Institute of Technology, August 10, 1937.
- [Simm04] Simmons, John G. "Generalized formula for the electric tunnel effect between similar electrodes separated by a thin insulating film." Journal of Applied Physics 34.6 (2004): 1793-1803.
- [SKK10] Shin, Sangho, Kyungmin Kim, and S. Kang. "Compact models for memristors based on charge-flux constitutive relationships." Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on 29.4 (2010): 590-598.
- [SKK11] Shin, Sangho, Kyungmin Kim, and S. Kang. "Memristor applications for programmable analog ICs." Nanotechnology, IEEE Transactions on 10.2 (2011): 266-274.
- [SKK12] Shin, Sangho, Kyungmin Kim, and Sung-Mo Steve Kang. "Memristive computing-multiplication and correlation." Circuits and Systems (ISCAS), 2012 IEEE International Symposium on. IEEE, 2012.

- [SL05] Strukov, Dmitri B., and Konstantin K. Likharev. "CMOL FPGA: a reconfigurable architecture for hybrid digital circuits with two-terminal nanodevices." *Nanotechnology* 16.6 (2005): 888.
- [SLMX11] Sun, J., Lind, E., Maximov, I., Xu, H. Q. "Memristive and Memcapacitive Characteristics of a Au/Ti--InP/InGaAs Diode." *Electron Device Letters, IEEE* 32.2 (2011): 131-133.
- [Sni05] Snider, G. "Computing with hysteretic resistor crossbars." *Applied Physics A* 80.6 (2005): 1165-1172.
- [SSSW08] Strukov, D. B., Snider, G. S., Stewart, D. R., & Williams, R. S. "The missing memristor found." *Nature* 453.7191 (2008): 80-83.
- [SW07] Snider, Gregory S., and R. Stanley Williams. "Nano/CMOS architectures using a field-programmable nanowire interconnect." *Nanotechnology* 18.3 (2007): 035204.
- [SW09] Strukov, Dmitri B., and R. Stanley Williams. "Exponential ionic drift: fast switching and low volatility of thin-film memristors." *Applied Physics A* 94.3 (2009): 515-519.
- [SYKC12a] Sah, M. P., Yang, C., Kim, H., Chua, L. "A voltage mode memristor bridge synaptic circuit with memristor emulators." *Sensors* 12.3 (2012): 3587-3604.
- [SYKC12b] Sah, M. P., Yang, C., Kim, H., Chua, L. O. "Memristor circuit for artificial synaptic weighting of pulse inputs." *Circuits and Systems (ISCAS), 2012 IEEE International Symposium on. IEEE, 2012.*
- [TDM13] Teodorovic P., Dautovic S., Malbasa V. "Recursive Boolean Formula Minimization Algorithms for Implication Logic." *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on* 32.11 (2013): 1829-1833.
- [Tetz14] Tetzlaff, Ronald. "Memristors and Memristive Systems.", Springer New York, 2014
- [Tho13] Thomas, Andy. "Memristor-based neural networks." *Journal of Physics D: Applied Physics* 46.9 (2013): 093001.
- [TLW07] Tu, D., Liu, M., Wang, W. "3D CMOL based on CMOS/nanomaterial hybrid technology." 2007 7th IEEE Conference on Nanotechnology (IEEE NANO). 2007.
- [TRS10] Talukdar, A., A. G. Radwan, and K. N. Salama. "Time domain oscillating poles: stability redefined in memristor based Wien-oscillators." *Microelectronics (ICM), 2010 International Conference on. IEEE, 2010.*
- [TRS11a] Talukdar, A., Ahmed Goma Radwan, and Khaled N. Salama. "Generalized model for memristor-based wien family oscillators." *Microelectronics Journal* 42.9 (2011): 1032-1038.
- [TRS11b] Talukdar, A., A. G. Radwan, and K. N. Salama. "A memristor-based third-order oscillator: beyond oscillation." *Applied Nanoscience* 1.3 (2011): 143-145.

- [TRS11c] Talukdar, A., A. G. Radwan, and K. N. Salama. "State space modeling of memristor-based Wien oscillator." *Microelectronics (ICM), 2011 International Conference on.* IEEE, 2011.
- [TRS12] Talukdar, A., Ahmed Gomaa Radwan, and Khaled N. Salama. "Non linear dynamics of memristor based 3rd order oscillatory system." *Microelectronics journal* 43.3 (2012): 169-175.
- [TVSD12] Teodorovic P., Vukobratovic B., Struharik R., Dautovic S. "Sequence generator for computing arbitrary n-input Boolean function using two memristors", 20th Telecommunications forum (TELFOR), Belgrade 2012.
- [VRKSSW09] Vontobel, P. O., Robinett, W., Kuekes, P. J., Stewart, D. R., Straznicky, J., Williams, R. S. "Writing to and reading from a nano-scale crossbar memory based on memristors." *Nanotechnology* 20.42 (2009): 425204.
- [VTS11] B. Vukobratovic, P. Teodorovic, R. Struharik. "A novel voltage-controlled, nonlinear drift memristor model", 16th International symposium on power electronics - Ee 2011, Novi Sad, 2011
- [WA07] Waser, R., Aono M., "Nanoionics-based resistive switching memories." *Nature materials* 6.11 (2007): 833-840.
- [Was09] Waser, Rainer. "Resistive non-volatile memory devices." *Microelectronic Engineering* 86.7 (2009): 1925-1928.
- [WB09] Wey, T. A., and S. Benderli. "Amplitude modulator circuit featuring TiO₂ memristor with linear dopant drift." *Electronics letters* 45.22 (2009): 1103-1104.
- [WCGL10] Wang, X., Chen, Y., Gu, Y., Li, H. "Spintronic memristor temperature sensor." *Electron Device Letters, IEEE* 31.1 (2010): 20-22.
- [WDSS09] Waser, R., Dittmann, R., Staikov, G., Szot, K. "Redox-Based Resistive Switching Memories—Nanoionic Mechanisms, Prospects, and Challenges." *Advanced Materials* 21.25-26 (2009): 2632-2663.
- [Weg87] Wegener, I., *The Complexity of Boolean Functions.* John Wiley and Sons Ltd, and B. G. Teubner, Stuttgart, 1987.
- [Wid60] Widrow, B. "An adaptive "ADALINE" Neuron Using Chemical" memristors", 1960.
- [WJ11] Wey, Todd A., and William D. Jemison. "Variable gain amplifier circuit using titanium dioxide memristors." *IET circuits, devices & systems* 5.1 (2011): 59-65.
- [WJ12] Wey, Todd, and William Jemison. "An automatic gain control circuit with TiO₂ memristor variable gain amplifier." *Analog Integrated Circuits and Signal Processing* 73.3 (2012): 663-672.
- [WJB10] Wang W., Jing T. T., Butcher B., *FPGA Based on Integration of Memristors and CMOS Devices, Proceedings of 2010 IEEE*

-
- International Symposium on Circuits and Systems (ISCAS), pp. 1963 - 1966, 2010.
- [WZ12] Wu, Ailong, and Zhigang Zeng. "Exponential stabilization of memristive neural networks with time delays." *Neural Networks and Learning Systems, IEEE Transactions on* 23.12 (2012): 1919-1929.
- [XRCBCYW09] Xia, Q., Robinett, W., Cumbie, M. W., Banerjee, N., Cardinali, T. J., Yang, J. J., Williams, R. S. "Memristor— CMOS hybrid integrated circuits for reconfigurable logic." *Nano letters* 9.10 (2009): 3640-3645.
- [YLCI13] Yu, D. S., Liang, Y., Chen, H., Lu H.H.C. "Design of a Practical Memcapacitor Emulator Without Grounded Restriction." (2013): 1-5.
- [YPLOSW08] Yang, J. J., Pickett, M. D., Li, X., Ohlberg, D. A., Stewart, D. R., & Williams, R. S. "Memristive switching mechanism for metal/oxide/metal nanodevices." *Nature nanotechnology* 3.7 (2008): 429-433.
- [ZFHS13] Zidan, M. A., Fahmy, H. A. H., Hussain, M. M., & Salama, K. N. "Memristor-based memory: The sneak paths problem and solutions." *Microelectronics Journal* 44.2 (2013): 176-183.
- [ZOSSRS13] Zidan, M. A., Omran, H., Smith, C., Syed, A., Radwan, A. G., Salama, K. N. "A family of memristor-based reactanceless oscillators." *International Journal of Circuit Theory and Applications* (2013).