

НАСТАВНО-НАУЧНОМ ВЕЋУ

Предмет: Реферат о урађеној докторској дисертацији кандидата Владимира Петровића, мастер инжењера електротехнике и рачунарства

Одлуком Наставно-научног већа бр. 5034/15-3 од 18.6.2021. године, именовани смо за чланове Комисије за преглед, оцену и одбрану докторске дисертације кандидата Владимира Петровића под насловом

„Флексибилни кодер и декодер кодова са проверама парности мале густине”

“Flexible encoder and decoder of low-density parity-check codes”

После прегледа достављене Дисертације и других пратећих материјала и разговора са Кандидатом, Комисија је сачинила следећи

РЕФЕРАТ

1. УВОД

1.1. Хронологија одобравања и израде дисертације

Кандидат Владимир Петровић уписао се на докторске студије 10.11.2015. године на Електротехничком факултету у Београду, студијски програм Електротехника и рачунарство, модул Електроника. Током студија положио је све испите са просечном оценом 10 и одрадио све обавезе везане за студијски истраживачки рад предвиђене планом и програмом.

Тему докторске дисертације под насловом „Флексибилни кодер и декодер кодова са малом густином провера парности”, кандидат је пријавио Комисији за студије трећег степена на Електротехничком факултету у Београду, 3.12.2020. године.

Комисија за студије трећег степена разматрала је предлог за израду докторске дисертације на својој седници одржаној 8.12.2020. године и предлог комисије за оцену подобности теме и кандидата упутила Наставно-научном већу на усвајање.

Наставно-научно веће Електротехничког факултета у Београду именовало је комисију за оцену услова и прихватање теме докторске дисертације (одлука број 5034/15-1 од 24.12.2020.) у следећем саставу: др Јелена Поповић-Божовић, доцент Електротехничког факултета у Београду, др Горан Ђорђевић, редовни професор Електронског факултета у Нишу, др Предраг Иваниш, редовни професор Електротехничког факултета у Београду, др Драгомир Ел Мезени, доцент Електротехничког факултета у Београду, и др Срђан Бркић, доцент Електротехничког факултета у Београду. За ментора је предложен др Лазар Сарановац, редовни професор Електротехничког факултета у Београду.

Јавни усмени испит о подобности теме и кандидата одржан је на Електротехничком факултету у Београду дана 28.12.2020. године, а пред комисијом у саставу др Јелена Поповић-Божовић, доцент Електротехничког факултета у Београду, др Горан Ђорђевић, редовни професор Електронског факултета у Нишу, др Предраг Иваниш, редовни професор Електротехничког факултета у Београду, др Драгомир Ел Мезени, доцент Електротехничког факултета у Београду, и др Срђан Бркић, доцент Електротехничког факултета у Београду. Комисија је једногласно закључила да је кандидат Владимир Петровић на јавној усменој одбрани предложене теме добио оцену „задовољно”. У циљу усаглашавања са формулацијама у стручној литератури, комисија је такође предложила промену радног наслова теме „Флексибилни кодер и декодер кодова са малом густином провера парности” у „Флексибилни кодер и декодер кодова са проверама парности мале густине”. Заједно са предложеним ментором дисертације, др Лазаром Сарановцем, редовним професором Електротехничког факултета у Београду, комисија је поднела Извештај о оцени подобности теме и кандидата и научне заснованости теме.

Наставно-научно веће је усвојило Извештај Комисије за оцену услова и прихватање теме докторске дисертације (одлука број 5034/15-2 од 20.01.2021.).

Веће научних области техничких наука Универзитета у Београду, на седници одржаној 3.3.2021. године, дало је сагласност на предлог теме докторске дисертације под насловом „Флексибилни кодер и декодер кодова са проверама парности мале густине” (одлука број 61206-847/2-21 од 03.3.2021. године).

Кандидат је 24.5.2020. године предао урађену докторску дисертацију на преглед и оцену.

Комисија за студије трећег степена је на својој седници 01.6.2021. године потврдила испуњеност потребних услова за подношење предлога Наставно-научном већу Електротехничког факултета у Београду за формирање Комисије за преглед и оцену докторске дисертације. Наставно-научно веће је на седници одржаној 08.6.2021. године именовало комисију за преглед и оцену докторске дисертације (одлука број 5034/15-3 од 18.6.2021. године) у следећем саставу: др Лазар Сарановац (ментор), редовни професор, Универзитет у Београду – Електротехнички факултет, др Јелена Поповић-Божовић, доцент, Универзитет у Београду – Електротехнички факултет, др Горан Ђорђевић, редовни професор, Универзитет у Нишу – Електронски факултет, др Предраг Иваниш, редовни професор, Универзитет у Београду – Електротехнички факултет, др Драгомир Ел Мезени, доцент, Универзитет у Београду – Електротехнички факултет, др Срђан Бркић, доцент, Универзитет у Београду – Електротехнички факултет.

1.2. Научна област дисертације

Дисертација се бави ефикасним хардверским решењима за кодовање и декодовање кодова са проверама парности мале густине каква захтевају савремени комуникациони електронски системи. У ширем смислу, дисертација припада научној области Техничке науке – Електротехника и рачунарство, а у ужем смислу области Електронике, за коју је Електротехнички факултет у Београду матичан.

За ментора докторске дисертације одређен је др Лазар Сарановац, редовни професор на Електротехничком факултету у Београду, захваљујући радовима из области пројектовања телекомуникационог хардвера и обраде сигнала, као и пројектима које је водио, а који су у директној вези са темом дисертације.

1.3. Биографски подаци о кандидату

Владимир Петровић је рођен у Ужицу 21.11.1991. године. Основну школу и гимназију је завршио у Пожеги као ученик генерације и са просечном оценом 5. На Електротехнички факултет се уписао 2010. године, а дипломирао је као студент генерације на одсеку за

електронику 27.6.2014. год. са просечном оценом 10 и дипломским радом „Међупроцесорска комуникација на ZYNQ-7000 платформи”. Мастер академске студије, модул електроника, завршио је 25.9.2015. године са просечном оценом 10 и мастер радом „Издвајање неуронских сигнала из података добијених снимањем калцијумске флуоресценције”. Докторске академске студије на Електротехничком факултету уписао је 2015. године. На докторским студијама положио је све испите са оценом 10.

Од 02.11.2014. године запослен је на Електротехничком факултету у Београду као сарадник у настави, а од 01.02.2016. као асистент. Учествовао је или тренутно учествује у извођењу рачунских вежби на следећим предметима: „Увод у пројектовање интегрисаних кола”, „Увод у пројектовање VLSI система”, „Дигитална обрада сигнала”, „Дигитални процесори сигнала”, „Основи дигиталне електронике”, „Техничка документација”, „Аналогна електроника” и „Елементи електронике”. Такође, учествује у извођењу лабораторијских вежби на готово свим предметима катедре.

У току рада на Електротехничком факултету учествовао је на више пројеката од којих су најзначајнији „Развој широкопојасног модема и интернет свича” (од марта 2017. до краја 2019.) у сарадњи са SANS R&D LLC из Сан Дијега (Калифорнија, САД), и „Сензор за детекцију људи” (од фебруара 2017. до фебруара 2019.), пројекат из програма сарадње науке и привреде Фонда за иновациону делатност РС, у сарадњи са NovellC d.o.o из Београда.

Пре радног ангажовања на Електротехничком факултету током школске 2013/14. године био је на стручној пракси у „Aggios Europe d.o.o.” у Београду, а од јула до краја септембра 2014. године био је на стручној пракси на Универзитету Калифорније у Лос Анђелесу у групи професора Дејана Марковића.

Аутор је три рада публикована у врхунским међународним часописима (M21), једног рада публикованог у истакнутом међународном часопису (M22), једног рада публикованог у домаћем часопису (M51), четири саопштења са међународних скупова штампаних у целини (M33) и једног саопштења са домаћег скупа штампаног у целини (M63). Према подацима са Scopus базе радови Владимира Петровића цитирани су 40 пута, изузимајући аутоцитате (приступ: 21.6.2021.). На 3. Међународној конференцији за електротехнику, електронику и рачунарство IcETRAN 2016 добио је награду за најбољи рад младог аутора за рад „*Towards Real-Time Blob Detection in Large Images with Reduced Memory Cost*”.

У току лета 2017. године учествовао је у Erasmus+ програму размене наставног особља са Политехничким универзитетом у Мадриду.

Области истраживања су му пројектовање дигиталних VLSI система и интегрисаних кола, дигитална обрада сигнала, хардверске реализације алгоритама обраде сигнала и алгоритама теорије информација.

2. ОПИС ДИСЕРТАЦИЈЕ

2.1. Садржај дисертације

Докторска дисертација под називом „Флексибилни кодер и декодер кодова са проверама парности мале густине” написана је на српском језику на 141 страни (109 страна са прилозима). Садржи 5 поглавља, 8 табела, 69 слика и листу од 149 референци.

Наслови појединачних поглавља дисертације су:

1. Увод,
2. Кодови са проверама парности мале густине,
3. Флексибилни кодер LDPC кодова за 5G стандард,
4. Флексибилни декодер LDPC кодова,
5. Закључак.

2.2. Кратак приказ појединачних поглавља

Увод у проблеме који су решавани у дисертацији приказан је у првом поглављу. Представљена је мотивација за рад на датој теми и преглед изазова у хардверским реализацијама кодера и декодера кодова са проверама парности мале густине (енгл. *low-density parity-check, LDPC, codes*).

Друго поглавље описује основне појмове везане за кодове са проверама парности мале густине, а који се користе у дисертацији. Описане су најважније класе LDPC кодова, њихове особине и неки методи конструкција. Посебна пажња је посвећена стандардизованим кодовима који се примењују у пракси. Након тога је дат преглед најчешће коришћених метода кодовања LDPC кодова са освртом на њихову рачунску комплексност. Затим је описано декодовање LDPC кодова. Дат је преглед неколико метода који раде са једнобитним информацијама (тврде информације) и метода који користе вишебитне информације (меке информације). Алгоритми декодовања упоређени су у погледу перформанси контроле грешака и рачунске комплексности. На крају поглавља описан је концепт слојевитог декодовања коришћен за реализацију декодера у дисертацији.

У трећем поглављу приказана је ефикасна хардверска реализација кодера за квазицикличне кодове првенствено намењена за 5G стандард. Описан је алгоритам за ефикасно кодовање LDPC кодова из 5G стандарда. Затим су анализирани архитектуре за хардверску реализацију наведеног алгоритма различитих нивоа паралелизма. Извршено је поређење ових архитектура у погледу остваривог протока и заузећа хардверских ресурса. На основу датог поређења, предложен је нови метод кодовања са променљивим бројем паралелних операција у зависности од дужине кода. Затим је приказан метод за оптимизацију редоследа процесирања заснован на генетичком алгоритму којим се постиже минимално трајање кодовања. Након тога, дата је хардверска архитектура којом се реализује описано кодовање. Предложена је нова архитектура флексибилне мреже за кружни померај која је кључни блок у целој архитектури кодера. Приказани су резултати протока, кашњења и ефикасности искоришћења хардверских ресурса за нову архитектуру кодера, али и за друге архитектуре присутне у литератури. Показано је да је кашњење хардверске реализације предложене у дисертацији веома мало, а ефикасност искоришћења хардверских ресурса значајно већа од раније коришћених изузетно паралелних реализација.

У четвртном поглављу описан је нови декодер квазицикличних LDPC кодова који суштински врши слојевито декодовање, али у одређеним ситуацијама прелази на симултано декодовање које се обавља на малом субграфу графа целог кода. На почетку поглавља дат је детаљан опис конвенционалних архитектура за слојевито декодовање. Описани су параметри који утичу на проток и приказани репрезентативни временски дијаграми који илуструју рад декодера и потребу за увођењем пауза са циљем избегавања хазарда података. Након тога описана су нека алгоритамска решења присутна у литератури којима се могу избећи циклуси паузе, а затим и ново решење предложено у дисертацији које је названо хибридном декодовањем. Описана је хардверска архитектура декодера који користи хибридно декодовање, као и модула за израчунавање синдрома и терминацију декодовања када се добије валидна кодна реч. Додатно, дата је решење за хазарде података услед превременог уписа, који настају у процесорима контролних чворова и захтевају увођење додатних циклуса паузе. Након описа хардверске архитектуре приказан је алгоритам за оптимизацију редоследа процесирања, којим се добијају побољшане перформансе контроле грешака. И у овом случају, оптимизациони поступак је заснован на генетичком алгоритму. Приказане су перформансе контроле грешака за оптимизовано хибридно декодовање и декодовање са оригиналним редоследом процесирања, а извршено је и поређење са перформансама слојевитог и симултаног декодовања. Резултати су показали одређени губитак у перформансама контроле грешака хибридног декодера када се оне пореде са декодером који користи слојевито декодовање на истом броју итерација. Међутим, губитак се може

надокнадити увођењем додатних итерација декодовања, па је затим урађена здружена анализа перформанси контроле грешака и протока. Поред анализе перформанси контроле грешака дато је поређење трајања једне итерације хибридног декодовања и слојевитог декодовања. У том погледу, показана је супериорност хибридног декодовања које доприноси томе да се и поред увођења додатних итерација и даље добија значајно већи проток за исте или боље перформансе контроле грешака у поређењу са слојевитим декодовањем. Коначно, приказани су резултати имплементације на FPGA платформи и поређење са референтним радовима из литературе. Поред наведеног, урађена је и опсежнија анализа перформанси контроле грешака пројектованог декодера за кодове из 5G стандарда. Перформансе су испитане за 12 различитих кодова. Показано је да за неке кодове декодер не може да постигне вредности за вероватноћу грешке по кодној речи мање од 10^{-5} , што је захтев у одређеним будућим применама дефинисаним 5G стандардом. Проблем је решен повећањем динамичког опсега одређених вредности у хардверској реализацији, тј. повећањем броја бита за представу бројева. Како би се избегло значајно повећање заузећа хардверских ресурса, предложено је да се за одређене вредности користи нелинеарна квантизација, чиме је добијен декодер значајно бољих перформанси контроле грешака, а чије је заузеће хардверских ресурса упоредиво са претходном реализацијом. На крају излагања о хардверској реализацији декодера приказан је један покушај смањења комплексности декодовања 5G NR LDPC кодова и архитектура процесорске јединице којом се постиже смањена комплексност.

Закључак дисертације и даљи правци истраживања дати су у петом поглављу.

3. ОЦЕНА ДИСЕРТАЦИЈЕ

3.1. Савременост и оригиналност

Савремено друштво захтева све веће брзине преноса информација. Самим тим се све више постављају захтеви за повећањем брзине обраде, протока система за корекцију грешака који укључују LDPC кодове као и потреба за њиховом великом флексибилношћу, уз очување добрих перформанси контроле грешака. Пример су системи из наступајуће пете генерације стандарда за мобилне комуникације (5G NR) који захтевају вишегигабитске протоке (и преко 10 Gb/s) и подршку за преко 4000 различитих кодова. Овакви захтеви стварају велике изазове у пројектовању механизма заштитног кодовања неопходних за поуздане и енергетски ефикасне комуникације, а који су често, у погледу брзине, уско грло целог физичког слоја.

Дисертација се бави отвореним питањима у наведеној области са фокусом на ефикасне хардверске реализације кодера и декодера квазицикличких LDPC кодова који налазе све већу примену у комуникационим стандардима и другим системима где је неопходна корекција грешака као што су уређаји за чување података.

Оригиналност докторске дисертације се огледа у алгоритамским и архитектуралним решењима која здружено доприносе побољшањима протока, кашњења, ефикасности искоришћења хардверских ресурса, али и, у одређеној мери, перформанси контроле грешака. Приказани методи решавају велики број отворених проблема присутних у реализацијама система за корекцију грешака који користе LDPC кодове и дају универзална решења применљива за све квазицикличке LDPC кодове и одређене класе других структурираних кодова.

3.2. Осврт на референтну и коришћену литературу

Анализирана литература дата у списку референци је обимна и релевантна. Наведено је укупно 149 библиографских референци на које се кандидат позива, како приликом увођења теоријских појмова везаних за теорију информација и кодове са проверама парности мале

густине, тако и приликом детаљних прегледа претходно коришћених метода и хардверских архитектура за кодовање и декодовање. Приказана литература даје комплетну анализу тренутних достигнућа у областима које покрива тема дисертације. У оквиру наведене литературе изложени су и радови публиковани у часописима и на конференцији на којима је кандидат Владимир Петровић првопотписани аутор.

3.3. Опис и адекватност примењених научних метода

Методологија истраживања у оквиру докторске дисертације спроведена је по следећим фазама:

- Прва фаза обухватала је прикупљање и теоријску анализу постојећих знања из монографија и научних радова, који се баве проблематиком кодовања и декодовања LDPC кодова, као и софтверску реализацију постојећих метода, њихову евалуацију и поређење. Кроз ову фазу, кандидат је стекао неопходан увид у проблематику којом се бави дисертација, идентификовао отворене проблеме и формулисао критеријуме евалуације хардверских компоненти реализованих у дисертацији.
- Друга фаза подразумевала је сагледавање проблема и постављање хипотеза. Установљено је да је могуће повећати ефикасност искоришћења хардверских ресурса кодера коришћењем измена у архитектури и модификација редоследа процесирања контролне матрице. При анализи различитих архитектура декодера, делимично паралелна архитектура, која реализује слојевито декодовање, препозната је као она која може подржати флексибилност и ефикасне хардверске реализације. Установљено је да је основни проблем, који ограничава проток такве архитектуре, постојање циклуса паузе, које је неопходно увести ради избегавања хазарда података насталих услед проточне обраде. Стога је, као један од главних циљева, постављено ефикасно разрешење поменутих хазарда без увођења циклуса паузе.
- У трећој фази су извршени софтверски експерименти за проверу хипотеза и реализовани софтверски модели хардвера кодера и декодера. Софтверски модели укључују сва алгоритамска решења и емулације архитектуралних техника којима се постижу побољшања према раније дефинисаним критеријумима. Извршена је евалуација перформанси контроле грешака и очекиваних вредности протока и кашњења. Након тога је показано да се могу добити побољшања кодера и декодера ако се контролна матрица процесира по оптималном редоследу. У литератури је раније оваква природа проблема поистовећена са проблемом трговачког путника, који се ефикасно може решити коришћењем генетичког алгоритма, па је тај метод усвојен и у дисертацији.
- Четврта фаза представљала је хардверску реализацију кодера и декодера. Имплементиране компоненте су пројектоване тако да одговарају софтверским моделима и верификована је истоветност резултата добијених у симулацијама хардверских компоненти са резултатима из софтверских симулација. Затим је извршена оптимизација реализованих система како би се постигли ефикасно искоришћење хардверских ресурса и висока учестаност сигнала такта.
- У петој фази су реализовани кодер и декодер верификовани са становишта функционалне исправности и тестирани у реалном раду на FPGA развојној платформи.
- На крају је извршено квалитативно и квантитативно поређење постојећих референтних метода и архитектура за кодовање и декодовање LDPC кодова са реализованим финалним решењима.

Примењена методологија у потпуности одговара проблемима који су решавани у докторској дисертацији, као и стандардима научно-истраживачког рада, а у сагласности је са циљевима дефинисаним на почетку израде дисертације.

3.4. Применљивост остварених резултата

Хардверске реализације кодера и декодера приказане у дисертацији представљају комплетиране целине које се као такве могу искористити у савременим комуникационим системима. Компоненте су верификоване у лабораторији на FPGA хардверској платформи.

Фокус дисертације је на имплементацији кодера и декодера LDPC кодова из наступајућег 5G стандарда. Пројектовани кодер и декодер могу се користити како у уређајима које користе крајњи корисници (енгл. *user equipment, UE*), тако и као хардверски акцелератори за опслуживање великог броја корисника при базним станицама. Кашњења обе компоненте су мала, а њихове реализације су оптимизоване по критеријуму ефикасности искоришћења хардверских ресурса. Стога се коришћењем већег броја компоненти, које раде у паралели, могу остварити произвољно велики протоци за минимално заузеће хардверских ресурса.

Поред хардверске реализације кодера и декодера за 5G комуникационе системе, у дисертацији су приказани и резултати примене у другим стандардима као што су Wi-Fi, WiMAX, DVB-S/T/C2(x). Додатно, декодер се може користити за ефикасно декодовање било којих квазицикличних LDPC кодова и структурираних IRA (*Irregular Repeat-Accumulate*) кодова чије контролне матрице у основи имају структуру сличну квазицикличним кодовима.

У дисертацији су решени и проблеми смањења протока при декодовању нерегуларних кодова. Ово је посебно значајно, јер нерегуларни кодови по правилу имају боље перформансе контроле грешака од регуларних, а посебно у каналима у којима не делује само бели Гаусов шум, као што су, на пример, канали са интерсимболском интерференцијом.

На крају, метод пројектовања флексибилне мреже за кружни померај специјално дизајниране за кодере из 5G и WiMAX стандарда, заснован на партиционисању циркуланата, може се искористити за конструкцију мрежа за ротацију или линеарни померај, потребних у другим хардверским архитектурама.

3.5. Оцена достигнутих способности кандидата за самостални научни рад

Кандидат Владимир Петровић је, током израде докторске дисертације, публиковао најзначајније резултате у два рада у часописима са SCI листе. Систематично је проучио релевантну литературу, успешно идентификовао отворене проблеме у досадашњим студијама и адекватно предложио методе и конкретна решења за њихово превазилажење. Тема дисертације је веома актуелна, узимајући у обзир све шире коришћење LDPC кодова у практичним применама и захтеве савремених комуникационих система за повећаним протоком, малим кашњењем, побољшаним перформансама контроле грешака и великом флексибилношћу. Кандидат је показао способност да искомбинује алгоритамска и архитектурална решења како би испунио све наведене захтеве. Доприноси дисертације у области хардверских реализација LDPC кодера и декодера су оригинални, савремени и у потпуности потврђују способности кандидата за самостални научни рад.

4. ОСТВАРЕНИ НАУЧНИ ДОПРИНОС

4.1. Приказ остварених научних доприноса

Најзначајнији научни доприноси докторске дисертације су следећи:

- Остварено је ефикасно искоришћење хардверских ресурса флексибилног кодера за квазицикличне LDPC кодове из 5G комуникационог стандарда. Кодер подржава све кодове предвиђене стандардом. Кључни хардверски блок кодера је флексибилна мрежа за кружни померај једног великог блока података, када је то потребно, али и паралелни померај више мањих блокова. Тако се за кодове чије су кодне речи краће, може постићи већи паралелизам него што је инхерентно предвиђено самим кодом. Додатно, са циљем минимизације времена кодовања, искоришћен је генетички алгоритам да нађе оптималан редослед процесирања. Поред примене за кодове из 5G стандарда, показано је да се остварени доприноси могу применити и за кодовање других LDPC кодова.
- Приликом дизајна декодера са проточном обрадом најчешће постоје два опречна захтева, први: повећати учестаност такта повећањем броја степени проточне обраде и други: смањити број циклуса паузе обрнутим поступком, тј. смањењем броја степени проточне обраде. Имајући то у виду, одговарајућим алгоритамским решењем, у дисертацији је укинут поменути захтев за смањењем броја степени проточне обраде, чиме је омогућено произвољно повећање учестаности сигнала такта. Предложено решење суштински користи слојевито декодовање, али решава конфликте података насталих услед превременог читања без увођења пауза. Алгоритам на погодан начин комбинује слојевито декодовање са концептима симултаног декодовања и раскида зависности између различитих подитерација. Стога је предложени метод у дисертацији назван хибридном декодовањем. Постигнуто је значајно смањење потребних циклуса такта за једну итерацију декодовања.
- Алгоритам декодовања је додатно оптимизован за побољшане перформансе контроле грешака. Основа оптимизације је измењени редослед процесирања различитих делова контролне матрице. Налажење оптималног редоследа је постигнуто коришћењем генетичког алгоритма. Хибридно декодовање и његова оптимизација пружају могућност за велико повећање протока декодера у поређењу са слојевитим декодовањем. Као пример, кодови из 5G NR стандарда се, у зависности од кодног количника, могу декодовати између 30% и 109% брже него слојевитим декодовањем уз задржавање истих перформанси контроле грешака.
- У дисертацији је предложена флексибилна хардверска архитектура декодера која подржава велики број кодова и дужина кодних речи, заснована на наведеном алгоритамском решењу. Поред потпуног уклањања циклуса паузе насталих због конфликта података услед превременог читања, предложено је хардверско решење које омогућава декодовање без конфликта података услед превременог уписа који настају при декодовању неких нерегуларних кодова. Реализација наведене архитектуре на FPGA програмабилном чипу, у поређењу са претходно публикованим резултатима, даје најбољу ефикасност искоришћења хардверских ресурса.
- Предложен је један метод за смањење комплексности декодовања 5G кодова и архитектура процесора контролног чвора, којом се постижу одређене уштеде у употребљеним хардверским ресурсима.

4.2. Критичка анализа резултата истраживања

У дисертацији су приказане нове хардверске архитектуре за кодовање и декодовање структурираних LDPC кодова. Поред архитектуралних решења, предложени су и алгоритамски доприноси који омогућавају убрзање рада и оптимизацију перформанси контроле грешака. Реализације кодера и декодера подржавају велики степен флексибилности, која је један од основних захтева у савременим комуникационим системима. Посебна пажња посвећена је ефикасности искоришћења хардверских ресурса изражене преко количника протока и количине употребљених ресурса. Оптимизација

хардвера по овом критеријуму омогућава остваривање произвољно великог протока уз минимално заузеће ресурса. Докле год је кашњење једне компоненте, било кодера било декодера, прихватљиво за систем, за остварење великог протока прагматично је користити више хардверски ефикасних компоненти које раде у паралели пре него једну изузетно паралелизовану али неоптималну компоненту. Тиме се поред смањене количине хардверских ресурса постиже и боља енергетска ефикасност. Решења предложена у дисертацији у многоме доприносе побољшањима у том погледу.

У првом делу дисертације пројектован је кодер за 5G NR комуникациони стандард којим се могу кодovati сви LDPC кодови дефинисани спецификацијама, при чему су остварени велики информациони протоци не само за дугачке кодне речи, већ и за кодне речи средње и мале дужине. Оптималним редоследом процесирања и коришћењем некомплексног алгоритма кодовања, као и адекватним дизајном хардверских архитектура, остварена је велика ефикасност искоришћења хардверских ресурса уз мало кашњење кодера. Тиме је, у поређењу са референтним резултатима из литературе, остварен значајан напредак.

Други део дисертације обрађује алгоритам декодовања и архитектуру декодера за квазицикличне LDPC кодове и структуриране LDPC кодове са акумулацијом бита парности. Декодер представљен у дисертацији је флексибилнији од кодера јер се њиме могу декодовати сви квазициклични кодови докле год је величина циркуланта подржана мрежом за кружни померај. Притом, алгоритам декодовања и хардверска архитектура декодера омогућавају декодовање без циклуса паузе за било који профил нерегуларности кода.

Алгоритам хибридног декодовања омогућио је декодовање без циклуса паузе и увођење произвољног броја степени проточне обраде, што узрокује високу учестаност сигнала такта, а самим тим и повећане вредности протока и кашњења. Ово алгоритамско решење је кључно за постизање велике ефикасности искоришћења хардверских ресурса. Ипак, хибридно декодовање има одређени губитак у перформансама контроле грешака у поређењу са класичним слојевитим декодовањем, али се оптимизацијом редоследа обраде контролне матрице постиже таква компензација да је за многе кодове губитак занемарљив. Када губитак није занемарљив, за постизање истих перформанси контроле грешака, потребно је извршити додатне итерације декодовања, али је убрзање постигнуто укидањем циклуса паузе толико велико да се и тада добијају веома значајна унапређења у протоку.

У дисертацији је приказан и један покушај смањења комплексности декодовања 5G NR кодова коришћењем поједностављене архитектуре процесора контролног чвора, али је закључено да остварене уштеде у ресурсима не оправдавају значајан губитак у перформансама контроле грешака. Ипак, представљене идеје потенцијално могу бити од значаја ако се декодују други кодови.

Пројектовани кодер и декодер су тестирани на FPGA хардверској платформи и представљају готова решења која се могу искористити у индустријским апликацијама.

Конечно, увидом у циљеве истраживања, полазне хипотезе и остварене резултате, Комисија констатује да је кандидат успешно одговорио на сва значајна питања из проблематике која је анализирана у дисертацији. Приказани резултати су нови, оригинални и савремени, а доприноси дисертације се могу искористити како у даљим истраживањима, тако и у практичним индустријским системима.

4.3. Верификација научних доприноса

У току свог истраживачког рада, кандидат Владимир Петровић објавио је три рада у међународним часописима са SCI листе на којима је првопотписани аутор, од којих су два у директној вези са темом докторске дисертације. Поред тога, објавио је један рад у међународном часопису са SCI листе на коме је другопотписани аутор, као и више радова на

конференцијама од којих је један рад у директној вези са темом докторске дисертације, док је његова проширена верзија прихваћена за објављивање у часопису националног значаја.

Категорија M21:

1. **Petrović, V.**, Marković, M., El Mezeni, D., Saranovac, L., Radošević, A.: Flexible High Throughput QC-LDPC Decoder with Perfect Pipeline Conflicts Resolution and Efficient Hardware Utilization, *-IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 12, pp. 5454–5467, 2020 (**IF₂₀₁₉=3.318**) (ISSN 1549-8328).

Категорија M22:

1. **Petrović, V.**, El Mezeni, D., Radošević, A.: Flexible 5G New Radio LDPC Encoder Optimized for High Hardware Usage Efficiency, *-Electronics*, vol. 10, no. 9, p. 1106, 2021 (**IF₂₀₁₉=2.412**) (ISSN: 2079-9292).

Категорија M33:

1. **Petrović, V.**, El Mezeni, D.: “Reduced-Complexity Offset Min-Sum Based Layered Decoding for 5G LDPC Codes,” *-Proceedings of the 28th Telecommunication Forum TELFOR 2020*, Belgrade, Serbia, 2020., pp. 109-112.

Категорија M53:

1. **Petrović, V.**, El Mezeni, D.: Reduced-Complexity Offset Min-Sum Check Node Unit for Layered 5G LDPC Decoder, -прихваћен за објављивање у часопису *Telfor Journal*. (ISSN: 1821-3251).

5. ЗАКЉУЧАК И ПРЕДЛОГ

Докторска дисертација кандидата Владимира Петровића под насловом „Флексибилни кодер и декодер кодова са проверама парности мале густине” (енгл. “Flexible encoder and decoder of low-density parity-check codes”) написана је на српском језику, у складу са образложењем наведеним у пријави теме и садржи све елементе који се захтевају Правилником о докторским студијама Електротехничког факултета у Београду.

У оквиру докторске дисертације предложена су брза, флексибилна и хардверски ефикасна решења за кодовање и декодовање изузетно нерегуларних кодова са проверама парности мале густине захтевана у савременим комуникационим стандардима.

Један део доприноса дисертације је у новој делимично паралелној архитектури LDPC кодера за пету генерацију мобилних комуникација. Архитектура је заснована на флексибилној мрежи за кружни померај која омогућава паралелно процесирање више делова контролне матрице кратких кодова чиме се остварује сличан ниво паралелизма као и при кодовању дугачких кодова. Поред архитектуралног решења, предложена је оптимизација редоследа процесирања контролне матрице заснована на генетичком алгоритму, која омогућава постизање великих протока, малог кашњења и тренутно најбоље ефикасности искоришћења хардверских ресурса.

У другом делу дисертације предложено је ново алгоритамско и архитектурално решење за декодовање структурираних LDPC кодова. Често коришћени приступ у LDPC декодерима је слојевито декодовање, код кога се услед проточне обраде јављају хазарди података који смањују проток. Декодер предложен у дисертацији у конфликтним ситуацијама на погодан начин комбинује слојевито и симултано декодовање чиме се избегавају циклуси паузе изазвани хазардима података. Овај приступ даје могућност за увођење великог броја степени проточне обраде чиме се постиже висока учестаност сигнала такта. Додатно, редослед процесирања контролне матрице је оптимизован коришћењем генетичког алгоритма за побољшане перформансе контроле грешака. Остварени резултати показују да, у поређењу са

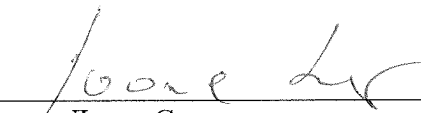
референтним решењима, предложени декодер остварује значајна побољшања у протоку и најбољу ефикасност за исте перформансе контроле грешака.

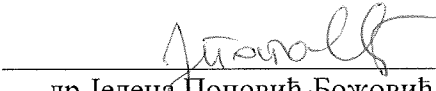
Најважније резултате проистекле из истраживања спроведеног у оквиру дисертације кандидат је публиковао у два међународна часописа са SCI листе, једном категорије M21 и једном категорије M22. На основу увида у докторску дисертацију и објављене радове, Комисија констатује да дисертација „Флексибилни кодер и декодер кодова са проверама парности мале густине” кандидата Владимира Петровића садржи оригиналне научне доприносе.


На основу претходног, Комисија констатује да је Владимир Петровић, мастер инжењер електротехнике и рачунарства, испунио све услове предвиђене Законом о високом образовању, Статутом и Правилником о докторским студијама Електротехничког факултета у Београду. Комисија предлаже Наставно-научном већу Електротехничког факултета у Београду да се докторска дисертација под називом „Флексибилни кодер и декодер кодова са проверама парности мале густине” прихвати, изложи на увид јавности и упути на коначно усвајање Већу научних области техничких наука Универзитета у Београду и да се одобри јавна усмена одбрана.

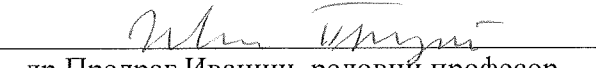
У Београду, 22.6.2021. године


ЧЛАНОВИ КОМИСИЈЕ



др Лазар Сарановац, редовни професор
Универзитет у Београду – Електротехнички факултет


др Јелена Поповић-Божовић, доцент
Универзитет у Београду – Електротехнички факултет


др Горан Г. Борђевић, редовни професор
Универзитет у Нишу – Електронски факултет


др Предраг Иваниш, редовни професор
Универзитет у Београду – Електротехнички факултет


др Драгомир Ел Мезени, доцент
Универзитет у Београду – Електротехнички факултет


др Срђан Бркић, доцент
Универзитет у Београду – Електротехнички факултет