

ИЗВЕШТАЈ О ОЦЕНИ ДОКТОРСКЕ ДИСЕРТАЦИЈЕ

I ПОДАЦИ О КОМИСИЈИ
<p>1. Датум и орган који је именовao комисију</p> <p>28.06.2018., Решењем бр. 012-199/77-2017, Декан Факултета техничких наука на предлог Наставно-научног већа Факултета Техничких Наука у Новом Саду.</p> <p>2. Састав комисије са знаком имена и презимена сваког члана, звања, назива уже научне области за коју је изабран у звање, датума избора у звање и назив факултета, установе у којој је члан комисије запослен:</p> <p>Др Никола Теслић, редовни професор, УО: Рачунарска техника и рачунарске комуникације, изабран у звање 14.04.2011, Универзитет у Новом Саду, Факултет техничких наука;</p> <p>Др Илија Башичевић, ванредни професор, УО: Рачунарска техника и рачунарске комуникације, изабран у звање 11.06.2014, Универзитет у Новом Саду, Факултет техничких наука;</p> <p>Др Миодраг Ђукић, доцент, УО: Рачунарска техника и рачунарске комуникације, изабран у звање 25.09.2015, Универзитет у Новом Саду, Факултет техничких наука;</p> <p>Др Мило Томашевић, редовни професор, УО: Рачунарска техника и информатика, изабран у звање 15.07.2015, Универзитет у Београду, Електротехнички факултет;</p> <p>Др Мирослав Поповић, редовни професор, УО: Рачунарска техника и рачунарске комуникације, изабран у звање 17.07.2002, Универзитет у Новом Саду, Факултет техничких наука.</p>
II ПОДАЦИ О КАНДИДАТУ
<p>1. Име, име једног родитеља, презиме:</p> <p>Владимир, Бранислав, Маринковић</p> <p>2. Датум рођења, општина, држава:</p> <p>02.03.1986, Нови Сад, Република Србија</p> <p>3. Назив факултета, назив студијског програма дипломских академских студија – мастер и стечени стручни назив</p> <p>Факултет техничких наука, Рачунарство и аутоматика, дипломирани (мастер) инжењер електротехнике и рачунарства</p>

<p>4. Година уписа на докторске студије и назив студијског програма докторских студија 2010, Рачунарство и аутоматика, Рачунарска техника и рачунарске комуникације</p> <p>5. Назив факултета, назив магистарске тезе, научна област и датум одбране: Нема.</p> <p>6. Научна област из које је стечено академско звање магистра наука: Нема.</p>
<p>III НАСЛОВ ДОКТОРСKE ДИСЕРТАЦИЈЕ: Прилог аутоматској паралелизацији секвенцијалног машинског кода (енгл. An approach to automatic parallelization of sequential machine code)</p>
<p>IV ПРЕГЛЕД ДОКТОРСKE ДИСЕРТАЦИЈЕ: Докторска дисертација је написана на 71 страна и састоји се од шест поглавља и пописа литературе. Дисертација садржи 20 слика, 3 табеле и 43 цитата.</p> <p>У уводном поглављу представљен је предмет односно проблем истраживања са образложењима о потребама истраживања. Наведене су основне претпоставке којима се касније аутор води да би стигао до описаног решења, а у истом поглављу су те претпоставке и додатно аргументоване. Наведене су и потенцијалне користи и области примене које би се могле остварити реализацијом предложеног алата. Додатно, у уводном поглављу је приказан кратак преглед преосталих поглавља дисертације.</p> <p>У другом поглављу, под називом „Стање у области“, дат је преглед постојећих модела паралелизације секвенцијалног кода, предности и мане појединих модела, са посебним освртом на модел аутоматске паралелизације. Такође, за сваки од модела дат је актуелни преглед истраживања и постојећих решења. Описана је област примене, у смислу домена апликација које се паралелизују и могућих циљних архитектура. На крају су наведени и конкретне циљне архитектуре, али и алати за које се описани паралелизатор жели направити као независни додатак.</p> <p>Треће поглавље, под називом „Примери циљних архитектура“, даје прецизан опис циљних физичких архитектура за које је паралелизатор направљен, односно које су коришћене као наменске платформе у току истраживања, у циљу валидације и верификације решења.</p> <p>У главном, четвртном поглављу, под називом „Паралелизатор машинског секвенцијалног кода“, дат је опис паралелизатора машинског секвенцијалног кода, као проблема који се решава. Детаљно је приказана архитектура паралелизатора и сваки њен појединачан блок.</p> <p>У поглављу број пет, које носи назив „Експериментални резултати и дискусија“, приказана је експериментална валидација у симулатору на једном примеру примене, а затим и верификација на стварној циљној платформи, уз постигнуте резултате, при чему је као тест вектор коришћено неколико апликација типичних за наменске системе. На крају су приказани резултати уз детаљну дискусију сваког резултата.</p> <p>У шестом поглављу, под називом „Закључак и будући рад“, дати су закључци, детаљнији преглед области примене решења имајући у виду добијене резултате, као и могући правци будућег истраживања.</p> <p>Поред наведених основних поглавља, дисертација садржи и кључне докуметацијске информације, сажетак, садржај, списак слика, списак табела, списак и значење коришћених скраћеница, списак коришћене литературе и биографију аутора.</p>
<p>V ВРЕДНОВАЊЕ ПОЈЕДИНИХ ДЕЛОВА ДОКТОРСKE ДИСЕРТАЦИЈЕ: Проблем изнет у уводном поглављу је актуелан, поготову што смо суочени са све већом експанзијом наменских система. Са друге стране, потреба за већом брзином извршавања или смањењем потрошње енергије таквих система, је такође веома актуелна, а то даље доводи до потребе за паралелним извршењем апликација на вишејезгарним процесорима све чешће присутним у наменским системима. У дисертацији се предлаже реализација алата који би</p>

аутоматски, без уплитања програмера, стварао управо такве апликације које се извршавају паралелно на вишејезгарним процесорима, а полазећи од постојеће, секвенцијалне апликације. Такође, хипотеза дисертације је јасно представљена.

У прегледу стања у области јасно су наведени постојећи модели паралелизације секвенцијалног кода као постојећих решења у датој области. Такође, наведене су основне карактеристике тих постојећих решења, али и њихове сличности и разлике у односу на решење представљено у дисертацији, са јасно наглашеним новинама које доноси решење реализовано у овом истраживању, а у поређењу са анализираним, постојећим решењима.

Опис циљних физичких архитектура је изложен је језгровито и јасно. Компоненте које су од суштинске важности за ово истраживање, а односе се пре свега на архитектуру језгара, њихову везу и организацију меморије, добро су наглашене. Такође, јасно је дефинисан и начин како би се за дате примере циљних физичких архитектура могла урадити валидација предложеног решења, како софтверском симулацијом, тако и покретањем на реалном систему.

Архитектура предложеног паралелизатора секвенцијалног кода је добро осмишљена и прецизно описана. Предложено је јединствено решење да се на ниском, машинском нивоу, на основу имена регистара одреди зависност између инструкција, како би се на инструкцијском нивоу одредило шта се може извршавати паралелно и где су неопходне синхронизације података. Предложена су и тестирана решења синхронизације података на циљним архитектурама које где сва језгра имају приступ једној, заједничкој меморији, али су изнети и неки могући правци проширивања ових решења за подршку другим архитектурама. На основу зависности инструкција, прецизно је описан начин формирања графа зависности података, чијим се партиционисањем долази до независних целина. Није први пут да се партиционисањем графа долази до независних целина које се могу истовремено обрађивати, што аутор јасно истиче наводећи нека решења из других области која примењују ту сличну идеју, али јесте јединствена примена на граф зависности података у циљу раздвајања полазног програма на независне целине које се паралелно могу извршавати на више језгара. Добро је описан и метод статичког распоређивања група инструкција које припадају једној независној целини на одговарајућа језгра, синхронизација група између којих постоји зависност, у смислу чекања на добијање резултата једне целине, неопходних за наставак извршења друге целине, али и преноса резултата у случају да су неопходни на другом језгру. Исправно су приказана и решења осталих, пратећих проблема који су се појавили у току израде, а уједно предстаљају већ познате проблеме из других решења у датој области. Свака тврдња је добро аргументована, а решење тестирано адекватним експериментима.

На крају је, након свих процена убрзања одређеним за две циљне архитектуре на основу њихових модела, урађена је валидација софтверском симулацијом и тачност је потврђена на инструкцијском нивоу, у смислу да семантика апликације није измењена, а успешно је измерено убрзање добијено за поједине примере, на различитим моделима процесора у смислу различитог броја језгара, од 1 до 16, чиме је показана и скалабилност. Исти, добро познати примери алгоритама DST, N-краљица и Страсеново множење матрица, односно њихове секвенцијалне имплементације су паралелизоване алатом добијеним као резултат овог истраживања, те су покретани на циљној физичкој архитектури чиме су потврђени и резултати добијени симулацијом. Дато је и поређење резултата добијених овим решењем са резултатима других решења која су верификована истим тест векторима, што је додатно продискутовано.

Закључак на јасан начин излаже суштински допринос који предложено решење отвараје, даје преглед резултата већ изнетих у претходним поглављима уз смислене предлоге будућих праваца истраживања које би побољшале описано решење тако да би се проширила област његове примене.

Списак коришћене литературе дат је на крају дисертације и садржи актуелну литературу релевантну за наведену тему истраживања.

Укупно посматрано, дисертација је прецизна, језгровита и јасна. Предложено решење је јединствено, те представља вредан допринос науци. Теоријска позадина је адекватна, изнесене идеје, али и претпоставке су добро аргументоване, а цело решење је на крају и експериментално потврђено на више релевантних примера.

VI СПИСАК НАУЧНИХ И СТРУЧНИХ РАДОВА КОЈИ СУ ОБЈАВЉЕНИ ИЛИ ПРИХВАЋЕНИ ЗА ОБЈАВЉИВАЊЕ НА ОСНОВУ РЕЗУЛТАТА ИСТРАЖИВАЊА У ОКВИРУ РАДА НА ДОКТОРСКОЈ ДИСЕРТАЦИЈИ

Рад у међународном часопису (M23):

1. Marinković (Branislav) Vladimir, Popović (Vukadin) Miroslav, Đukić (Mirko) Miodrag; "An Automatic Instruction-Level Parallelization of Machine Code"; Advances in Electrical and Computer Engineering; Vol: 18, Br: 1, Str: 27-36, ISSN: 1582-7445; Stefan cel Mare University of Suceava (2018).

2. Popović (Vukadin) Miroslav, Đukić (Mirko) Miodrag, Marinković (Branislav) Vladimir, Vranić (Mirko) Nikola; "On Task Tree Executor Architectures Based on Intel Parallel Building Blocks"; Computer Science and Information Systems (ComSIS); Vol: 10, Br: 1, Str: 369-392, ISSN: 1820-0214; ComSIS (2013).

Рад у часопису међународног значаја верификованог посебном одлуком (M24):

3. Kovačević (Radiša) Đorđe, Stanojević (Branko) Mladen, Marinković (Branislav) Vladimir, Popović (Vukadin) Miroslav; "A Solution for Automatic Parallelization of Sequential Assembly Code"; Serbian Journal of Electrical Engineering; Vol: 10, Br: 1, Str: 91-101, DOI: 10.2298/SJEE1301091K ; (2013).

Саопштење са међународног скупа штампано у целини (M33):

4. Popović (Vukadin) Miroslav, Đukić (Mirko) Miodrag, Marinković (Branislav) Vladimir, Vranić (Mirko) Nikola; "A Task Tree Executor Architectures Based on Intel Parallel Building Blocks"; 2012 IEEE 19th International Conference and Workshops on Engineering of Computer-Based Systems; Str: 201-209, ISBN: 978-0-7695-4664-3/12; (2012).

5. Vranić (Mirko) Nikola, Marinković (Branislav) Vladimir, Đukić (Mirko) Miodrag, Popović (Mirko) Miroslav; "An approach to parallelization of sequential C code"; International Conference on Engineering of Eastern European Regional Conference on the Engineering of Computer Based Systems (ECBS-EERC); Vol: 2, Str: 143-146, ISBN: 978-1-4577-0683-7; (2011).

Саопштење са скупа националног значаја штампано у целини (M63):

6. Kovačević (Radiša) Đorđe, Stanojević (Branko) Mladen, Marinković (Branislav) Vladimir, Popović (Vukadin) Miroslav; "One solution of automatic parallelization of sequential assembly code for mips processor with multiple cores"; 56th Conference for Electronics, Telecommunications, Computers, Automation, and Nuclear Engineering – ETRAN, Zlatibor, Serbia June 11 – 14, 2012; Br: RT4.8, Str: 1-4, ISBN: 978-86-85525-09-4; (2012).

VII ЗАКЉУЧЦИ ОДНОСНО РЕЗУЛТАТИ ИСТРАЖИВАЊА

Основни резултат истраживања је израђено решење и алат за паралелизацију постојећег секвенцијалног машинског кода, који без уплитања програмера (аутоматски) ствара програме који се извршавају паралелно на више језгара вишејезгарног процесора, смањујући време извршења балансираним оптерећењем процесора.

У докторској дисертацији приказан је приступ аутоматској паралелизацији асемблерског кода унапређеном верзијом алгоритма за партиционисање графа заснованој на METIS алгоритму. Ограничен је на статичко распоређивање у време превођења (енг. compile-time scheduling) или у време покретања (енг. just-in-time scheduling) извршне датотеке на свако језгро. Показано је да омогућава оптимално, односно балансирано оптерећење по језгрима, које даје значајно убрзање што је показано на одабраним тест векторима. Просечно убрзање од 7.92x је постигнуто за 16-језгарни процесор.

Добар учинак паралелизатора је показан на различитим примерима, што уједно поткрепује и тврдњу да се паралелизатор успешно може користити у општем случају, а не само за ужи скуп

апликација одређеног домена што је често случај у сличним решењима које већ постоје.

Показано је да је решење скалабилно, тестовима на моделима процесора са 2, 4, 8 и 16 језгара.

Кроз примере је потврђена зависност од величине основног блока унутар тест вектора, односно показано је да најбоље резултате даје за веће основне блокове. Осим тога, приступ је верификован на описаној циљној архитектури са 2 и са 4 језгра, што је потврдило тачност резултата добијених проценом.

На примерима је и практично показано да прилог аутоматској паралелизацији из ове докторске дисертације може бити користан истраживачима и инжењерима из области паралелизације, као основа за даље оптимизације, као задњи део преводиоца или као алат за паралелизацију кода за наменски систем попут циљне физичке архитектуре коришћене у истраживању.

VIII ОЦЕНА НАЧИНА ПРИКАЗА И ТУМАЧЕЊА РЕЗУЛТАТА ИСТРАЖИВАЊА

Истраживање је урађено односно решење приказано у дисертацији потврђено на симулационом моделу и реалном примеру циљне физичке архитектуре. Убрзања су мерена за различите релевантне примере које осликавају апликације различитих особина, уз промену броја језгара процесора, чиме је показана и скалабилност решења.

Резултати су приказани табелама и визуелно, графиконима, који јасно истичу наведене резултате који су детаљно, исправно и аргументовано протумачени у тексту уз јасно поређење са сличним решењима.

Коректно су наведени закључци који проистичу из описаних резултата истраживања.

Извештај о подударности са другом литературом изведен је софтвером за детекцију плагијаризма (iThenticate), а који је показао подударност од 1%.

Комисија позитивно оцењује начин приказа и тумачења резултата истраживања.

IX КОНАЧНА ОЦЕНА ДОКТОРСKE ДИСЕРТАЦИЈЕ:

1. Да ли је дисертација написана у складу са образложењем наведеним у пријави теме

Да, дисертација је написана у складу са образложењем наведеним у пријави теме.

2. Да ли дисертација садржи све битне елементе

Да, дисертација садржи све битне елементе.

3. По чему је дисертација оригиналан допринос науци

У дисертацији је на оригиналан начин, комбиновањем нових метода са неким већ познатим методама али примењеним на нов начин и у нове сврхе, добијен алат за аутоматску паралелизацију секвенцијалног машинског кода. Наиме, према опису који је изнео аутор дисертације, развијен је нов алгоритам за паралелизацију асемблерског кода на нивоу инструкција који, након SSA анализе, користи имена регистара за откривање независних блокова кода и распоређује независне блокове по језгрима коришћењем постојећег алгоритма за партиционисање графа. Тиме се постиже равномерно оптерећење, што, како је експериментима и потврђено, даје значајна убрзања приликом паралелног извршења на вишејезгарним процесорима. Дата су поређења са малобројним постојећим решењима аутоматске паралелизације и тамо где је директно поређење имало смисла и где је било изводљиво, показано је да се на датим примерима добијају бољи резултати. Са неким решењима није било могуће директно поређење, али је показано да се у тим решењима или користе другачији принципи или да су намењени за специфичан скуп проблема, док је решење описано у овој дисертацији генеричко. Конкретна област примене описаног аутоматског паралелизатора јесу апликације намењене за рад у реалном времену, на наменским платформама, где статичко распоређивање које је примењено даје добре резултате на самосталним апликацијама што јесте најчешћи случај коришћења поменутих система.

4. Недостаци дисертације и њихов утицај на резултат истраживања
Комисија је утврдила да у дисертацији не постоје недостаци који би утицали на резултат истраживања.
X ПРЕДЛОГ:
На основу укупне оцене дисертације, комисија предлаже: да се докторска дисертација прихвати, а кандидату одобри одбрана.

У Новом Саду, _____

ПОТПИСИ ЧЛАНОВА КОМИСИЈЕ

1. Председник:

др Никола Теслић
редовни професор

2. Члан:

Др Илија Башичевић
ванредни професор

3. Члан:

др Миодраг Ђукић
доцент

4. Члан:

др Мило Томашевић
редовни професор

5. Ментор:

др Мирослав Поповић
редовни професор

НАПОМЕНА: Члан комисије који не жели да потпише извештај јер се не слаже са мишљењем већине чланова комисије, дужан је да унесе у извештај образложење односно разлоге због којих не жели да потпише извештај.