



УНИВЕРЗИТЕТ У НОВОМ САДУ  
ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА У  
НОВОМ САДУ

---



мр Марјан Урекар

**ПРИЛОГ ОПТИМИЗАЦИЈИ  
ПЕРФОРМАНСИ ДИГИТАЛНИХ  
МЕРЕЊА**

ДОКТОРСКА ДИСЕРТАЦИЈА

Нови Сад, 2018.



УНИВЕРЗИТЕТ У НОВОМ САДУ • ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА  
21000 НОВИ САД, Трг Доситеја Обрадовића 6

## КЉУЧНА ДОКУМЕНТАЦИЈСКА ИНФОРМАЦИЈА

Редни број, <b>РБР:</b>	
Идентификациони број, <b>ИБР:</b>	
Тип документације, <b>ТД:</b>	Монографска публикација
Тип записа, <b>ТЗ:</b>	Текстуални штампани материјал
Врста рада, <b>ВР:</b>	Докторска дисертација
Аутор, <b>АУ:</b>	мр Марјан Урекар
Ментор, <b>МН:</b>	др Драган Пејић, доцент
Наслов рада, <b>НР:</b>	ПРИЛОГ ОПТИМИЗАЦИЈИ ПЕРФОРМАНСИ ДИГИТАЛНИХ МЕРЕЊА
Језик публикације, <b>ЈП:</b>	Српски
Језик извода, <b>ЈИ:</b>	Српски/Енглески
Земља публикавања, <b>ЗП:</b>	Србија
Уже географско подручје, <b>УГП:</b>	Аутономна Покрајина Војводина
Година, <b>ГО:</b>	2018.
Издавач, <b>ИЗ:</b>	Ауторски репринт
Место и адреса, <b>МА:</b>	Факултет техничких наука, Трг Доситеја Обрадовића 6, Нови Сад
Физички опис рада, <b>ФО:</b> (поглавља/страна/ цитата/табела/слика/графика/прилога)	12/178/77/18/107/64/5
Научна област, <b>НО:</b>	Електротехничко и рачунарско инжињерство
Научна дисциплина, <b>НД:</b>	Електрична мерења
Предметна одредница/Кључне речи, <b>ПО:</b>	стохастичка дигитална мерна метода, стохастички мерни инструмент, стохастички флеш А/Д конвертор, дитер, прецизност, мерна несигурност
<b>УДК</b>	Монографска документација
Чува се, <b>ЧУ:</b>	Библиотека Факултета техничких наука, Универзитет у Новом Саду
Важна напомена, <b>ВН:</b>	
Извод, <b>ИЗ:</b>	У тези се разматра критеријум оптималности стохастичког флеш А/Д конвертора (СФАДЦ) који представља основу стохастичке дигиталне методе мерења (СДММ). Развијен је математички и симулациони модел вишебитног СФАДЦ и одређен оптимум броја бита резолуције. Направљен је хардверски прототип 4-битног стохастичког мерног инструмента (СМИ), који је испитан бројним експериментима и упоређен са теоријски одређеним вредностима перформанси мерења. Хипотеза ове тезе – да постоји оптимални број бита резолуције СМИ при коме се остварује максимална добит у прецизности мерења по цени дуплирања потребног хардвера – потпуно је потврђена.
Датум прихватања теме, <b>ДП:</b>	27. 06. 2012.
Датум одбране, <b>ДО:</b>	
Чланови комисије, <b>КО:</b>	Председник: др Платон Совиљ, ванредни професор
	Члан: др Драган Ковачевић, научни саветник
	Члан: др Зоран Митровић, редовни професор
	Члан: др Зоран Јеличић, редовни професор
	Члан, ментор: др Драган Пејић, доцент
	Потпис ментора



UNIVERSITY OF NOVI SAD • FACULTY OF TECHNICAL SCIENCES  
21000 NOVI SAD, Trg Dositeja Obradovića 6

## KEY WORDS DOCUMENTATION

Accession number, <b>ANO</b> :	
Identification number, <b>INO</b> :	
Document type, <b>DT</b> :	Monographic publication
Type of record, <b>TR</b> :	Textual printed material
Contents code, <b>CC</b> :	PhD thesis
Author, <b>AU</b> :	mr Marjan Urekar, magister.
Mentor, <b>MN</b> :	dr Dragan Pejić, assistant professor
Title, <b>TI</b> :	Contribution to the optimization of digital measurements performance
Language of text, <b>LT</b> :	Serbian
Language of abstract, <b>LA</b> :	Serbian/English
Country of publication, <b>CP</b> :	Serbia
Locality of publication, <b>LP</b> :	Autonomous Province of Vojvodina
Publication year, <b>PY</b> :	2018.
Publisher, <b>PB</b> :	Author reprint
Publication place, <b>PP</b> :	Faculty of Technical Sciences, Trg Dositeja Obradovića 6, Novi Sad
Physical description, <b>PD</b> : <small>(chapters/pages/ref./tables/pictures/graphs/appendixes)</small>	12/178/77/18/107/64/5
Scientific field, <b>SF</b> :	Electrical and Computer Engineering
Scientific discipline, <b>SD</b> :	Electrical Measurements
Subject/Key words, <b>S/KW</b> :	stochastic digital measurement method, stochastic measurement instrument, stochastic flash A/D converter, dither, precision, measurement uncertainty
<b>UC</b>	Monographic documentation
Holding data, <b>HD</b> :	Library of the Faculty of Technical Sciences, University of Novi Sad
Note, <b>N</b> :	
Abstract, <b>AB</b> :	The thesis considers the criterion of optimality of the stochastic flash A/D converter (SFADC), which is the basis of the stochastic digital measurement method (SDMM). The mathematical and simulation model of the multibit SFADC was developed and the optimal number of bits of resolution was determined. A hardware prototype of a 4-bit stochastic measuring instrument (SMI) was made, tested in numerous experiments and compared with theoretically determined measurement performance values. The hypothesis of this thesis - that there is an optimal number of SMI resolution bits in which the maximum benefit of the measurement precision is achieved at the price of duplication of the required hardware - is fully confirmed.
Accepted by the Scientific Board on, <b>ASB</b> :	27. 06. 2012.
Defended on, <b>DE</b> :	
Defended Board, <b>DB</b> :	President: dr Platon Sovilj, associate professor
	Member: dr Dragan Kovačević, scientific advisor
	Member: dr Zoran Mitrović, full professor
	Member: dr Zoran Jeličić, full professor
	Member, Mentor: dr Dragan Pejić, assistant professor
	Mentor's sign



УНИВЕРЗИТЕТ У НОВОМ САДУ  
ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА У  
НОВОМ САДУ



mr Marjan Urekar

**PRILOG OPTIMIZACIJI  
PERFORMANSI  
DIGITALNIH MERENJA**

DOKTORSKA DISERTACIJA

mentor:  
doc. dr Dragan Pejić

Novi Sad, 2018.

*Hvala svima, koji to zaslužuju.  
Za razumevanje, strpljivost, podršku, pomoć, inspiraciju i izgubljeno vreme...*

***Rekli su o greškama, instrumentima, stohastici, obrazovanju, društvu, tehnologiji, preciznosti, tačnosti, nauci i merenjima...***

***When one is measuring things, the instruments usually aren't a source of error. It is our foolishness in misapplying them that causes errors.***

Robert. A. Pease (1940-2011), "What's All This Measurement Stuff, Anyhow?", Electronic Design, 1996.

***Random is as Random was.***

Parafraza naslova "Random Is As Random Does", Connor Freff Cochran , serijal eseja Creative Options (1986-1999).

***Obrazovanje je oružje čiji efekti zavise od toga ko ga drži u svojim rukama i prema kome je usmereno.***

J.V. Staljin (1878-1953).

***Živimo u društvu koje je izuzetno zavisno od nauke i tehnologije, u kojem malo ko zna nešto o nauci i tehnologiji.***

Carl Sagan (1934-1996).

***Precise forecasts masquerade as accurate ones.***

Nate Silver, "The Signal and the Noise: The Art and Science of Prediction", Penguin Books, 2012.

***Clarke's three laws:***

***1. When a distinguished but elderly scientist states that something is possible, he is almost certainly right. When he states that something is impossible, he is very probably wrong.***

***2. The only way of discovering the limits of the possible is to venture a little way past them into the impossible.***

***3. Any sufficiently advanced technology is indistinguishable from magic.***

Arthur C. Clarke (1917-2008), "Profiles of the Future: An Inquiry into the Limits of the Possible", Popular Library, 1973.

***I kad čovek izide na istok s merom u ruci, izmeri hiljadu lakata, i prevede me preko vode, i voda beše do gležanja. Potom opet izmeri hiljadu lakata, i prevede me preko vode, a voda beše do kolena; opet izmeri hiljadu lakata, i prevede me, a voda beše do pojasa. I opet izmeri hiljadu lakata, i posta reka, koje ne mogoh preći, jer voda ustade da trebaše plivati, posta reka koja se ne može pregaziti.***

Iz Ezek 47.3-5, Biblija, Stari zavet u prevodu Đure Daničića (osavremenjeno izdanje na ekavici).

# SADRŽAJ

<b>1. UVOD</b> .....	<b>5</b>
<b>2. STANJE TEHNIKE</b> .....	<b>6</b>
2.1. <i>EMBEDDED</i> SISTEMI .....	6
2.2. POSTOJEĆA REŠENJA ZASNOVANA NA SDMM .....	8
2.3. MERENJA U ELEKTRO-DISTRIBUTIVNOJ "PAMETNOJ" MREŽI .....	8
2.4. PRIMER <i>STATE-OF-THE-ART</i> A/D KONVERTORA .....	10
2.5. PRIMER <i>STATE-OF-THE-ART</i> INTEGRISANOG MERILA ENERGIJE .....	11
<b>3. POSTAVKA PROBLEMA (HIPOTEZA)</b> .....	<b>13</b>
<b>4. TEORIJSKA ANALIZA PROBLEMA</b> .....	<b>14</b>
4.1. TAČNOST I PRECIZNOST .....	14
4.2. SDMM I 2-BITNA VERZIJA SFADC .....	16
4.3. 2-BITNI SMI I SDEEM .....	22
4.4. RAZMATRANJE PROBLEMA UNAPREĐENJA .....	27
<b>5. PREDLOG REŠENJA PROBLEMA</b> .....	<b>29</b>
5.1. VIŠEBITNI SFADC .....	29
5.2. VIŠEBITNI SMI .....	38
5.3. MATEMATIČKI MODEL METODE POTISKIVANJA OFSETA METODOM PUP .....	47
5.4. PREDLOG HARDVERSKOG REŠENJA .....	54
5.5. OBJAŠNJENJE PREDLOGA .....	56
5.6. POTVRDA HIPOTEZE .....	63
<b>6. SOFTVERSKE SIMULACIJE</b> .....	<b>65</b>
6.1. REZULTATI SIMULACIJA .....	65
<b>7. RAZVOJ HARDVERSKOG PROTOTIPA</b> .....	<b>76</b>
7.1. RAZMATRANJE OGRANIČENJA U DIZAJNU SMI .....	76
7.2. DIZAJN PROTOTIPA – ANALOGNI DEO SMI .....	80
7.2.1. BAFERI .....	80
7.2.2. SABIRAČI .....	81
7.2.3. MULTIPLESER (MUX) .....	83
7.2.4. FLEŠ A/D KONVERTOR (FADC) .....	84
7.2.5. NAPONSKI RAZDELNIK .....	87
7.2.6. POZITIVNA NAPONSKA REFERENCA .....	93
7.2.7. NEGATIVNA NAPONSKA REFERENCA .....	95
7.2.8. DETEKTOR PERIODE ULAZNOG SIGNALA .....	96
7.3. DIZAJN PROTOTIPA – DIGITALNI DEO SMI .....	97
7.3.1. FPGA ALTERA CYCLONE .....	97
7.3.2. D/A KONVERTOR (DAC) .....	103
7.4. DIZAJN PROTOTIPA – NAPAJANJA SMI .....	109
7.4.1. NAPAJANJE ANALOGNOG DELA SMI .....	109
7.4.2. NAPAJANJE DIGITALNOG DELA SMI .....	111
7.4.3. NAPAJANJE ZA DAC .....	112
7.5. <i>USB-TO-UART</i> BRIDGE MODUL ZA KOMUNIKACIJU .....	114
7.6. IZGLLED PROTOTIPA 4-BITNOG SMI .....	115
7.7. SOFTVERSKA APLIKACIJA ZA OBRADU PODATAKA .....	117

7.8.	LISTA KOMPONENTI ( <i>BILL OF MATERIALS</i> ) .....	120
<b>8.</b>	<b>REZULTATI MERENJA .....</b>	<b>122</b>
8.1.	DEBAGOVANJE .....	124
8.1.1.	KOMPENZACIONA FUNKCIJA .....	124
8.1.2.	FPGA.....	128
8.2.	STATISTIČKA ANALIZA REZULTATA MERENJA.....	130
8.2.1.	MERENJE AC NAPONA .....	130
8.2.2.	MERENJE DC NAPONA .....	134
<b>9.</b>	<b>DISKUSIJA .....</b>	<b>135</b>
<b>10.</b>	<b>ZAKLJUČAK I PREDLOG .....</b>	<b>139</b>
<b>11.</b>	<b>LITERATURA.....</b>	<b>140</b>
<b>12.</b>	<b>PRILOZI .....</b>	<b>144</b>
12.1.	PRILOG 1 – SKRAĆENICE .....	145
12.2.	PRILOG 2 – DELPHI KOD SIMULACIJE .....	148
12.3.	PRILOG 3 – DEBAGOVANJE 2. DEO .....	152
12.4.	PRILOG 4 – PRECIZNOST VIŠEBITNOG SMI (DODATNI GRAFICI I TABELE) .....	167
12.5.	PRILOG 5 – ŠEME I PCB-OVI .....	170



# 1. UVOD

Pod digitalnim merenjem danas se podrazumeva digitalno merenje standardnom sampling metodom (SSM) [1].

Unapređenje SSM se sastoji u: što tačnijem semplovanju, što je tehnološki problem, što dužoj reči A/D konvertora (ADC), što je, takođe, tehnološki problem i što većoj brzini ADC, što je isto tako tehnološki problem.

Postoji metodološka kontradikcija između dužine reči ADC i njegove brzine: brzi ADC imaju kratku digitalnu reč, a ADC duge reči su spori. I ova kontradikcija se danas prevazilazi tehnološki, što je komplikovano, dugotrajno i skupo.

U pokušaju da se prevaziđe navedena metodološka kontradikcija, sredinom devedesetih godina prošlog veka, na Katedri za električna merenja FTN u Novom Sadu, uspešno je razvijena Stohastička Digitalna Merna Metoda (SDMM).

SDMM je potpuno različita paradigma digitalnih merenja od SSM [2], [3], [4], i predstavlja metodološki iskorak u digitalnim merenjima. Naime, u SDMM se, za razliku od SSM, merena veličine ne posmatra i meri samo u tački (vremenskom trenutku), nego u skupu tačaka na intervalu na vremenskoj osi. Dalje, koriste se najbrži, fleš A/D konvertori (FADC) niske rezolucije, najčešće dvobitne. Oni su izuzetno jednostavni, robusni i pouzdani. Jednostavan FADC ima vrlo mali broj izvora sistematske greške koji se lako identifikuju i greška može da se ukloni. Prema tome, SDMM je inherentno vrlo tačna.

Dvobitni FADC ima ogromnu grešku kvantizacije pa, na prvi pogled, izgleda da je veliki problem preciznost. Ovaj problem se efikasno rešava dodavanjem slučajnog uniformnog šuma (ditera), čime nastaje stohastički fleš A/D konvertor (SFADC), pa je SDMM i vrlo precizna. Kratka dvobitna reč SFADC ima za posledicu i vrlo jednostavan blok za osnovnu obradu – množenje i akumulaciju – (*multiply and accumulate*, MAC).

Sinergija jednostavne A/D konverzije i jednostavne obrade ima za posledice: jednostavnu paralelizaciju, merenja i obradu rezultata merenja, kao i izuzetno jednostavne, tačne, precizne i brze višekanalne merne instrumente.

Jednostavna struktura instrumenata u kojima je primenjena SDMM se jednostavno realizuje kao ASIC (*Application-Specific Integrated Circuit*) čip.

Razvijena je jednostavna, opšta i upotrebljiva teorija SDMM koja je rigorozno proverena softverskim simulacijama i eksperimentima.

Jedan od važnih zaključaka teorijske analize SDMM je da veća rezolucija SFADC poboljšava preciznost. S druge strane, za svaki novi bit preciznosti SFADC se duplira njegov hardver pa i broj izvora sistematske greške pa se time ugrožava tačnost.

Postavlja se pitanje – da li između tačnosti i preciznosti SFADC, u opštem slučaju primene u SDMM, postoji prihvatljiv kompromis, odnosno, optimum?

To je problem čije se rešenje traži u ovoj tezi, metodološkim sredstvima. Jasno je da svaki napredak tehnologije unapređuje i nađeno rešenje.

## 2. STANJE TEHNIKE

### 2.1. EMBEDDED SISTEMI

Moderni merni sistemi i instrumenti za merenje električne snage i energije su u klasi ugrađenih ili embedded (*embedded*) sistema. Osnovne komponente embedded sistema su:

1. ulazni stepen za prikupljanje podataka – obično analogno-digitalni konvertor (ADC),
2. stepen za obradu podataka i
3. izlazni stepen za podatke – obično digitalno-analogni konvertor (DAC) koji je deo sklopa za kontrolu procesa u realnom vremenu ili uređaja za digitalno prikazivanje/snimanje podataka.

Napredak savremene tehnologije rezultirao je u činjenici da su sva tri stepena unapređena ali time i proporcionalno kompleksnija.

Krajnji cilj razvoja ovih sistema je da se sva tri objedine u jedno integrisano kolo koje kombinuje analogne i digitalne delove (*mixed-mode*), kao što je ASIC tehnologija.

Sva tri bloka su se razvijala nezavisno i isto tako su postignute optimalne performanse za svaki od njih, u zavisnosti od implementacije. Međutim, oni nikada nisu optimizovani kao jedan celoviti sistem. Da bi se osigurale najbolje performanse kompletnog *embedded* sistema, mora se razmotriti optimizacija ADC i DAC blokova. Pored toga, ADC blok je osnovni merni elektronski blok u modernim mernim sistemima [5]. Ova teza daje doprinos istraživanju poboljšanja i optimizacije ADC blokova koji se koriste u stohastičkom mernom sistemu.

Moderno merenje, u suštini, je diskretno digitalno merenje ili merenje u tački [6], metodom uzorkovanja (semplovanja), tj. SSM.

Ova metoda ima dva glavna izvora greške: diskretizacija po vremenu i diskretizacija amplitude ulaznog signala.

Ako je zadovoljena standardna Šenonova teorema semplovanja [7], greška u diskretizaciji vremena se eliminiše.

Diskretizacija amplitude takođe proizvodi grešku koja se ne može potpuno otkloniti, već se može zadržati samo na prihvatljivo niskom nivou.

Tipičan primer sistema za merenje snage baziran na komercijalnom integralnom kolu za merenje energije sa visokom tačnošću, opisan je u [8].

Glavna ideja metode uzorkovanja zasniva se na merenju tokom beskonačno kratkog perioda  $\Delta t$ , praktično u beskonačno kratkom vremenskom trenutku (ili “u tački”). U tom trenutku uzima se uzorak vrednosti amplitude ulaznog signala i pretvara se iz analognog oblika u digitalni oblik koristeći ADC.

Frekvencija uzorkovanja  $f_s$  je određena sa  $\Delta t$ , i određuje maksimalnu frekvenciju ulaznog signala  $f_g$  kao:

$$f_s = \frac{1}{\Delta t} = 2f_g \quad (0.1)$$

U cilju dobijanja visokih frekvencija uzorkovanja,  $\Delta t$  mora biti vrlo kratak. Najbrži dostupni ADC danas imaju  $\Delta t \leq 0.5$  ns [9].

Veće brzine se postižu samo primenom FADC čiji je glavni problem njihova niska rezolucija (sa ne više od 10 bita rezolucije), što utiče na povećanje merne nesigurnosti na neprihvatljivu vrednost.

Dodavanje samo jednog bita rezolucije FADC rezultira neizbežnim udvostručavanjem broja hardverskih komponenti potrebnih za realizaciju FADC. Istovremeno se udvostručuje i broj mogućih izvora sistematske greške, što je i osnovni razlog da broj bita rezolucije FADC bude minimalan.

Za ADC niske rezolucije (ispod 10 bita), Benetov (*Bennet*) model greške kvantizacije [10] se ne može primeniti, što rezultira nemogućnošću da se greška kvantizacije modeluje kao stacionarni signal belog šuma sa nultom srednjom vrednošću [11], čime je ovo postaje značajan problem kako u teoriji, tako i u praksi.

Ovaj problem se može sažeti u jednoj izjavi:

*ADC sa visokom tačnošću i preciznošću su spori, a brzi ADC imaju nisku tačnost i preciznost.*

Ovo predstavlja prvi problem klasičnog SSM merenja u tački - niska tačnost na visokim frekvencijama uzorkovanja [8].

Drugi problem SSM je merenje zašumljenih signala, što je u diskretnoj teoriji signala poznato kao procena signala u šumu [12], jer ova teorija ne prepoznaje grešku kvantizacije amplitude.

Od ranije je poznato da je procena signala u šumu preciznija kada je frekvencija uzorkovanja veća, što stvara potrebu za veoma brzim FADC [13].

Treći problem je potreba za visokom rezolucijom i širokim propusnim opsegom FADC, što dovodi do komplikovanog hardvera sa velikim brojem delova. Svaka nova komponenta je izvor veće ili manje sistematske greške, pa je poželjnije koristiti FADC sa niskom rezolucijom, pa time i sa manje izvora sistematske greške.

Uz nisku rezoluciju, hardver FADC je prilično jednostavan, što omogućava:

- kontrolu nad vrednošću sistematske greške,
- visoku brzinu uzorkovanja,
- visoku tačnost,
- visok nivo linearnosti.

## 2.2. POSTOJEĆA REŠENJA ZASNOVANA NA SDMM

Sva tri glavna nedostatka merenja u tački mogu se prevazići drugačijim pristupom merenju, gde se merenje vrši tokom konačnog vremenskog intervala umesto u kratkom trenutku. Ovaj pristup se naziva *merenje na intervalu* [2]. Metoda je razvijena, istraživana i praktično realizovana tokom poslednjih 20 godina u tri generacije mernih instrumenata, na Katedri za električna merenja, na Fakultetu tehničkih nauka u Novom Sadu.

Zajednički naziv za sve metode koje su nastale na principu merenja na intervalu je stohastički digitalni metod merenja (SDMM).

FADC koji se koristi u SDMM postaje  $q$ -bitni (ili višestruki) stohastički fleš ADC (SFADC), gde je  $q$  broj bitova rezolucije SFADC.

U [14] je data jednostavna metoda za otklanjanje sistematskih grešaka u 2-bitnom SFADC. Pokazano je kako se ključna sistematska greška može smanjiti za 3-4 reda veličine pomoću stohastičkog mernog instrumenta (SMI) koji predstavlja stohastičko digitalno brojiło električne energije (SDEEM).

Na prototipu 2-bitnog SDEEM je primenjena metoda suzbijanja sistematske greške koju unosi ofset prisutan u komparatorima SFADC, čime se postiže ukupna relativna greška merenja aktivne energije od 100 ppm tokom perioda od 30 minuta merenja.

## 2.3. MERENJA U ELEKTRO-DISTRIBUTIVNOJ “PAMETNOJ” MREŽI

Jedan od najvažnijih tipova merenja danas je merenje aktivne električne energije u stambenim i industrijskim oblastima. Visoka potrošnja električne energije (sa tendencijom stalnog povećavanja) u savremenom društvu zahteva precizno i tačno merenje te potrošnje.

Republika Srbija ima strateški plan modernizacije nacionalne elektroenergetske mreže u skladu sa standardima EU, a koncept “pametne” elektro-distributivne mreže (EDM) jedan je od glavnih ciljeva, kako bi se povećala ekonomska i energetska efikasnost [15].

Srbija je u 2014. godini proizvela 31 900 GWh električne energije.

U poređenju, Holandija ima teritoriju jednaku polovini površine Srbije, ali proizvodi 3 puta više električne energije, 98 800 GWh u 2014. godini.

Ukupna proizvodnja električne energije u svih 28 zemalja EU iznosila je 3 032 100 GWh u 2014. godini [16].

Ako bi imali grešku merenja od samo 1 % primenjenu na ukupnu električnu energiju proizvedenu u EU, dobio bi se tržišni gubitak uporediv sa ukupnom godišnjom potrošnjom električne energije u Republici Srbiji ili 1/3 holandske godišnje potrošnje.

Greška merenja od samo 0.1 % na godišnjem nivou proizvodnje EU bi proizvela gubitak jednak potrošnji energije koja se ostvari u Srbiji za 35 dana.

Ovi egzaktni primeri jasno pokazuju da čak i male greške merenja mogu proizvesti ogromne gubitke, jer se ova merenja vrše tokom dužeg vremenskog perioda (dana, meseci, godina).

Zbog velikog reda veličine aktivne električne energije koja se meri, neophodno je da instrumenti kojima se meri snaga i energija imaju visoku tačnost i preciznost, što se postiže redovnom kalibracijom instrumenata.

Najčešća metoda kalibracije je direktno poređenje sa referentnim etalonom koji ima klasu tačnosti višu od klase instrumenta koji se kalibriše [17].

Najbolje raspoloživo električno brojilo energije u EDM Srbije je etalonsko elektromehaničko brojilo induktivnog tipa, klase tačnosti od 0.02 %, dok nacionalni etalon jedinice električne energije (komparator) ima klasu 0.01 % i preciznost oko 130 ppm.

Za kalibraciju ovog instrumenta, metrološki normativ traži referentni etalon sa najmanje tri puta većom tačnošću (npr. 0.05 %).

Razvoj preciznog i ekonomičnog referentnog instrumenta za merenje energije bi omogućio kalibrisanje postojećih brojila energije unutar samog EDM sistema, bez potrebe za eksternom referentnom laboratorijom.

Elektromehanička brojila energije poseduju nekoliko nedostataka koji se moraju razmotriti i rešiti:

- Klasa tačnosti od 0.2 % - 0.02 % mora biti poboljšana kako bi se smanjili gubici proizvodnje električne energije, ali induktivna merila energije sa većom preciznošću su danas vrlo retka i skupa.
- Instrument za merenje energije u "pametnoj" mreži mora biti digitalan, sa različitim vrstama komunikacije i povezivanja na linije daljinskog upravljanja i očitavanja. Induktivna brojila imaju mehaničko očitavanje, što ih čini zastarelim i neadekvatnim u ovom slučaju.
- Postoji potreba za velikim brojem instrumenata koji mere u paraleli u EDM, tako da uređaj mora biti isplativ za proizvodnju i nabavku u velikim količinama. Cena po jednom komadu mora biti nekoliko puta niža od cene standardnog induktivnog brojila.

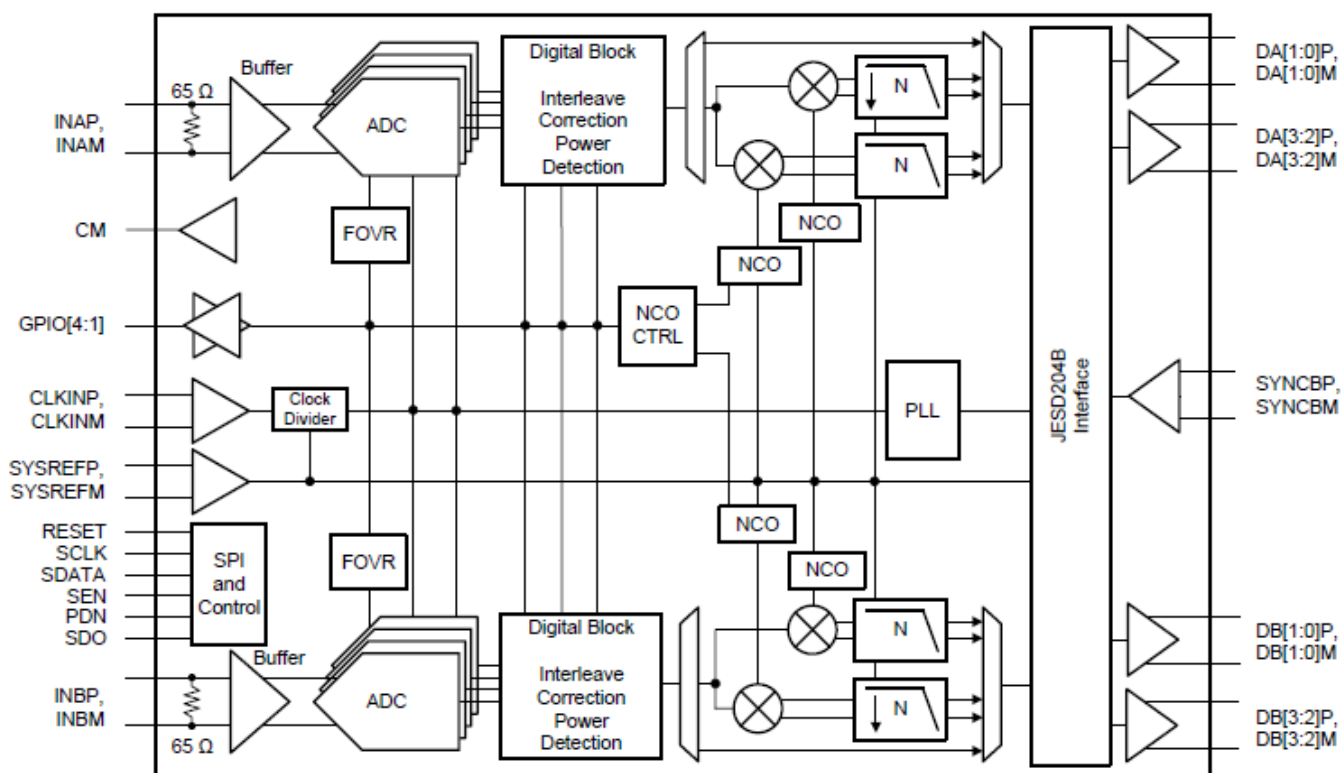
Instrumenti koji se koriste u EDM moraju imati dugoročnu pouzdanost jer se očekuje da rade godinama ili čak decenijama kako bi bili ekonomični. Induktivna brojila su teška za održavanje i sklona su mehaničkim kvarovima tokom vremena. Cena višegodišnjeg održavanja jednog mehaničkog brojila može da pređe čak i cenu samog uređaja.

Savremeni digitalni instrumenti nadmašuju elektromehaničke u svakom aspektu pojedinačno, ali retko u svim aspektima u isto vreme. U većini slučajeva postoji neki kompromis između greške merenja, cene uređaja, troškova održavanja i pouzdanosti.

Iz ovog razloga postoji komercijalna potreba za instrumentom koji može da objedini sve navedene funkcije.

## 2.4. PRIMER STATE-OF-THE-ART A/D KONVERTORA

Kao primer jednog od danas (2018.) najbržih, komercijalno dostupnih ADC je Texas Instruments ADC32RF45 [9]. Ovaj 14-bitni dvokanalni ADC ima brzinu od 3 GS/s, što mu daje mogućnost da radi sa signalima frekvencije do 1.5 GHz. Period semplovanja je izuzetno kratak,  $\Delta t \approx 0.33$  ns.



Sl. 1. Unutrašnja arhitektura brzog A/D konvertora ADC32RF45 sa 3 GS/s.

Zanimljivo je da se ni na jednoj od 130 strana *datasheet*-a ovog ADC, nigde eksplicitno ne spominju termini “preciznost” i “tačnost”. Pa ipak, posredno se može oceniti uticaj velike brzine rada na grešku merenja.

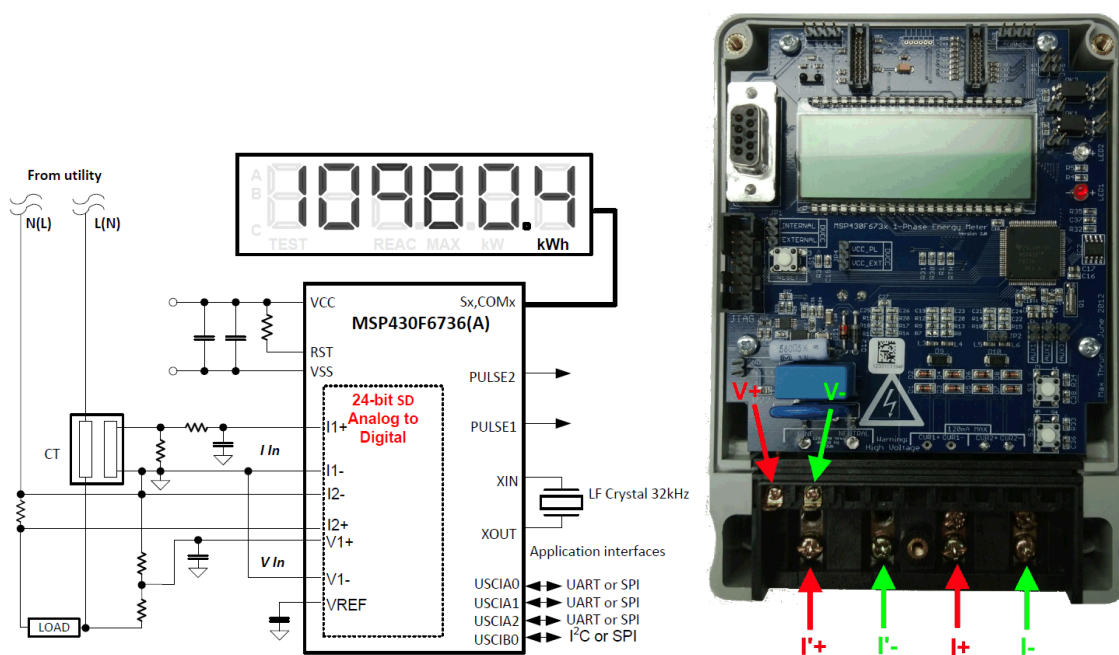
Dat je podatak da za merenje signala od 1.5 MHz, odnos signal/šum (*signal to noise ratio*, SNR) pada na 58 dB. Kako je prosečan SNR “običnog” ADC preko 100 dB, ovo je dobar indikator problema koji se javljaju prilikom rada sa brzim signalima (reda GHz).

Drugi podatak koji je bitan za opis greške je činjenica da za merenje signala maksimalne frekvencije efektivna rezolucija ADC pada na oko 9 bita! Ovime je, praktično, rečeno da se na visokim učestanostima gubi čitavih 5 bita rezolucije (preciznosti).

Ovo je dobra ilustracija tvrdnje da “brzi ADC ne mogu biti i precizni”.

## 2.5. PRIMER STATE-OF-THE-ART INTEGRISANOG MERILA ENERGIJE

Texas Instruments MSP430F6736(A) je integrisano *system-on-chip* (SoC), monofazno elektronsko brojilo električne energije [18]. Može da meri: aktivnu i reaktivnu energiju, aktivnu i reaktivnu snagu, RMS napona, RMS struje, frekvenciju i faktor snage.

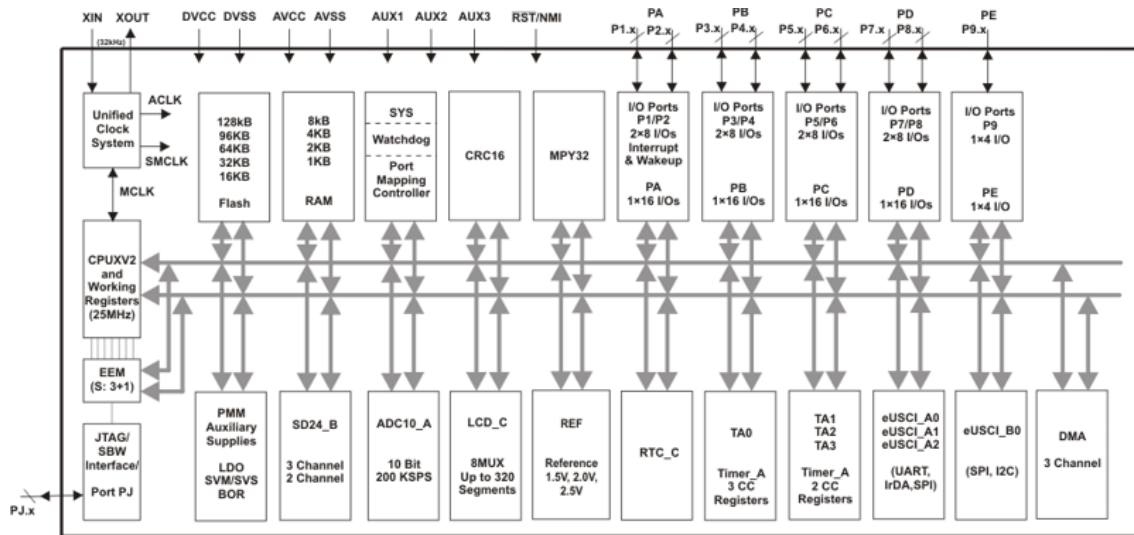


Sl. 2. Blok šema MSP430F6736(A) i primena u digitalnom multifunkcionalnom brojilu.

Porodica mikrokontrolera MSP430 ultra-niske potrošnje sastoji se od nekoliko sklopova sa različitim periferijama, namenjenih raznim aplikacijama. Arhitektura je, kao i niska potrošnja, optimizovana kako bi se omogućila veća autonomija kod baterijskih prenosnih uređaja.

Sistem poseduje 16-bitni RISC procesor, 16-bitne registre i generatore konstanti koji doprinose maksimalnoj efikasnosti koda. Digitalno kontrolisani oscilator (DCO) omogućava buđenje iz režima male potrošnje u aktivni mod za 3  $\mu$ s. Poseduje tri 24-bitna 4-kHz sigma-delta ADC visokih performansi, 10-bitni ADC, četiri univerzalna serijska komunikacijska interfejsa, četiri 16-bitna tajmera, 32-bitni hardverski množač, *real-time clock* (RTC), LCD drajver, pomoćni sistem napajanja, 72 I/O pinova, 8K RAM, radni takt od 25 MHz, malu potrošnju ispod 0.25 mA, komunikacione protokole SPI, UART i I2C.

Izlaz sigma-delta ADC je ceo broj sa predznakom. Neželjeni DC ofseti se potiskuju posebno za  $U$  i  $I$  ulaze, oduzimanjem izlaza *tracking* DC filtera od svakog uzorka sigma-delta ADC. Ovaj filter je sinhronizovan sa mrežnim napajanjem radi postizanja stabilnog izlaza. Dobijeni semplovi napona i struje koriste se za generisanje akumulirane kvadratne vrednosti napona i struje, za potrebe određivanja RMS vrednosti, kao i aktivne i reaktivne energije.



Note: Memory sizes and available peripherals and ports may differ depending on the device.

Sl. 3. Unutrašnja arhitektura mikrokontrolera MSP430F6736(A).

RMS napona i struje  $V_{RMS}$  i  $I_{RMS}$  se određuju preko odmeraka napona i struje, broja semplova  $N$  i konstanti za skaliranje  $K_V$  i  $K_I$ .

$$V_{RMS} = K_V \cdot \sqrt{\frac{\sum_{i=1}^N V^2(i)}{N}} \quad (0.2)$$

$$I_{RMS} = K_I \cdot \sqrt{\frac{\sum_{i=1}^N I^2(i)}{N}}$$

Aktivna snaga i energija ( $P_a$  i  $E_a$ ) se određuju preko proizvoda odmeraka napona i struje, broja semplova  $N$  i konstante za skaliranje  $K_P$ .

$$P_a = K_P \cdot \frac{\sum_{i=1}^N V(i) \times I(i)}{N} \quad (0.3)$$

$$E_a = P_a \cdot N \quad (0.4)$$

Reaktivna snaga i energija se računaju na isti način, s tim da se faza svakog sempla napona pomera za  $90^\circ$ .

Primer praktične realizacije digitalnog multifunkcionalnog brojila dat je u [19] i prikazan je na Sl. 2.

Iako za ovu seriju mikrokontrolera postoji veoma obimna zvanična literatura (nekoliko hiljada stranica), ni ovde nije eksplicitno navedena vrednost greške merenja celokupnog instrumenta, dok postoje vrlo detaljni podaci o greškama pojedinih celina unutar čipa.

Iz podataka za kalibraciju može se zaključiti da je tačnost kompletnog uređaja 0.5 %, dok za preciznost nema podataka.



### 3. POSTAVKA PROBLEMA (HIPOTEZA)

U radovima [2], [3] i [20] je formulisana stohastička digitalna merna metoda (SDMM) koja rešava problem brzog, preciznog i tačnog merenja primenom stohastičkog fleš A/D konvertora (SFADC).

U radu [21] opisan je dvobitni uređaj na bazi SDMM, realizovan kao stohastičko brojilo električne energije. U ovom uređaju je opisana metoda za eliminaciju sistematske greške SFADC koja potiče od naponskih ofseta. Prototip koji je realizovan predstavlja praktičnu primenu SDMM.

Preciznost uređaja baziranih na SDMM se povećava sa povećanjem broja bita rezolucije SFADC koji se koriste u njemu.

U [22] nije razmatrana primena SFADC, razlog je – za svaki novi bit preciznosti SFADC neminovno se duplira hardver (povećava se cena i kompleksnost).

S druge strane, udvostručava se i broj izvora sistematske greške, pa nije moguće garantovati i veću tačnost.

**Hipoteza ove teze je da postoji optimalna rezolucija stohastičkog fleš A/D konvertora (SFADC), koja po ceni dupliranja hardvera po bitu rezolucije daje najveću preciznost uz najmanji broj izvora sistematske greške.**

U daljem razmatranju, cilj je dokazati ovu hipotezu.

# 4. TEORIJSKA ANALIZA PROBLEMA

## 4.1. TAČNOST I PRECIZNOST

Teza se zasniva na unapređenju tačnosti (*accuracy*) i preciznosti (*precision*) stohastičkih merila, pa je pre svega potrebno razjasniti ta dva pojma koja se često međusobno mešaju, čak i u stručnoj literaturi.

Jedna od najraširenijih slikovitih analogija ova dva termina je motiv pogađanja mete, kao na Sl. 4.



Sl. 4. Ilustracija tačnosti i preciznosti na naučno-popularni način.

Ako imamo jednu strelu koja pogađa u sredinu mete (tzv. *bullseye*), i ako ta sredina znači apsolutnu sredinu na subatomskom nivou, tada imamo analogiju “prave vrednosti” neke veličine.

Ova vrednost je zbog kvantnih osobina fizičkog sveta uvek neuhvatljiva, kao i pogađanje jednom strelom između dva atoma. Zato rezultat merenja uvek mora biti izražen “približno”, tj. sa nekom nesigurnošću.

Ako smo pri gađanju mete sve strele grupisali u blizini centra, kažemo da je gađanje bilo i tačno (blizu centra) i precizno (grupisano). Dobijamo zlatnu medalju za najboljeg strelca.

Ako pogađamo i dalje grupisano, ali oko neke tačke koja je udaljena od centra, tada je gađanje netačno (daleko od centra) ali ipak precizno (grupisali smo pogotke).

Ovo obično znači da nam je tehnika gađanja dobra i da samo malo treba podesiti “nišanske sprave”, tj. izvršiti malu korekciju po visini ili širini ciljanja mete.

Ako pogađamo blizu centra, ali su nam pogoci razbacani i nisu grupisani, tada je gađanje tačno (blizu centra), ali i neprecizno (nismo grupisali pogotke). To obično znači da “imamo dobro oko”, ali da nam tehnika gađanja ne valja ili smo samo umorni, pa je potrebno napraviti malu pauzu pre sledeće ture gađanja.

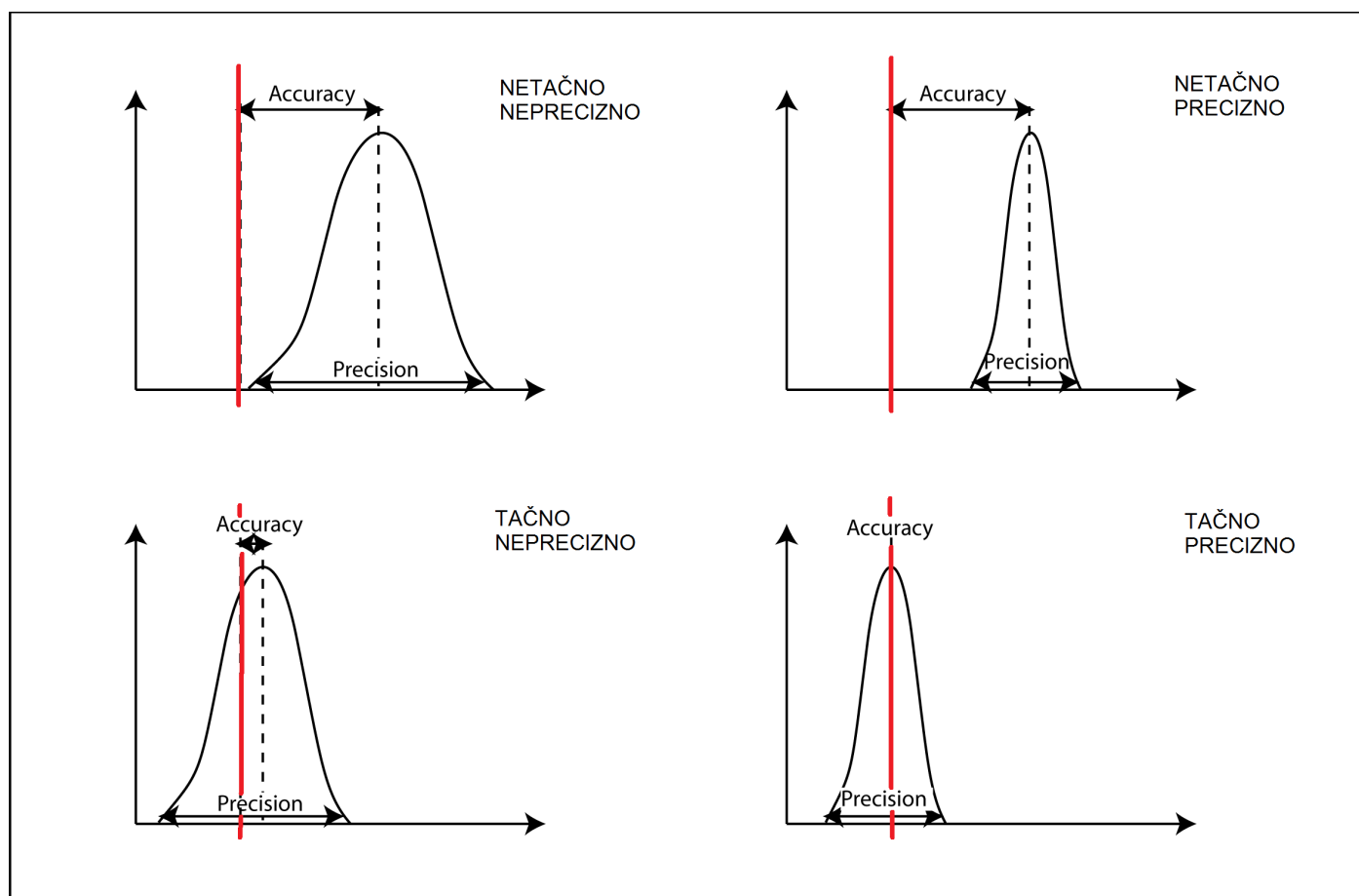
Ako su pogoci nepravilno razbacani po meti (ili van nje!), tada imamo i netačno (daleko od centra) i neprecizno gađanje (nisu grupisani pogoci). To obično znači da bolje probamo sa nečim drugim, malim fudbalom ili badmintonom.

Posmatrajmo sada nešto više naučni pristup ilustrovanju ova dva pojma, prikazan na Sl. 5.

Ako napravimo seriju merenja neke nepromenljive veličine pod istim uslovima, dobijamo set podataka nad kojima možemo izvršiti statističku obradu.

Punom crvenom linijom na grafiku je označena “prava” vrednost merene veličine.

Što je srednja vrednost seta izmerenih vrednosti (isprekidana linija) bliža “pravoj” vrednosti, imamo veću tačnost merenja. Mera međusobnog odstupanja ove dve vrednosti predstavlja sistematsku grešku koja pomera srednju vrednost dalje od “prave” vrednosti.



Sl. 5. Preciznost i tačnost na primeru statističke obrade podataka merenja.

Standardna devijacija (SD) predstavlja rasipanje vrednosti izmerenih rezultata oko srednje vrednosti, što odgovara preciznosti merenja. Ovo rasipanje vrednosti oko srednje vrednosti veličine je uzrokovano raznim uticajnim veličinama, najčešće slučajnom greškom.

- Tačno i precizno merenje znači srednju vrednost blisku “pravoj” vrednosti i malo rasipanje rezultata.
- Tačno i neprecizno merenje znači srednju vrednost blisku “pravoj” vrednosti i veliko rasipanje rezultata.
- Netačno i precizno merenje znači srednju vrednost daleko od “prave” vrednosti i malo rasipanje rezultata.
- Netačno i neprecizno merenje znači srednju vrednost daleko od “prave” vrednosti i veliko rasipanje rezultata.

Sa grafika jasno vidimo da netačnost predstavlja nešto manji problem od nepreciznosti. Ukoliko znamo koliko iznosi očekivana “prava” vrednost, možemo ukloniti izvor sistematske greške ili, ako ga nije moguće ukloniti (npr. unutrašnja otpornost instrumenta), možemo izvršiti naknadnu računsku korekciju rezultata.

Kod nepreciznih merenja retko možemo klasičnim (determinističkim) metodama ukloniti izvor greške (npr. beli šum) i računski ga kompenzovati. Slučajna greška je najčešće određena karakteristikama instrumenta i same merene veličine, nekim fizičkim procesom ili uticajem okoline.

Neprecizna merenja u suštini znače lošu ponovljivost i veću sklonost grešci.

Netačna merenja unose dodatnu sumnju u rezultate eksperimenta.

Ipak, matematički alati iz oblasti slučajnih (stohastičkih) procesa nam omogućavaju da imamo kontrolu i nad slučajnim greškama.

## 4.2. SDMM I 2-BITNA VERZIJA SFADC

Osnovna, a ujedno i najjednostavnija, hardverska primena SDMM je u uređaju na bazi 2-bitnog SFADC ( $q = 2$ ). Na Sl. 6 je prikazana blok šema električnog instrumenta za usrednjavanje vrednosti tokom vremenskog intervala merenja.

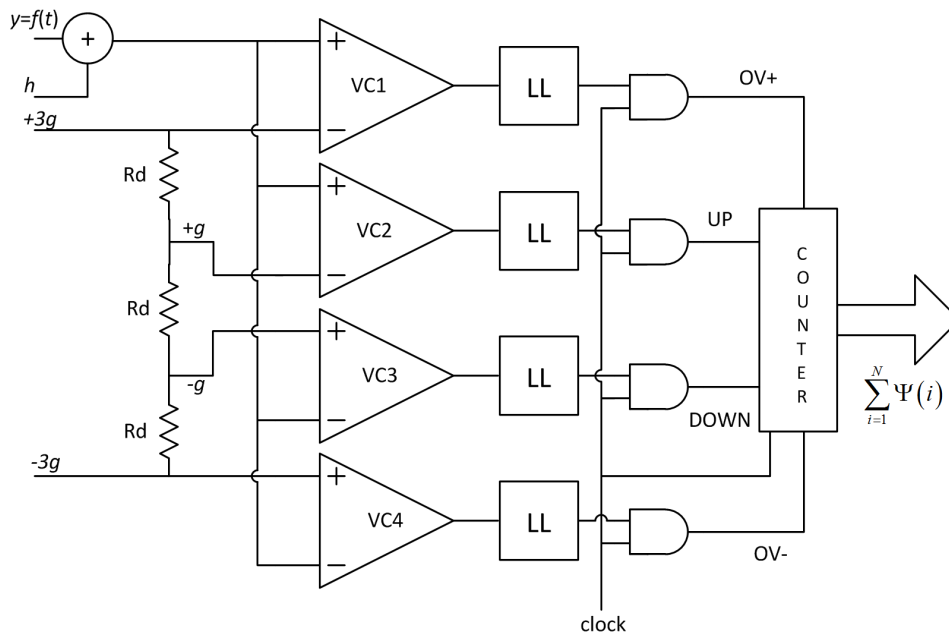
Ulazne veličine su:

- Signal  $y$  koji se meri, predstavljen u obliku periodičnog napona  $f(t)$ .
- Signal  $h$  koji predstavlja diter, uniforman stohastički signal čija je funkcija gustine verovatnoće (*probability density function*, PDF) data kao  $p(h)$ , a maksimalna amplituda mu je jednaka vrednosti naponskog praga  $g$ .

Diter predstavlja naponski signal kontrolisanog šuma, kod kojeg PDF amplituda signala u vremenskom domenu ima uniformnu raspodelu, za razliku od običnog belog šuma kod kojeg je ta raspodela normalna (Gausova).

- Jednosmerni napon  $g$  predstavlja vrednost naponskog praga SFADC.

Na ulaz SFADC se dovode naponi koji odgovaraju vrednostima  $+3g$  i  $-3g$ , od kojih se, pomoću razdelnika napona sačinjenog od tri precizna otpornika  $R$ , dobijaju vrednosti napona praga  $+g$  i  $-g$ , čime se postiže smanjenje potrebnih izvora referentnih napona, sa četiri na samo dva.



Sl. 6. Blok šema 2-bitnog SFADC za merenje srednje vrednosti signala tokom vremenskog perioda.

Ulazni sabirač sabira ulazni signal  $y$  sa signalom ditera  $i$  i vodi ih na neinvertujuće ulaze gornja dva i invertujuće ulaze donja dva brza naponska komparatora.

Na ostale ulaze komparatora se dovode signali odgovarajućih naponskih pragova detekcije nivoa diterisanog signala  $s = y + h$ .

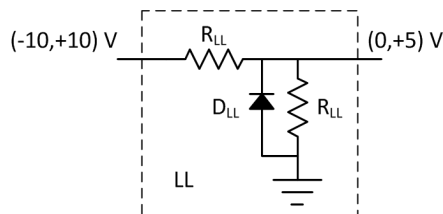
U zavisnosti od trenutne vrednosti signala  $s$  u odnosu na odgovarajuće naponske pragove, izlazi komparatora poprimaju stanje logičke nule "0" (nizak naponski nivo) ili logičke jedinice "1" (visoki naponski nivo). Pregled svih mogućih stanja je dat u tabeli.

Ovime je izvršena gruba digitalizacija signala sa samo dva bita rezolucije.

Blokovi LL predstavljaju limitere naponskog nivoa kojim se izlazni napon komparatora prilagođava naponskim nivoima logičkih kola koja se koriste za dalju obradu digitalnog signala. Na Sl. 7 je predstavljen primer prilagođavača sa analognog napona na digitalni logički nivo [23].

Standardni izlazni naponski nivoi komparatora su  $+10\text{ V}$  za logičku "1" i  $-10\text{ V}$  za logičku "0", dok digitalna kola očekuju  $+5\text{ V}$  za "1" i  $0\text{ V}$  za "0". Prikazano kolo jednostavnim naponskim razdelnikom sa dva jednaka otpornika  $R_{LL}$ , visoki naponski nivo od  $+10\text{ V}$  smanjuje na polovinu, postizujući potreban naponski nivo.

Kada se pojavi  $-10\text{ V}$  na ulazu, dioda  $D_{LL}$  je tada direktno polarisana i provodi, snižavajući izlazni napon na nivo blizak  $0\text{ V}$ , što odgovara potrebnom logičkom nivou za "0".



Sl. 7. Šema ograničavača naponskog nivoa (LL).

Logička I kola se vezuju na izlaze LL kako bi se omogućilo periodično očitavanje vrednosti uslovljeno zadatim signalom vremenskog takta (*clock*).

Važno je napomenuti da su izlazi komparatora i LL vremenski kontinualni sa diskretizovanim vrednostima izlaznih amplituda.

Taktovanjem se vrši vremensko odabiranje (semplovanje) signala, čime je efektivno ostvaren fleš A/D konvertor čiju vrednost izlaza možemo obeležiti sa  $\Psi$ .

Izlazi I kola su spojeni na blok digitalnog brojača (*counter*) koji broji promene stanja na ulazu naviše i naniže, po jedan inkrement. Zavisno od hardverskog rešenja, broj taktova *clock* signala  $N$ , generisanih tokom perioda merenja, može se takođe beležiti u posebnom registru ovog brojača ili u eksternom procesorskom kolu.

Razlikujemo četiri osnovna stanja ovog konvertora:

1. Ulazni signal  $s$  je van dozvoljenog opsega napona, te se generiše logički signal prekoračenja opsega (*OverVoltage, OV*), sa odgovarajućim predznakom:  $+OV$  (za napon veći od  $+3g$ ) i  $-OV$  (za napon manji od  $-3g$ ). Ovim se indikuje da se odmerci signala, pri kojima je jedna od ovih linija aktivna, ne koriste u daljoj obradi signala.
2. Signal  $s$  je veći od  $+g$  i manji od  $+3g$  – postaje aktivna linija UP koja stanje brojača povećava za 1.
3. Signal  $s$  je manji od  $-g$  i veći od  $-3g$  – postaje aktivna linija DOWN koja stanje brojača smanjuje za 1.
4. Signal  $s$  je manji od  $+g$  i veći od  $-g$  – linije UP i DOWN su na nuli, i stanje brojača ostaje nepromenjeno.

Izlaz 2-bitnog SFADC predstavlja usrednjenu vrednost  $\bar{\Psi}$  izlaza vrednosti komparatora  $\Psi$  u vremenu merenja, predstavljenog u obliku broja perioda takta  $N$ .

Da bi se pokazala veza između vrednosti ulaznog signala  $y$  i izlaza SFADC, potrebno je postaviti matematički model koji će opisati sve relevantne veličine koje predstavljaju osnovu SDMM.

Prvo će biti izvedena postavka za dvobitnu verziju SFADC, da bi se kasnije proširio na univerzalni matematički model višebitnih SFADC, uz potrebna razmatranja.

Na osnovu prethodno predstavljenog opisa rada dvobitnog SFADC, mogu se postaviti matematički uslovi (1) kojim se zadovoljavaju ograničenja u vrednostima posmatranih signala za kolo sa Sl. 6:

$$\left. \begin{array}{l} |y+h| \leq 3g \\ |y| \leq 2g \\ |h| \leq g \\ p(h) = \frac{1}{2g} \end{array} \right\} \quad (1)$$

Ulazni signal mora biti manji od dvostruke vrednosti naponskog praga  $g$  i vrednost ditera manja od  $g$  (uslov *Widrow-a*), kako bi u zbiru bili manji od  $3g$ , po apsolutnoj vrednosti [20].

Dodatni uslov PDF ditera  $p(h)$  je da zadovoljava vrednost definisanu u odnosu na  $g$ .

Možemo definisati i najmanji korak (kvant)  $\Delta = 2g$  uniformnog kvantizera koji predstavlja ovaj A/D konvertor, tj. kvant celokupnog SFADC.

Srednja vrednost  $\bar{\Psi}$  izlaznih veličina  $\Psi$  2-bitnog SFADC može predstaviti kao:

$$\bar{\Psi} = \frac{1}{N} \cdot \sum_{i=1}^N \Psi(i) \quad (2)$$

U vremenskom domenu:

$$\bar{\Psi} = \int_{t_1}^{t_2} \Psi dt \quad (3)$$

Izlaz SFADC  $\Psi$  je slučajna promenljiva koja zavisi od  $y$  i  $h$ , a istovremeno  $y$  zavisi od  $t$ .

Elementarna verovatnoća  $dP_{\Psi}$  (diferencijal PDF slučajne veličine  $\Psi$ ) može da se predstavi preko elementarnih verovatnoća:

$$dP_{\Psi} = dP_{y/t} \cdot dP_t \cdot dP_h \quad (4)$$

Neka je  $y = f(t)$  integrabilna funkcija čiju srednju vrednost merimo na vremenskom intervalu od  $t_1$  do  $t_2$ . Posmatramo vreme  $t$  kao slučajnu promenljivu uniformne raspodele  $p(t)$ :

$$p(t) = \frac{1}{t_2 - t_1} \quad (5)$$

Tada važi da je  $y$  takođe slučajna promenljiva u zavisnosti od  $t$ , pa možemo napisati da je srednja vrednost ove funkcije koristeći njenu PDF  $p(y)$  i Dirakove delta funkcije  $\delta$ :

$$\bar{y} = \int_{-\infty}^{+\infty} y \cdot p(y) dy = \int_{-\infty}^{+\infty} \int_{t_1}^{t_2} y \cdot p(y/t) \cdot p(t) dy dt = \int_{-\infty}^{+\infty} y dy \cdot \int_{t_1}^{t_2} p(t) dt \cdot p(y/t) = \int_{-\infty}^{+\infty} y dy \cdot \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} \delta(y - f(t)) dt \quad (6)$$

$$\bar{y} = \frac{1}{t_2 - t_1} \cdot \int_{t_1}^{t_2} dt \int_{-\infty}^{+\infty} y \cdot \delta(y - f(t)) dy = \frac{1}{t_2 - t_1} \cdot \int_{t_1}^{t_2} f(t) dt, \quad (7)$$

što istovremeno predstavlja i usrednjenu vrednost ulaznog signala tokom perioda  $T = t_2 - t_1$ :

$$\bar{y} = \frac{1}{T} \cdot \int_0^T f(t) dt \quad (8)$$

Na sličan način možemo iz (3), (4) i (6) napisati:

$$dP_\Psi = \delta(y - f(t)) dy \cdot \frac{1}{t_2 - t_1} dt \cdot \frac{1}{2g} dh \quad (9)$$

$$\bar{\Psi} = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} dt \int_{-2g}^{+2g} \delta(y - f(t)) dy \int_{-g}^{+g} \Psi \cdot \frac{1}{2g} dh \quad (10)$$

$$y = f(t) = \int_{-g}^{+g} \Psi \cdot \frac{1}{2g} dh \quad (11)$$

Usrednjena vrednost tokom vremenskog intervala  $T = t_2 - t_1$  može se izraziti kao:

$$\bar{\Psi} = \frac{1}{t_2 - t_1} \cdot \int_{t_1}^{t_2} f(t) dt = \frac{1}{T} \cdot \int_0^T f(t) dt \quad (12)$$

Dobijamo da je, u idealnom slučaju:

$$\bar{\Psi} = \bar{y} \quad (13)$$

Jednačina (12) važi samo u teoretskom slučaju beskonačno visoke frekvencije semplovanja i merenja na konačnom vremenskom intervalu  $[t_1, t_2]$ , što odgovara merenju sa beskonačnim brojem odmeraka  $N \rightarrow \infty$ .

U realnim uslovima, ovaj broj odmeraka može biti velik, ali ipak konačan, što rezultuje greškom merenja koja se naziva greška kvantizacije  $e$ :



$$\Psi = y + e \quad (14)$$

Pošto je vrednost  $\Psi$  slučajna veličina usled delovanja ditera, a ulazni signal  $y$  je deterministički po svojoj prirodi, tada greška kvantizacije  $e$  takođe mora biti slučajna veličina. Odavde se zaključuje da  $e$  nije korelisano sa  $y$ , te je stoga:

$$\bar{\Psi} = \bar{y} + \bar{e} \quad (15)$$

Iz izraza (8) i (15) sledi da je srednja vrednost greške kvantizacije jednaka nuli:

$$\bar{e} = 0 \quad (16)$$

Ako se  $\bar{y}$  meri konačnom frekvencijom semplovanja tokom konačnog intervala  $[t_1, t_2]$ , tada je broj odmeraka  $N$  takođe konačan broj.

Sada je potrebno odrediti mernu nesigurnost greške merenja srednje vrednosti za SFADC:

$$\bar{y} \approx \frac{1}{N} \cdot \sum_{i=1}^N \Psi(i) \quad (17)$$

Ovo se svodi, prema prethodnim relacijama, na određivanje merne nesigurnosti rezultata  $\bar{e}$ , koja odgovara standardnoj devijaciji (SD)  $\sigma_{\bar{e}}$  prosečne greške  $\bar{e}$ .

$$\bar{e} \approx 0 \quad (18)$$

U [24] je dokazano da ukoliko su zadovoljeni uslovi dve teoreme: centralne granične teoreme (CGT) i statističke teorije semplovanja (STS), tada važi da je svaki treći momenat  $M_3$  greške  $e$  ograničen, pa i treći centralni momenat  $M_3$ .

Sa Sl. 6 i iz (1) možemo zaključiti da je najveća vrednost greške kvantizacije manja od ulaznog signala  $|e| < |y| = 2g$ , pa se sa uslovom za PDF iz (1) dobija:

$$M_3(e) = \overline{(e - \bar{e})^3} = \int_{-2g}^{2g} e^3 \cdot p(e) de \leq \int_{-2g}^{2g} |e|^3 \cdot p(e) de < (2g)^3 \quad (19)$$

Na osnovu CGT, STS i prethodnog izraza, određuje se da je standardna devijacija  $\sigma_{\bar{e}}$  prosečne vrednosti  $\bar{e}$  greške  $e$ :

$$\sigma_{\bar{e}}^2 = \frac{\sigma_e^2}{N} \quad (20)$$

U [25] je pokazano da je kvadrat standardne devijacije greške kvantizacije (varijansa) pri merenju signala  $f(t)$  u kontinualnom vremenskom domenu moguće odrediti kao:

$$\sigma_e^2 = \frac{2g}{t_2 - t_1} \cdot \int_{t_1}^{t_2} |f(t)| dt - \frac{1}{t_2 - t_1} \cdot \int_{t_1}^{t_2} f^2(t) dt \quad (21)$$

Istovremeno je pokazano da za diskretne odmerke u trenucima  $i$ , za vrednosti izlaza SFADC važi da je:

$$\sigma_e^2 = \overline{e^2} \approx \frac{(2g)^2}{N} \cdot \sum_{i=1}^N |\Psi(i)| - \frac{(2g)^2}{N-1} \cdot \sum_{i=1}^{N-1} \Psi(i) \cdot \Psi(i+1) \quad (22)$$

### 4.3. 2-BITNI SMI I SDEEM

Izrazi (21) i (22) se odnose na jedan SFADC, i nisu jasan pokazatelj prednosti SDEEM. Iz tog razloga, za dalje razmatranje je odabrana pogodna realizacija stohastičkog mernog instrumenta (SMI) [26] na bazi 2-bitnog SFADC, prikazana na Sl. 7.

Ovaj SMI čine dva nezavisna 2-bitna SFADC prikazana na Sl. 6.

Dva ulazna signala,  $y_1$  i  $y_2$ , se dovode na ulaze SFADC i sabiraju sa odgovarajućim, međusobno nekorelisanim, dimerima  $h_1$  i  $h_2$ .

Dalja obrada putem komparatora i LL poklapa se sa SFADC, pri čemu je sa blok šeme na Sl. 7 izostavljen deo kola za indikaciju prekoračenja ulaznog opsega (*OverVoltage - OV*), radi jednostavnijeg prikaza.

Izlazi komparatora su  $\Psi_1$  i  $\Psi_2$ , dve nezavisne veličine koje odgovaraju ulaznim signalima  $y_1 = f_1(t)$  i  $y_2 = f_2(t)$ .

Pošto su ove veličine sada diskretne i predstavljene su u obliku digitalnih odmeraka signala, sada je moguće vrlo jednostavno realizovati digitalno kolo za množenje ova dva signala:  $\Psi = \Psi_1 \cdot \Psi_2$ .

Izlazi 2-bitnih SFADC mogu imati samo vrednosti iz skupa  $\{-1, 0, +1\}$ , pa odatle zaključujemo da i njihov proizvod takođe mora imati samo dozvoljene vrednosti iz skupa  $\{-1, 0, +1\}$ .

Ovo je veoma važan korak u razvoju SMI. Ukoliko bi se ova funkcija razvijala na uobičajeni način, morao bi se koristiti analogni množač u obliku integrisanog čipa ili analognog kola sa istom funkcijom.

Osnovni nedostaci analognog rešenja množača su:

- veliki uticaj naponskih ofseta na rezultat množenja,

- greška reda procenta usled tolerancija diskretnih komponenti i varijacija usled promena temperature,
- ograničenje u maksimalnoj frekvenciji ulaznih signala (reda desetina kHz),
- propusni opseg ovakvog kola,
- vreme kašnjenja i propagacije kroz kolo koje prouzrokuje fazno pomeranje signala.

U digitalnom domenu je množač moguće ostvariti kombinacijom logičkih I i ILI kola, koja imaju visoku gornju granicu radne frekvencije (reda GHz). Uticaji naponskog ofseta, temperature, tolerancija komponenti i vremena kašnjenja su ovde svedeni na minimum.

Brojač koji se koristi je identičan kao kod SFADC, sa tom razlikom da se sada broje slučajevi kada je rezultat množenja:

- veći od praga +g, pri čemu se stanje brojača uvećava za jedan,
- manji od praga -g, pri čemu se stanje brojača smanjuje za jedan,
- između +g i -g, pri čemu se stanje brojača ne menja.

Za ovako koncipiran uređaj, opisan u [27] gde je dat i potpun matematički model 2-bitnog SMI u obliku SDEEM, relacije (12) i (20) se mogu izraziti kao:

$$\lim_{\Delta t \rightarrow 0} \bar{\Psi} = \frac{1}{t_2 - t_1} \cdot \int_{t_1}^{t_2} f_1(t) \cdot f_2(t) dt \Rightarrow \bar{\Psi} \approx \frac{1}{t_2 - t_1} \cdot \int_{t_1}^{t_2} f_1(t) \cdot f_2(t) dt \quad (23)$$

$$\sigma_{\bar{\Psi}} = \frac{\sigma_e}{\sqrt{N}} \quad (24)$$

Dobijeni SMI na bazi 2-bitnih SFADC meri srednju vrednost proizvoda dva signala nad konačnim intervalom, sa standardnom devijacijom srednje vrednosti greške kvantizacije koja je obrnuto proporcionalna kvadratnom korenu iz ukupnog broja odmeraka.

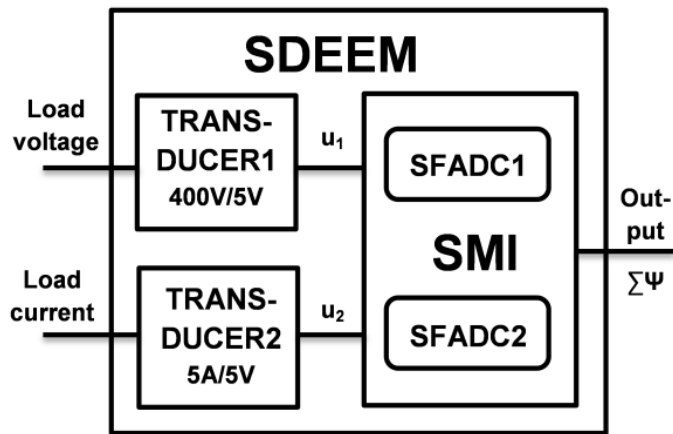
Istovremeno, sa (24) je određena i preciznost merenja.

Posmatrajmo sada određeni potrošač električne energije velike snage, označen sa  $L$ , koji na svojim krajevima ima napon  $u_L$  i kroz koji protiče struja  $i_L$ , [26].

Ako je  $f_1$  naponski signal proporcionalan vrednosti izmerenog napona  $u_L$ , a  $f_2$  naponski signal proporcionalan  $i_L$ , tada je srednja vrednost funkcije date sa (23) proporcionalna srednjoj vrednosti aktivne snage  $P_{AL}$  na potrošaču  $L$ .

Pretvaranje visokonaponskog nivoa  $u_L$  (reda stotina ili hiljada volti) u niskonaponski nivo  $f_1$  (reda volta), kao i visoke struje  $i_L$  (reda desetina ili stotina ampera) u niskonaponski signal  $f_2$  (reda volta), vrši se odgovarajućim mernim pretvaračima koji se koriste u industrijskim merenjima, i koji se najčešće već prisutni na tačkama predviđenim za merenje signala. Koeffcijenti pretvaranja napona i struje u odgovarajuće niske napone dati su sa  $K_1$  i  $K_2$ , respektivno.

$$\begin{aligned} f_1(t) &= K_1 \cdot u_L(t) \\ f_2(t) &= K_2 \cdot i_L(t) \end{aligned} \tag{25}$$



Sl. 8. Blok šema 2-bitnog SDEEM uređaja za merenje energije kao srednje vrednosti proizvoda dva signala tokom vremenskog perioda, srazmerna ulaznom naponu i struji energetskog potrošača, baziran na 2-bitnim SFADC.

Snaga potrošača se meri tokom konačnog perioda merenja  $t_m = t_1 - t_2$ , pošto je merenje na intervalu ključna karakteristika svake SDMM, pa je odavde jasno da izlazna vrednost ovog SMI odgovara vrednosti aktivne energije  $E_{AL}$  izmerene na potrošaču  $L$ .

Ovime je pokazano da instrument na Sl. 8 predstavlja stohastičko električno brojiilo potrošnje aktivne energije, tj. 2-bitno stohastičko digitalno merilo električne energije (SDEEM), [26].

$$\bar{\Psi} = \frac{K_1 \cdot K_2}{t_2 - t_1} \cdot \int_{t_1}^{t_2} u_L(t) \cdot i_L(t) dt = \frac{K_1 \cdot K_2}{t_2 - t_1} \cdot \int_{t_1}^{t_2} P_{AL}(t) dt = \frac{K_1 \cdot K_2}{t_m} \cdot \int_0^{t_m} P_{AL}(t) dt = \frac{K_1 \cdot K_2}{t_m} \cdot E_{AL} \tag{26}$$

$$E_{AL} = \frac{t_m}{K_1 \cdot K_2} \cdot \bar{\Psi} \tag{27}$$

Na osnovu ovih izraza, sada (21) i (22) postaju:

$$\sigma_e^2 = \frac{(2g)^2}{t_2 - t_1} \cdot \int_{t_1}^{t_2} |f_1(t) \cdot f_2(t)| dt - \frac{1}{t_2 - t_1} \cdot \int_{t_1}^{t_2} f_1^2(t) \cdot f_2^2(t) dt \quad (28)$$

$$\sigma_e^2 = \overline{e^2} \approx \frac{(2g)^4}{N} \cdot \sum_{i=1}^N |\Psi_1(i) \cdot \Psi_2(i)| - \frac{(2g)^4}{N-1} \cdot \sum_{i=1}^{N-1} \Psi_1(i) \cdot \Psi_2(i) \cdot \Psi_1(i+1) \cdot \Psi_2(i+1) \quad (29)$$

Na osnovu relacije (28) mogu se odrediti uticajne veličine na preciznost merenja 2-bitnog SMI:

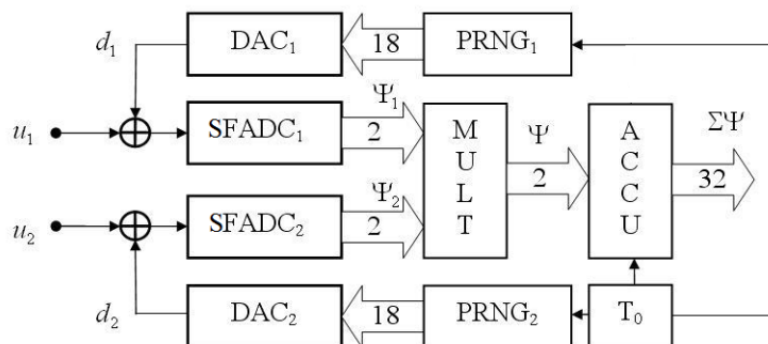
- talasni oblici ulaznih signala  $y_1 = f_1(t)$  i  $y_2 = f_2(t)$ ,
- frekvencija semplovanja  $f_s$ ,
- dozvoljeni opseg napona ulaznog signala  $R = 2g$ ,
- vremenski interval  $[t_1, t_2]$ .

Broj odmeraka (semplova)  $N$  nastalih u toku vremenskog intervala merenja  $t_m$  na frekvenciji semplovanja  $f_s$  je:

$$N = (t_2 - t_1) \cdot f_s = t_m \cdot f_s \quad (30)$$

$N$  predstavlja meru efektivne brzine tehnologije, pošto se povećava sa povećanjem frekvencije semplovanja  $f_s$ .

Na Sl. 9 je data je blok šema arhitekture SMI koji čini osnovu SDEEM, [26].



Sl. 9. Blok šema arhitekture SMI.

Ulazni signal  $u$  se sabira sa izlazom D/A konvertora  $d$ , koji predstavlja rekonstruisan signal ditera  $h$ .

Da bi se postigla uniformna PDF slučajnog šuma koji diter predstavlja, on se generiše digitalno pomoću dugačkog šift-registra u vidu generatora slučajnih brojeva (*PseudoRandom Number Generator* - PRNG). Ova digitalna vrednost se D/A konvertorom pretvara u analognu rekonstrukciju  $d$  signala ditera  $h$  [21].

Ako je šift-registar dovoljno dugačak da nema ponavljanja uzorka, ako je DAC linearan, nema ofset i ima dovoljnu rezoluciju, tada je  $d \approx h$ .

Drugi kanal je identičan prvom, poseduje svoj generator ditera koji nije korelisan sa prvim.

Izlazi SFADC se množe u digitalnom domenu u modulu MULT i sabiraju se u akumulatoru ACCU, na čijem izlazu se dobija funkcija srednje vrednosti proizvoda dva signala merena tokom konačnog vremenskog perioda.

Dodavanjem stohastičkog signala ditera na ulazni signal i oversemplovanjem sume ovih signala, efektivno je povećana, inače niska, rezolucija korišćenih SFADC.

Da bi se ocenila veličina  $\sigma_{\bar{e}}^2$  i njena zavisnost od parametara kola, može se posmatrati primer gde su:  $f_s = 100$  MHz,  $T_m = t_m = 1$  s, signali  $y_1$  i  $y_2$  su prostoperiodični sa naponskim opsegom  $R = \pm 5$  V.

Tada se standardna devijacija (SD) srednje vrednosti kvantizacione greške, može aproksimirati kao u [22]:

$$\sigma_{\bar{e}}^2 = \frac{\Delta^2}{4} \cdot \frac{1}{N} \cdot (y_{RMS})^2 = \frac{R^2}{4} \cdot \frac{1}{N} \cdot \frac{R^2}{2} = \frac{1}{8} \cdot \frac{(2g)^4}{N} \quad (31)$$

Uticajne veličine su:

$\Delta$  - kvant 2-bitnog SFADC, pri čemu je  $\Delta = R = 2g$ ,

$y_{RMS}$  – efektivna vrednost (RMS) merenog signala  $y$ .

Ako pretpostavimo da ulazni sinusni signal ima upravo maksimalnu moguću amplitudu  $R$ , tada je maksimalna kvadratna vrednost signala određena kao  $(y_{RMS})^2 = R^2/2$ . Oдавde je:

$$\sigma_{\bar{e} \sin} \leq \frac{\sqrt{2}}{\sqrt{N}} \cdot g^2 \quad (32)$$

Relacije (31) i (32) pokazuju da se meri srednja kvadratna vrednost sinusnog signala sa amplitudom jednakom ulaznom naponskom opsegu SFADC.

SD je direktno zavisna od kvadrata vrednosti naponskog praga SFADC. Ova vrednost je konstantna za 2-bitni SFADC i jasno je da se greška može smanjiti smanjivanjem  $g$ , što je jedino moguće povećanjem rezolucije SFADC, tj. povećanjem broja bita.

SD je obrnuto proporcionalna sa kvadratnim korenom iz broja odmeraka, što pokazuje da što je merenje duže i/ili frekvencija semplovanja veća (30), broj odmeraka je veći, pa je i SD manja. Ovo je veoma važan zaključak za dalji razvoj SDEEM.

Iz [26] i [27] je poznato da je standardna devijacija srednje vrednosti greške kvantizacije jednaka mernoj nesigurnosti merenja:  $\sigma_{\bar{e}} = u$ .

Poznato je iz [28] da merna nesigurnost mora biti pomnožena sa odgovarajućim faktorom obuhvata  $k$ , kako bi odredili apsolutnu grešku  $G$  u potrebnom intervalu pouzdanosti.

Za interval pouzdanosti od 95 %, faktor obuhvata je  $k = 2$  [28]:

$$|G| = k \cdot u = 2\sigma_{\varepsilon} \leq \frac{R^2}{\sqrt{2N}} = \frac{2\sqrt{2}}{\sqrt{N}} \cdot g^2 \quad (33)$$

Gornju granicu ove greške  $|G|_{\max}$  određujemo kao najgori slučaj kada je ulazni signal  $y$  sa fazom  $\varphi$  [22]:

$$y = R \sin(\omega t + \varphi) \quad (34)$$

$$\varphi = \frac{\pi}{4} + 2k\pi, \quad (k = 0, 1, 2, \dots) \quad (35)$$

$$|G|_{\max} \approx \sqrt{2} |G| \quad (36)$$

Relativna greška rezultata merenja  $\Gamma$  srednje kvadratne vrednosti signala  $\overline{y^2}$  za  $q = 2$  bita je:

$$\left| \Gamma_{\overline{y^2}}(q = 2) \right| = \frac{|G|_{\max}}{y^2} \approx \frac{\sqrt{2}|G|}{(y_{RMS})^2} \leq \frac{\sqrt{2}|G|}{R^2/2} = \frac{2\sqrt{2}}{R^2} \cdot \frac{R^2}{\sqrt{2N}} = \frac{2}{\sqrt{N}} \quad (37)$$

Sada je moguće odrediti relativnu grešku efektivne vrednosti signala  $\sqrt{y^2}$  za  $q = 2$  bita, koja je jednaka polovini relativne greške merenja srednje kvadratne greške (37):

$$\left| \Gamma_{\sqrt{y^2}}(q = 2) \right| = \frac{1}{2} \left| \Gamma_{\overline{y^2}}(q = 2) \right| \leq \frac{1}{2} \frac{2}{\sqrt{N}} = \frac{1}{\sqrt{N}} \quad (38)$$

#### 4.4. RAZMATRANJE PROBLEMA UNAPREĐENJA

Za prethodno navedeni primer frekvencije semplovanja od 100 MHz, relativna greška merenja efektivne vrednosti prostoperiodičnog signala na intervalu od 1 sekunde je 100 ppm (*parts-per-million*), prema (38). Ova frekvencija je oko 20 puta manja od maksimalne za moderne A/D konvertore, a postignuta je visoka preciznost merenja.

Ovaj matematički model je razvijen za dvobitni model SDEEM koji je razvijen kao hardverski prototip, a (38) važi samo za slučaj prostoperiodičnog signala i dvobitnih SFADC koji se koriste kao gradivni elementi SDEEM.

Sledeći korak razvoja je unapređenje SDMM na osnovu povećanja broja bita SDEEM. Da bi se to uradilo, mora se prethodno postaviti nekoliko ključnih pitanja:

- I. Kako parametri prepoznati u 2-bitnom SDEEM utiču na grešku uređaja sa tri, četiri i više bita?
- II. Da li postoje dodatna ograničenja za višebitne uređaje, koja nisu prepoznata u dvobitnom slučaju?
- III. Koje su očekivane performanse višebitnih SDEEM?
- IV. Koja rezolucija SDEEM je optimalna?

Da bi se odgovorilo na pitanje I, potrebno je postaviti generički matematički model SMI i SDEEM za opšti višebitni slučaj, a za odgovor na II potrebno je analizirati uticajne parametre postavljenog modela.

Za pitanje III potrebno je uporediti vrednosti grešaka, intervala merenja i frekvencija semplovanja za višebitne SDEEM.

Konačno, kao odgovor na IV pitanje, mora se prvo jasno definisati kriterijum optimalnosti, a zatim odrediti najefikasniji metod za ocenu te optimalnosti.



# 5. PREDLOG REŠENJA PROBLEMA

## 5.1. VIŠEBITNI SFADC

Uopšteni model višebitnog ( $m$ -bitnog) SFADC se može dobiti proširivanjem 2-bitne verzije SFADC.

Ulazni signal  $y$  se u sabiraču sabira sa signalom uniformnog ditera  $h$ .

Suma ovih signala se vodi na invertujuće ulaze svih  $2^m$  naponskih komparatora (VC).

Generiše se  $2^m$  naponskih pragova  $V_T(VCi)$ , uz pomoć dva izvora napona od  $(2^m-1)g$  i  $-(2^m-1)g$  volti, koji su priključeni na krajeve naponskog razdelnika sačinjenog od  $(2^m-1)$  redno vezanih otpornika  $R_d$  jednake otpornosti. Sa  $g$  je označen najmanji (osnovni) naponski prag koji je primenjuje na nekom od komparatora.

Svaki od ovih pragova se dovodi na neinvertujući ulaz odgovarajućeg komparatora  $VCi$ , redom od najvišeg do najnižeg:

$$\begin{aligned} V_T(VC1) &= (2^m - 1)g, \\ V_T(VC2) &= (2^m - 3)g, \\ V_T(VC3) &= (2^m - 5)g, \\ &\dots \\ V_T(VC2^m - 1) &= (2^m - (2^{m+1} - 3))g = -(2^m - 3)g, \\ V_T(VC2^m) &= (2^m - (2^{m+1} - 1))g = -(2^m - 1)g. \end{aligned} \tag{39}$$

Kada diterisani signal  $y+h$  postane veći od  $i$ -tog naponskog praga, u tom trenutku svi komparatori od prvog do  $i$ -tog na svom izlazu imaju postavljeno stanje logičke jedinice, tj. pozitivni napon napajanja komparatora  $+V$ . Svi ostali komparatori, sa pragovima komparacije većim od trenutnog nivoa na invertujućim ulazima, na svom izlazu imaju logičku nulu, tj. negativni napon  $-V$  napajanja komparatora.

Odavde je jasno da se promenom napona na ulazu ne aktivira samo jedan komparator, već svi sa naponskim pragovima nižim od tog nivoa. Ova vrsta digitalnog kodovanja se naziva *termometarski kod*, povezujući analogiju nivoa žive u termometru koja pokriva sve podeoke na skali ispod najvišeg podeoka koji trenutno pokazuje.

Ovo je velika razlika u odnosu na 2-bitni SFADC kod kojeg može biti aktivan samo jedan (ili nijedan) komparator (dok ulazni signal ne pređe dozvoljeni naponski opseg).

Ova vrsta koda nije pogodna za sabiranje u binarnom akumulatoru (sabiraču), pa ga je potrebo pretvoriti u pogodniji kod. Kao najpovoljniji izabran je kod sa označenim binarnim brojevima (binaran broj sa predznakom), koji omogućava najjednostavniji oblik sabirača.

Izlaz svakog VC je spojen na stepen za ograničavanje i podešavanje naponskog nivoa (LL), za potrebe daljeg sprezanja sa digitalnim logičkim kolima i njihovim logičkim nivoima signala.

Izlazi svaka dva susedna VC su spojeni na jedno ekskluzivno-ILI (XOR) logičko kolo.

Dobijeno je  $(2^m - 1)$  izlaza označenih vrednostima od  $-(2^{m-1} - 1)$  do  $+(2^{m-1} - 1)$ .

Ovi izlazi se sada lako koduju u kod binarnih brojeva sa predznakom, putem jednostavne diodne logičke I mreže. Izlazni kod ima  $(m-1)$  bita plus dodatni bit za predznak veličine, čineći binarnu reč sa  $2^m$  mogućih stanja i  $m$  bita, gde svaki bit ima svoju liniju koja se vodi na sabirač (*ACCUMULATOR-ACC*).

Jasno je da sabirač više nije običan *up/down* brojač kao kod 2-bitnog uređaja, već mora biti  $m$ -bitni akumulator. Ovo je i dalje vrlo jednostavan (i brz) digitalni sklop.

Ukoliko ulazni signal pređe dozvoljeni opseg napona, samo tada se aktivira i najviši komparator sa najvećim naponskim pragom (istovremeno su aktivirani i svi ostali niži komparatori) i menja stanje iz "1" u "0". Ova vrednost se invertorom menja u "1" i u logičkom I kolu množi sa signalom takta (*clock*). Ovime se generiše signal prekoračenja gornje granice ulaznog naponskog opsega (+OV).

Analogno ovome, ukoliko nivo signala padne ispod dozvoljenog donjeg naponskog praga, samo tada najniži VC menja izlaz iz "0" u "1", pri čemu i svi ostali VC imaju izlaz "1". Množenjem ovog signala (ovde nije potrebno dodatno invertovanje logike kao kod 2-bitnog SFADC) sa signalom takta, dobija se signal prekoračenja donje granice ulaznog naponskog opsega (-OV).

Oba ova signala se vode na akumulator, koji je izveden tako da kada je aktivna jedna od ovih linija, trenutna vrednost odmerka neće biti dodata u akumulator zbog prekoračenja opsega, već je ceo smppl preskočen i nije uračunat. Ovime se sprečava greška merenja usled pojave kratkotrajnih smetnji na merenom signalu (pikovi, gličevi, brzi tranzijenti). Pošto može biti aktivna samo jedna od ovih linija (signal ne može biti istovremeno veći od gornjeg praga i manji od donjeg), ove dve linije se mogu spojiti na dodatno XOR kolo i voditi na akumulator (smanjenje broja potrebnih logičkih ulaza).

Na ACC se takođe dovodi signal takta (*clock*), i u posebnom delu akumulatora se beleži broj taktova koji se desio tokom perioda merenja signala, što odgovara broju smplova  $N$ . Ukoliko su aktivni +OV ili -OV,  $N$  neće biti uvećan za broj taktova tokom kojih dolazi do prekoračenja opsega.

Početni uslovi koji su dati za 2-bitni SFADC u (1), nisu u potpunosti primenljivi na višebitni slučaj usled povećanja rezolucije. Zato se mora definisati novi set početnih uslova novog matematičkog modela, koji će opisivati opšti slučaj  $m$ -bitnog SFADC, gde je  $m=q$ , a  $q$  je neki određen broj bita.

Za  $m$ -bitni SFADC, sledeći set uslova mora biti ispunjen:

$$a) |y + h| \leq (2^q - 1)g \quad (40)$$

Suma ulaznog signala i signala uniformnog ditera mora biti u okviru dozvoljenog naponskog opsega koji je proporcionalan umnošku najmanjeg komparatorskog naponskog praga  $g$ .

Ovde je potrebno naglasiti da OV zaštita koja je ugrađena u SFADC, služi kao indikator greške i sprečava brojanje odmeraka koji bi uneli dodatnu neodredivu grešku u trenutnom stanju akumulatora.

Ako je napon ulaznog signala prešao gornju granicu za 1 % ili za 100 %, indikator neće praviti razliku i prijaviti taj događaj. Ako bi se on sabrao u akumulator sa npr. najvećim mogućim binarnim brojem koji daje SFADC, ta vrednost ne bi imala vezu sa naponom za koji se ne zna koliko je veći od dozvoljenog. Zbog toga tu grešku karakterišemo kao neodredivu.

Pojava OV ipak dovodi do povećanja greške merenja, pri čemu je moguće tačno odrediti koliko iznosi to povećanje.

Pri pojavi jednog OV događaja, akumulator je podešen tako da primljena vrednost nije uračunata, a brojač taktova se smanjuje za jedan, smanjujući dužinu merenja za jedan sempl, što odgovara smanjenju dužine perioda merenja  $t_m$ . Jedan takt je dužine  $t_c = 1/f_c$ , gde je  $f_c$  frekvencija takta (*clock*).

Ako ne bi vodili računa o broju pojava OV, dobijali bi rezultat koji nije sračunat prema očekivanom broju semplova  $N' = t_m/t_c$ , već prema  $N'' = N' - N_{OV}$ , gde je  $N_{OV}$  broj semplova pri kojima je došlo do prekoračenja naponskog nivoa.

Ovo je razlog zbog kojeg je potrebno da akumulator ima i indikaciju vrednosti  $N''$  ili  $N_{OV}$ , kako bi imali tačnu informaciju o korigovanom broju semplova (vremenu  $t_{mk} = N'' \cdot t_c$ ) nad kojim je vršeno izračunavanje vrednosti.

Važan zaključak je da pojava prekomernog nivoa napona na ulazu dovodi do degradacije mernih karakteristika SFADC i SMI, uopšte.

Primer ovog efekta možemo kvantifikovati posmatranjem 2-bitnog SFADC.

Ako se relativna greška posmatra prema izrazu (38), i ako tokom merenja dužine  $N' = 1000$  semplova, dođe do aktiviranja OV linija 180 puta (npr. usled parazitnih impulsa koji se javljaju u liniji mase napajanja uređaja), tada je  $N'' = 820$ , pa efektivno dobijamo povećanje greške merenja za 10 %!

Pošto je  $f_c$  jednaka frekvenciji semplovanja  $f_s$  datog SFADC, prema Nikvist-Šenonovoj teoriji semplovanja maksimalna frekvencija ulaznog signala koji se meri je:

$$f_y = \frac{f_s}{2} = \frac{f_c}{2} \quad (41)$$

$$b) \quad |y| \leq R = 2(2^{q-1} - 1)g = (2^q - 2)g \quad (42)$$

Maksimalna amplituda  $R$  ulaznog signala koji se meri mora biti ograničena i određena je vrednostima  $q$  i  $g$ .

$$c) \quad \Delta = 2g = \frac{R}{2^{q-1} - 1} \quad (43)$$

Kvant  $\Delta$  višebitnog SFADC je uvek jednak dvostrukoј vrednosti najmanjeg naponskog praga komparatora. Vrednost praga se smanjuje sa povećanjem rezolucije (broja bita  $q$ ), pa se i vrednost kvanta SFADC smanjuje sa porastom broja bita  $q$ .

Odavde je moguće postaviti dva kriterijuma za projektovanje višebitnih SFADC:

$$\bullet \quad g = \frac{R}{2^q - 2} = \frac{V_{ref}}{2^q - 1} \quad (44)$$

Ako se  $q$ -bitni SFADC projektuje za signal maksimalne amplitude  $R$ , tada se može odrediti prag  $g$ .

Ovo je najčešći polazni uslov pri dizajnu SMI, praktično se može reći da je u pitanju samo tehničko ograničenje - ako znamo koje komponente će biti iskorišćene u samom uređaju, već možemo unapred, na osnovu njihovih poznatih karakteristika, odrediti maksimalno dozvoljeno  $R$ .

$$\bullet \quad \pm V_{ref} = \pm(2^q - 1)g \quad (45)$$

Prethodni kriterijum (45) omogućava i proračun potrebnog referentnog napona  $V_{ref}$  koji se dovodi na krajeve naponskog razdelnika kojim se generišu potrebni naponski pragovi.

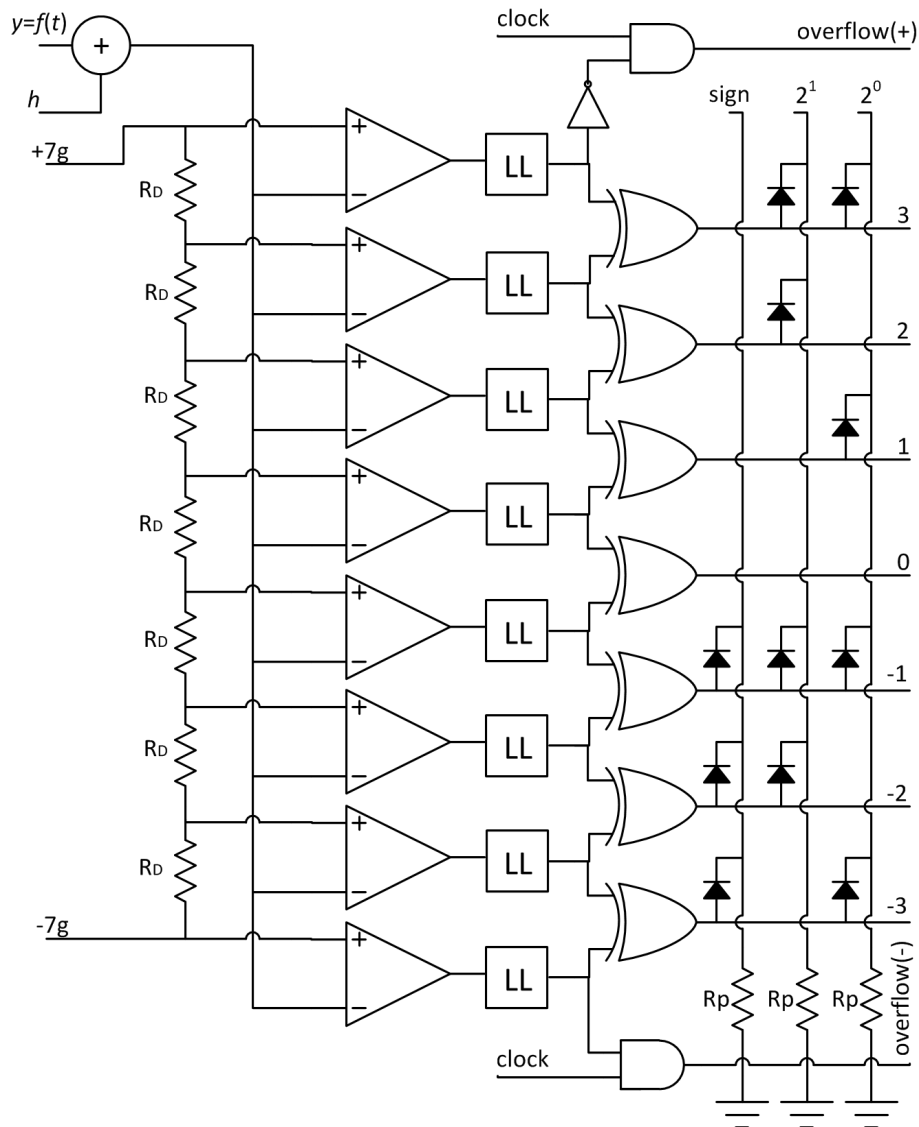
Na gornji kraj razdelnika se dovodi pozitivan referentni napon jednak pragu prvog (gornjeg) komparatora  $V_T(VC1) = (2^q - 1)g = +V_{ref}$ .

Na donji kraj naponskog razdelnika dovodi se negativan referentni napon jednak pragu poslednjeg (najnižeg) komparatora  $V_T(VC2^m) = -(2^q - 1)g = -V_{ref}$ .

Razdelnikom se dalje ovi naponi razdeljuju na potrebne naponske pragove. Ovime je omogućeno da su nam potrebna samo dva referentna napona umesto  $2^q$  posebnih napona pragova, čime se smanjuje složenost i različito ponašanje svakog izvora napona.

Ako se obezbedi mogućnost dobijanja negativnog napona invertovanjem pozitivnog referentnog izvora napona, dobijamo da nam je potreban samo jedan izvor stabilnog napona  $V_{ref}$ .

U tom slučaju je obezbeđeno temperaturno praćenje (*thermal tracking*) svih naponskih pragova. Usled promene napona  $V_{ref}$ , svi pragovi će istovremeno da se promene, čime se njihova apsolutna vrednost menja, tj. međusobna relativna razlika ostaje ista.



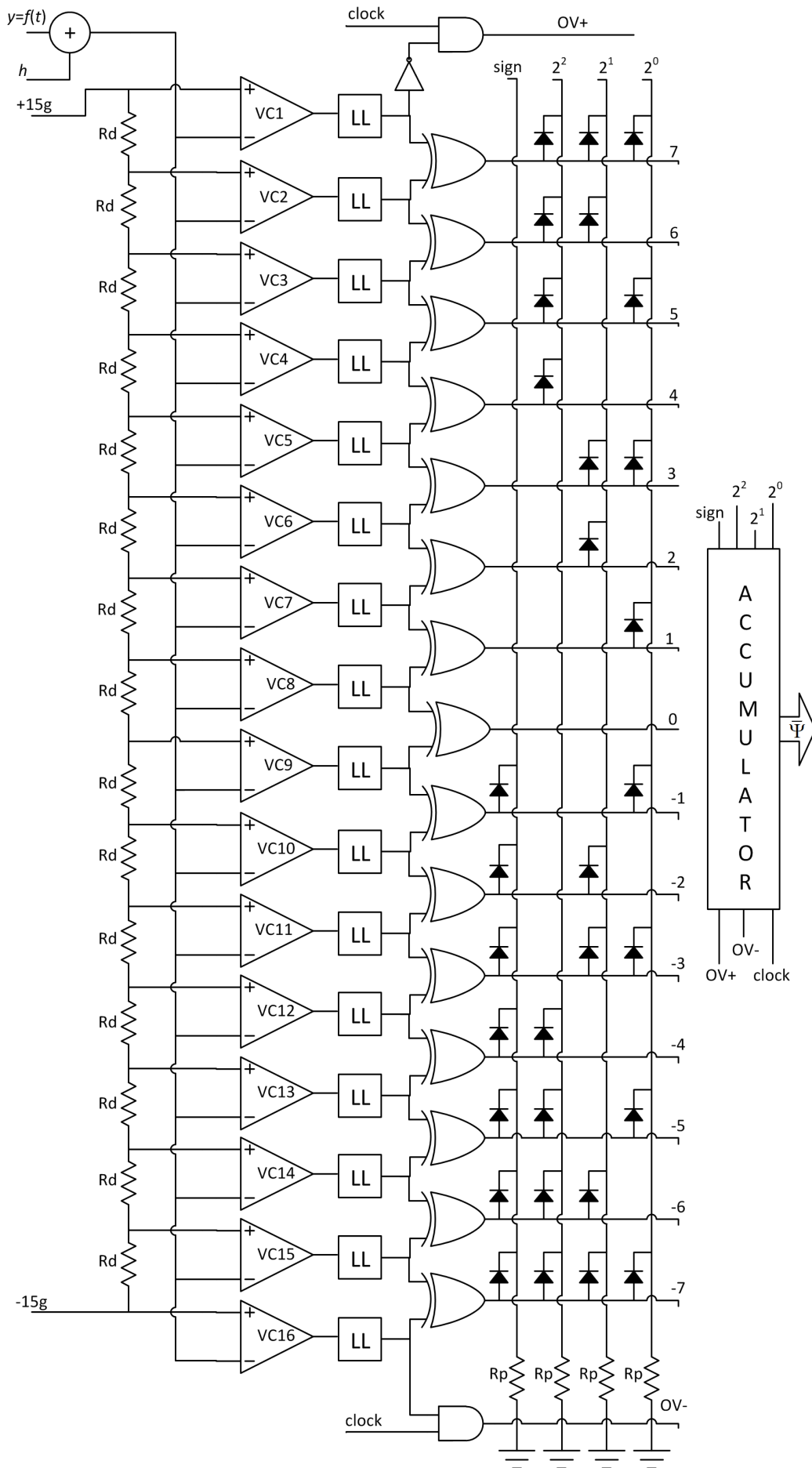
Sl. 10. Šema 3-bitnog SFADC.

Ovo važi za svaku fluktuaciju napona reference, ali ako je razlog promene napona promena temperature, tada će ona uticati i na otpornike koji čine naponski razdelnik. Vidimo da osim uslova da su svi otpornici upareni po vrednosti  $R_d$ , takođe i njihovi temperaturni koeficijenti moraju biti upareni.

Najpovoljnije rešenje je odabir laserski trimovanih otporničkih mreža koje imaju mali ili skoro nulti temperaturni koeficijent, čime se postiže zanemarljiva promena njihove otpornosti sa promenom temperature okoline.

- $|y| \leq R \leq (2^q - 2)g = \frac{2^q - 2}{2^q - 1} \cdot V_{ref}$  (46)

Ako imamo zadan  $q$ -bitni SFADC sa unapred poznatim pragom  $g$ , možemo odrediti kolika je maksimalna amplituda  $R$  ulaznog signala  $y$  koji se meri. Ovo je koristan podatak pri teorijskim razmatranjima upoređivanja rada dva SFDAC sa različitim brojem bita rezolucije.



Sl. 11. Šema 4-bitnog SFADC.

Druga posledica je da ako smo unapred odabrali  $V_{ref}$ , npr. najbolju raspoloživu naponsku referencu, tada možemo unapred reći koliko će biti maksimalno  $R$ , što takođe može biti smatrano za tehničko ograničenje u dizajnu.

$$d) \quad |h| \leq \frac{\Delta}{2} = g = \frac{R}{2^q - 2} = \frac{V_{ref}}{2^q - 1} \quad (47)$$

$$p(h) = \frac{1}{\Delta} = \frac{1}{2g} = \frac{2^{q-1} - 1}{R} = \frac{2^q - 1}{2^q - 2} \cdot \frac{2^{q-1} - 1}{V_{ref}}$$

Signal stohastičkog uniformnog ditera  $h$  [13] mora biti ograničen i sa amplitudom manjom od jednog kvanta SFADC tj. najmanjeg praga  $g$ . Prema prethodnom razmatranju, amplituda ditera se može odrediti i prema vrednosti naponske reference  $V_{ref}$ , (44).

Druga karakteristika koju diter mora da ima, PDF  $p(h)$  mora uvek biti isti – recipročna vrednost dvostruke vrednosti praga  $g$  ili jednog kvanta  $\Delta$ . Takođe je moguće odrediti PDF uz pomoć unapred poznatih vrednosti  $R$  ili  $V_{ref}$ , za zadati broj bita  $q$ .

**Matematički model greške merenja višebitnog SFADC** se izvodi analogno 2-bitnom primeru koji je već opisan.

Izlazna funkcija  $q$ -bitnog SFADC je označena sa  $\Psi_q$ . Srednja vrednost izlazne funkcije  $\bar{\Psi}_q$  tokom vremenskog intervala merenja  $[t_1, t_2]$ , tokom kojeg je uzeto ukupno  $N$  semplova, data je kao:

$$\bar{\Psi}_q = \frac{1}{N} \cdot \sum_{i=1}^N \Psi_q(i) \approx \frac{1}{t_m} \cdot \int_0^{t_m} f(t) dt = \bar{y} \quad (48)$$

gde je  $t_m = t_2 - t_1$  vremenski interval merenja, a  $N = f_s \cdot t_m$ .

Relacija (48) važi samo kada je  $f_s$  beskonačna tokom perioda  $t_m$ . Pošto broj odmeraka (semplova)  $N$  u realnom slučaju mora biti neki konačan broj, javiće se greška kvantizacije  $e_q$  SFADC:

$$\Psi_q = y + e_q \rightarrow \bar{\Psi}_q = \bar{y} + \bar{e}_q \quad (49)$$

Greška kvantizacije  $e_q$  je slučajna veličina, nekorelisana sa determinističkom vrednošću signala  $y$ . U idealnom slučaju kada je  $N$  beskonačno, srednja vrednost greške kvantizacije višebitnog SFADC je nula:

$$\bar{\Psi}_q = \bar{y} \rightarrow \bar{e}_q = 0 \quad (50)$$

Kada višebitni SFADC meri srednju vrednost signala  $\bar{y}$  tokom vremenskog perioda  $t_m$  sa konačnom brzinom semplovanja  $f_s$ , broj semplova  $N$  je takođe konačan, pa važi:

$$\bar{y} = \bar{\Psi}_q \approx \frac{1}{N} \cdot \sum_{i=1}^N \Psi_q(i) \rightarrow \bar{e}_q \neq 0 \quad (51)$$

Srednja vrednost greške kvantizacije nije nula u realnom slučaju, što znači da se mora odrediti standardna merna nesigurnost  $u_q$ , procenjena za interval pouzdanosti od 95 % [28]:

$$u_q = 2\sigma_{\bar{e}_q} \quad (52)$$

gde  $\sigma_{\bar{e}_q}$  predstavlja SD vrednosti  $\bar{e}_q$ .

Gornja granica vrednosti greške kvantizacije  $e_q$  je:

$$|e_q| < \Delta = 2g = \frac{R}{2^{q-1} - 1} \quad (53)$$

Treći centralni momenat  $M_3$  greške kvantizacije  $e_q$  je ograničen [24]:

$$M_3(e_q) = \overline{(e_q - \bar{e}_q)^3} = \int_{-R}^{+R} e_q^3 p(e_q) de_q \leq \int_{-R}^{+R} |e_q|^3 p(e_q) de_q = |e_q|^3 \int_{-R}^{+R} p(e_q) de_q < R^3 = (2^q - 2)^3 g^3 \quad (54)$$

Uslov važenja CGT je da bilo koji treći momenat bude ograničen, uključujući i  $M_3$  (54). Kada važi CGT, procena merne nesigurnosti  $u_q$  je:

$$u_q^2 = 4\sigma_{\bar{e}_q}^2 = \frac{4\sigma_{e_q}^2}{N} \quad (55)$$

$$\sigma_{\bar{e}_q} = \frac{\sigma_{e_q}}{\sqrt{N}}$$

gde  $\sigma_{e_q}$  predstavlja SD greške  $e_q$  merenja  $\bar{y}$  sa  $N$  semplova.

U [25] je pokazano da se  $\sigma_{e_q}$  može odrediti kao:

$$\sigma_{e_q}^2 = \frac{\Delta}{t_m} \cdot \int_0^{t_m} |f(t)| dt - \frac{1}{t_m} \cdot \int_0^{t_m} f^2(t) dt = \overline{e_q^2} \quad (56)$$

$$\sigma_{e_q}^2 \approx \frac{\Delta^2}{N} \cdot \sum_{i=1}^N |\Psi_q(i)| - \frac{\Delta^2}{N-1} \cdot \sum_{i=1}^{N-1} \Psi_q(i) \cdot \Psi_q(i+1)$$



Merna nesigurnost  $u_q$  višebitnog SFADC se na osnovu (55) i (56) može odrediti kao:

$$\begin{aligned}
 u_q^2 &= \frac{\Delta}{Nt_m} \cdot \int_0^{t_m} |f(t)| dt - \frac{1}{Nt_m} \cdot \int_0^{t_m} f^2(t) dt \\
 u_q^2 &\approx \frac{\Delta^2}{N^2} \cdot \sum_{i=1}^N |\Psi(i)| - \frac{\Delta^2}{N(N-1)} \cdot \sum_{i=1}^{N-1} \Psi(i) \cdot \Psi(i+1) \\
 u_q &\approx \frac{\Delta}{N} \cdot \sqrt{\sum_{i=1}^N |\Psi_q(i)| - \frac{N}{N-1} \cdot \sum_{i=1}^{N-1} \Psi_q(i) \cdot \Psi_q(i+1)}
 \end{aligned} \tag{57}$$

Ako nam nije neophodno poznavanje egzaktne vrednosti  $u_m$  za neko  $y$ , tada se izračunavanje može izvršiti na mnogo jednostavniji način, korišćenjem gornje granice vrednosti  $U_q$  merne nesigurnosti  $u_q$ :

$$|U_q| = \max |u_q| \tag{58}$$

Gornja granica SD za bilo koji višebitni SFADC, prema [20], je:

$$\sigma_{e\max}^2 \leq \frac{\Delta^2}{4} \tag{59}$$

Gornja granica apsolutne merne nesigurnosti  $U$  nekog SMI (bez obzira na broj bita) je određena u [22] kao:

$$|U| \approx \sqrt{2} \cdot \frac{\Delta}{\sqrt{2N}} = \frac{\Delta}{\sqrt{N}} \tag{60}$$

Na osnovu (43), (59) i (60) možemo odrediti gornju granicu merne nesigurnosti  $U_q$  za  $q$ -bitni SFADC na nekoliko načina (61), zavisno da li su unapred definisane veličine  $g$ ,  $R$  ili  $V_{ref}$ :

$$|U_q| \leq \begin{cases} \frac{\Delta}{\sqrt{N}} \\ \frac{2g}{\sqrt{N}} \\ R \\ \frac{(2^{q-1}-1)\sqrt{N}}{(2^q-2)} \cdot \frac{V_{ref}}{(2^{q-1}-1)\sqrt{N}} \end{cases} \tag{61}$$

Vrednost merne nesigurnosti je opisana preko četiri formule, te u zavisnosti od parametra koji je unapred definisan, biramo onu koja nam omogućava proračun na osnovu baš tog parametra.

Ovo je, zapravo, proces dizajniranja SFADC, gde na osnovu zadatih ograničenja i univerzalne liste formula (tzv. *cookbook*) možemo da podesimo željene performanse SFADC unapred. Ovaj princip je primenjen i na ostale veličine koje se mogu izračunati na nekoliko različitih načina.

Ova vrednost predstavlja najgori slučaj, vrednost od koje realna merna nesigurnost ne može biti veća, već samo jednaka ili manja.

Ova sigurna (ali konzervativno procenjena) vrednost omogućava brzo i jednostavno računanje, što smanjuje zahteve vezane za brzinu i složenost hardvera i softvera za obradu podataka.

Ujedno, ovako određena vrednost kao pouzdani parametar omogućava nepristrasno poređenje različitih SMI baziranih na SFADC tehnologiji, bez obzira na konkretnu izvedbu i broj bita rezolucije.

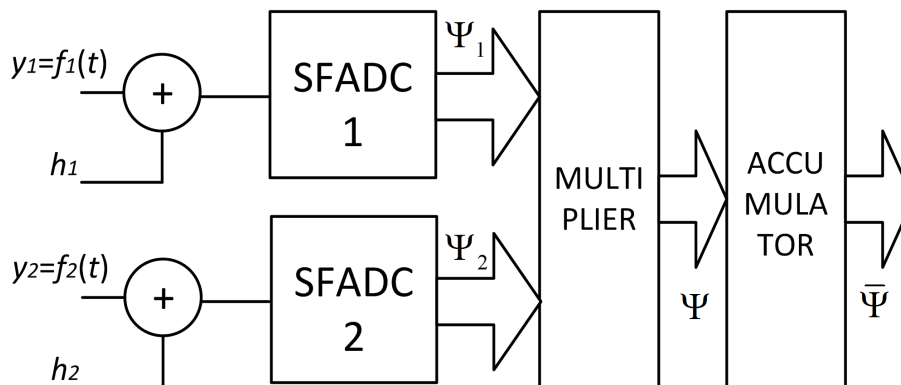
## 5.2. VIŠEBITNI SMI

Na Sl. 12 je predstavljen SMI na bazi dva  $q$ -bitna SFADC koji meri srednju vrednost proizvoda (AVP) dva ulazna signala,  $y_1$  i  $y_2$ . Ovaj sklop možemo označiti kao AVP SMI (AS).

Koriste se dva nekorelisana deterska signala,  $h_1$  i  $h_2$ . Izlazi SFADC  $\Psi_{q_1}$  i  $\Psi_{q_2}$  se množe u višebitnom celobrojnom množaču, a rezultat množenja  $\Psi_{AS}$  se dodaje u akumulator. Iz (48) dobijamo da je AVP ulaznih signala  $\bar{\Psi}_{AS}$  na izlazu SMI akumulatora, prema [21], data kao:

$$\bar{\Psi}_{AS} = \frac{1}{N} \cdot \sum_{i=1}^N \Psi_{q_1}(i) \cdot \Psi_{q_2}(i) \approx \frac{1}{t_m} \cdot \int_0^{t_m} y_1(t) \cdot y_2(t) dt = \overline{y_1 \cdot y_2} \quad (62)$$

Ako je signal  $y_1$  proporcionalan naponu potrošača, a  $y_2$  napon proporcionalan struji istog potrošača, tada ovaj AVP SMI postaje stohastičko električno brojilo SDEEM.



Sl. 12. Blok šema SMI za merenje srednje vrednosti proizvoda dva signala.

Izlazi AVP množača i akumulatora su:

$$\Psi = y_1 \cdot y_2 + e_{AS} \quad (63)$$

$$\bar{\Psi} = \overline{y_1 \cdot y_2} + \bar{e}_{AS}$$

Razmatramo slučaj kada su oba SFADC identična, sa istim  $q$ ,  $R$  i  $\Delta$ . Uzimamo i poseban slučaj gde važi da je isti signal na oba ulaza  $y = y_1 = y_2$ .

Efektivna vrednost  $y_{RMS}$  ulaznog signala  $y$  je:

$$y_{RMS} = \sqrt{\frac{1}{t_m} \int_0^{t_m} y^2(t) dt} \quad (64)$$

Iz (48) i [22], gornja granica vrednosti SD ovog AS je:

$$\sigma_{e_{AS}}^2 \leq \frac{\Delta^2}{4} \cdot \frac{1}{t_m} \cdot \int_0^{t_m} [y_1^2(t) + y_2^2(t)] dt + \frac{\Delta^4}{16} \quad (65)$$

$$\sigma_{e_{AS}}^2 \leq \frac{\Delta^2}{4} \cdot \frac{2}{t_m} \cdot \int_0^{t_m} y^2(t) dt = \frac{\Delta^2}{2} \cdot (y_{RMS})^2$$

$$\sigma_{e_{AS}} \leq \frac{\Delta}{\sqrt{2}} \cdot y_{RMS} = \sqrt{2}g \cdot y_{RMS} \quad (66)$$

Kvadrirana vrednost RMS ulaznog signala  $y$  je:

$$y_{RMS}^2 = \frac{1}{t_m} \int_0^{t_m} y^2(t) dt = \overline{y^2} \quad (67)$$

Vremenski interval merenja  $t_m$  mora biti jednak celobrojnom umnošku  $c$  periode  $T$  ulaznog signal  $y = f(t)$ :

$$t_m = cT \quad (68)$$

Ovo je važan uslov ako želimo što manju grešku merenja. Ako ovaj uslov nije ispunjen, tada može doći do greške od najviše  $\pm(f_s \cdot T)$  semplova, tj. da jedna perioda signala nije u potpunosti izmerena, pri čemu se u računu uvek uzima celobrojna vrednost broja perioda u akumulatoru.

Posledica ovoga je da procesorski blok za obradu podataka, pored informacije o dužini merenja koja se zadaje, mora da prima i podatak o frekvenciji signala tokom merenja, tj. da ta frekvencija bude izmerena sa SMI.

Važnija posledica ovog uslova je da frekvencija signala tokom merenja mora biti stabilna. Ako to nije ispunjeno, stvarni broj semplova  $N$  u ACC neće odgovarati očekivanom broju za dat period merenja, što dovodi do greške koja se ne može kvantifikovati.

Ipak, male promene i nestabilnosti u frekvenciji signala tokom vremena merenja se usrednjavaju velikim brojem semplova – većom frekvencijom semplovanja i/ili dužim intervalom merenja.

Gornja granica merne nesigurnosti AS tj. SDEEM se određuje kao proširena merna nesigurnost sa faktorom obuhvata  $k = 2$  i intervalom pouzdanosti od 95 % [28], (55), (60) i (67):

$$|U_{AS}| = k \cdot \sigma_{e_{AS}} = 2 \cdot \frac{\sigma_{e_{AS}}}{\sqrt{N}} \quad (69)$$

Na osnovu (67) i (69), mernu nesigurnost možemo izraziti na nekoliko načina, preko  $\Delta$ ,  $g$ ,  $R$  ili  $V_{ref}$ :

$$|U_{AS}| \leq \begin{cases} \frac{\sqrt{2}\Delta}{\sqrt{N}} \cdot y_{RMS} \\ \frac{2\sqrt{2}g}{\sqrt{N}} \cdot y_{RMS} \\ \sqrt{2}R \\ \frac{(2^{q-1}-1)\sqrt{N}}{(2^q-2)} \cdot y_{RMS} \\ \frac{2^q-2}{2^q-1} \cdot \frac{\sqrt{2}}{(2^{q-1}-1)\sqrt{N}} \cdot V_{ref} \cdot y_{RMS} \end{cases} \quad (70)$$

Relativna proširena merna nesigurnost srednje vrednosti kvadrata rezultata merenja je:

$$\left|U_{y^2}\right| = \frac{|U_{AS}|}{y^2} = \frac{|U_{AS}|}{y_{RMS}^2} \quad (71)$$

Iz (70) i (71) određujemo zavisnost relativne merne nesigurnosti kvadrata merene vrednosti, na više mogućih načina, prema relevantnim parametrima  $\Delta$ ,  $g$ ,  $R$  ili  $V_{ref}$ .

$$\left|U_{y^2}\right| \leq \begin{cases} \frac{\sqrt{2}\Delta}{y_{RMS}\sqrt{N}} \\ \frac{2\sqrt{2}g}{y_{RMS}\sqrt{N}} \\ \sqrt{2}R \\ \frac{(2^{q-1}-1)y_{RMS}\sqrt{N}}{(2^q-2)} \\ \frac{2^q-2}{2^q-1} \cdot \frac{\sqrt{2}}{(2^{q-1}-1)y_{RMS}\sqrt{N}} \cdot V_{ref} \end{cases} \quad (72)$$

Relativna vrednost merne nesigurnosti efektivne vrednosti merenog napona iznosi jednu polovinu vrednosti relativne merne nesigurnosti kvadrata merenog signala, prema [28] i [23].

$$\left| U_{\sqrt{y^2}} \right| = \frac{1}{2} \cdot \left| U_{y^2} \right| \quad (73)$$

Izraženo u procentima:

$$\left| U_{\sqrt{y^2}} \right|_{\%} = \left| U_{y^2} \right|_{\%} \cdot 100 = 50 \cdot \frac{|U_{AS}|}{y_{RMS}^2} \quad (74)$$

Ova vrednosti odgovara mernoj preciznosti  $\Gamma$  za AS sačinjen od dva identična SFADC jednakih rezolucija [20].

$$|\Gamma|_{\%} = \left| U_{\sqrt{y^2}} \right|_{\%} \quad (75)$$

$$|\Gamma|_{\%} \leq \begin{cases} \frac{100\Delta}{\sqrt{2N} \cdot y_{RMS}} \\ \frac{200g}{\sqrt{2N} \cdot y_{RMS}} \\ \frac{100R}{(2^{q-1} - 1)\sqrt{2N} \cdot y_{RMS}} \\ \frac{2^q - 2}{2^q - 1} \cdot \frac{100}{(2^{q-1} - 1)\sqrt{N} \cdot y_{RMS}} \cdot V_{ref} \end{cases} \quad (76)$$

AVP SMI se najčešće koristi kao električno brojilo aktivne energije potrošača, čiji signali struje i napona su najčešće sinusnog talasnog oblika (u oznaci *sin*). Takođe, pri kalibrisanju, podešavanju i overi AS, kao izvor referentnih signala se uvek koriste sinusni talasni oblici.

Iz navedenih razloga, korisno je odrediti prethodne relacije za slučaj čisto sinusnog talasnog oblika signala koji se meri.

$$y_{RMS\sin} = \frac{R}{\sqrt{2}} \quad (77)$$

$$\sigma_{e_{AS\sin}} \leq \frac{\Delta}{\sqrt{2}} \cdot y_{RMS\sin} = g \cdot R$$

Na osnovu relacije (76) može se pokazati jedna od ključnih osobina SDMM i SMI, koja distinktivno razlikuje ovu metodu od klasične sa merenjem u tački.

$$|U_{AS}|_{\sin} \leq \begin{cases} \frac{\Delta}{\sqrt{N}} \cdot R \\ \frac{2g}{\sqrt{N}} \cdot R \\ \frac{1}{(2^{q-1}-1)\sqrt{N}} \cdot R^2 \\ \frac{2^q-2}{2^q-1} \cdot \frac{1}{(2^{q-1}-1)\sqrt{N}} \cdot V_{ref} \cdot R \end{cases} \quad (78)$$

Greška merenja kod svih klasičnih metoda je *fiksna* i zavisi od više parametara kola. Smanjenje greške može da se postigne samo izmenama u parametrima kola, kao što su: upotreba kvalitetnijih, tačnijih i preciznijih komponenti, veća stabilnost napona napajanja, smanjenje uticaja šuma okoline, obezbeđivanje stabilne temperature okoline, itd.

Kod SDMM je greška merenja *podesiva*, i može se regulisati samo jednom promenljivom - vremenom merenja. Za višu preciznost biramo duže periode merenja, dok nižu postizemo kraćim vremenskim intervalima merenja. Ovo je unikatna osobina SDMM koja nam daje kontrolabilnost nad greškom merenja.

$$|U_{y^2}|_{\sin} \leq \begin{cases} \frac{2\Delta}{R\sqrt{N}} \\ \frac{4g}{R\sqrt{N}} \\ \frac{1}{(2^{q-1}-1)\sqrt{N}} \\ \frac{2^q-2}{2^q-1} \cdot \frac{2}{(2^{q-1}-1)R\sqrt{N}} \cdot V_{ref} \end{cases} \quad (79)$$

$$\left| U_{\sqrt{y^2}} \right|_{\% \sin} = 100 \cdot \frac{|U_{AS}|}{R^2} \quad (80)$$

$$|\Gamma|_{\% \sin} \leq \left| U_{\sqrt{y^2}} \right|_{\% \sin} = \begin{cases} \frac{100\Delta}{R\sqrt{N}} \\ \frac{200g}{R\sqrt{N}} \\ \frac{100}{(2^{q-1}-1)\sqrt{N}} \\ \frac{2^q-2}{2^q-1} \cdot \frac{100\sqrt{2}}{(2^{q-1}-1)R\sqrt{N}} \cdot V_{ref} \end{cases} \quad (81)$$

Ako tačno znamo uticajne parametre kola (82), možemo odrediti koliko je minimalno potrebno vreme merenja  $t_{min}$  tj. minimalni broj semplova  $N_{min}$  da bi se postigao željeni nivo preciznosti merenja (83).

Vidi se da vreme merenja zavisi od talasnog oblika signala i njegove amplitude, frekvencije semplovanja, broja bita SFADC i projektovane preciznosti.

$$|\Gamma|_{\%} \leq \frac{R}{(2^{q-1}-1)\sqrt{2N} \cdot y_{RMS}} \cdot 100 = \frac{R}{(2^{q-1}-1)\sqrt{2t_m \cdot f_s} \cdot y_{RMS}} \cdot 100 \quad (82)$$

$$t_{m \min} = \frac{10^4}{(2^{q-1}-1)^2 \cdot 2f_s \cdot |\Gamma|_{\%}^2} \cdot \frac{R^2}{y_{RMS}^2} \quad (83)$$

$$N_{\min} = \frac{10^4}{(2^{q-1}-1)^2 \cdot 2|\Gamma|_{\%}^2} \cdot \frac{R^2}{y_{RMS}^2}$$

Ako je amplituda  $R$  signala takođe i njegova vršna vrednost (pik – *peak*), možemo reći da se potrebno vreme merenja produžava sa porastom odnosa vršne i srednje snage signala (*peak-to-average power ratio* - PAPR), [29].

Faktor PAPR predstavlja i kvadriranu vrednost krest faktora (CF) signala [29], [30]:

$$\text{PAPR} = (\text{CF})^2 = \left( \frac{R}{y_{RMS}} \right)^2 \quad (84)$$

Sada možemo iz (83) i (84) definisati minimalno vreme merenja  $t_m$  pomoću faktora CF (odnosa vršne i efektivne vrednosti signala) ili pomoću PAPR, za željeni nivo preciznosti merenja i  $q$  bita:

$$t_{m \min} = \begin{cases} \frac{10^4}{(2^{q-1}-1)^2 \cdot 2f_s \cdot |\Gamma|_{\%}^2} \cdot (\text{CF})^2 \\ \frac{10^4}{(2^{q-1}-1)^2 \cdot 2f_s \cdot |\Gamma|_{\%}^2} \cdot (\text{PAPR}) \end{cases} \quad (85)$$

Za slučaj sinusnog napona, faktori CF i PAPR su:

$$\begin{aligned} \text{CF}_{\sin} &= \sqrt{2} \\ \text{PAPR}_{\sin} &= 2 \end{aligned} \quad (86)$$

Odavde dobijamo jednostavan izraz za određivanje minimalne dužine vremenskog perioda merenja za datu preciznost, kada se meri sinusni napon:

$$t_{m \min \sin} = \frac{10^4}{(2^{q-1}-1)^2 \cdot f_s \cdot |\Gamma|_{\% \sin}^2} \quad (87)$$

S druge strane, vidimo da je pomoću AVP SMI moguće meriti CF i PAPR ne-sinusnih signala.

Prvo moramo predstaviti zavisnost merne preciznosti od CF i PAPR u opštem slučaju za  $q$  bita:

$$|\Gamma|_{\%} \leq \frac{100}{(2^{q-1}-1)\sqrt{2t_m \cdot f_s}} \cdot \text{CF} \quad (88)$$

$$|\Gamma|_{\%} \leq \frac{100}{(2^{q-1}-1)\sqrt{2t_m \cdot f_s}} \cdot \sqrt{\text{PAPR}}$$

Sada možemo definisati izraz za određivanje CF i PAPR ulaznog signala merenjem sa poznatim nivoom preciznosti u  $N$  odmeraka i rezolucijom  $q$ -bita:

$$\text{CF} \approx \frac{1}{100} (2^{q-1}-1) \sqrt{2t_m \cdot f_s} \cdot |\Gamma|_{\%} = \frac{1}{100} (2^{q-1}-1) \sqrt{2N} \cdot |\Gamma|_{\%} \quad (89)$$

$$\text{PAPR} \approx 2t_m \cdot f_s \cdot (2^{q-1}-1)^2 \cdot \frac{|\Gamma|_{\%}^2}{10^4} = 2N \cdot (2^{q-1}-1)^2 \cdot \frac{|\Gamma|_{\%}^2}{10^4}$$

Na osnovu prethodnog razmatranja matematičkog modela, možemo posmatrati konkretne vrednosti greške za sinusni signal koji je uzet kao standard za određivanje i upoređivanje karakteristika različitih SMI.

Sa malim brojem bita  $q$  (od 2 do 5) moguće je držati sistematsku grešku pod kontrolom, a istovremeno postići vrlo visoku preciznost merenja.

Mali broj bita znači i jednostavniji hardver, pa se za te vrednosti može dati i direktan pregled preciznosti merenja pri merenju sinusnog signala amplitude  $R$ :

$$\text{a) } q = 2, 2g = R, \Delta = R$$

$$\sigma_{\bar{e}_{AS}}^2(2) = \frac{\sigma_{e_{AS}}^2}{N} \leq \frac{\Delta^2}{4} \cdot \frac{1}{N} \cdot y_{RMS}^2 = \frac{R^2}{1} \cdot \frac{1}{4} \cdot \frac{1}{N} \cdot \frac{R^2}{2} = \frac{R^4}{8N} \quad (90)$$

$$|G|_{\max} = \sqrt{2}|G| = 2\sqrt{2}\sigma_{\bar{e}_{AS}} \quad (91)$$

$$\left| \Gamma_{y^2}(2) \right| \leq \frac{|G|_{\max}}{(y_{RMS})^2} = \frac{2\sqrt{2}\sigma_{\bar{e}_{AS}}}{R^2/2} = \frac{2\sqrt{2}R^2}{2\sqrt{2}N} \cdot \frac{2}{R^2} = \frac{2}{\sqrt{N}} \quad (92)$$

$$\left| \Gamma_{\sqrt{y^2}}(2) \right| = \frac{1}{2} \cdot \left| \Gamma_{y^2}(2) \right| \leq \frac{1}{\sqrt{N}} \quad (93)$$

$$\text{b) } q = 3, 6g = R, \Delta = R/3$$



$$\sigma_{\bar{e}_{AS}}^2(3) \leq \frac{\Delta^2}{4} \cdot \frac{1}{N} \cdot y_{RMS}^2 = \frac{R^2}{9} \cdot \frac{1}{4} \cdot \frac{1}{N} \cdot \frac{R^2}{2} = \frac{R^4}{72N} \quad (94)$$

$$\left| \Gamma_{y^2}(3) \right| \leq \frac{2\sqrt{2}R^2}{6\sqrt{2N}} \cdot \frac{2}{R^2} = \frac{2}{3\sqrt{N}} \quad (95)$$

$$\left| \Gamma_{\sqrt{y^2}}(3) \right| = \frac{1}{2} \cdot \left| \Gamma_{y^2}(3) \right| \leq \frac{1}{3\sqrt{N}} \quad (96)$$

c)  $q = 4, 14g = R, \Delta = R/7$

$$\sigma_{\bar{e}_{AS}}^2(4) \leq \frac{\Delta^2}{4} \cdot \frac{1}{N} \cdot y_{RMS}^2 = \frac{R^2}{49} \cdot \frac{1}{4} \cdot \frac{1}{N} \cdot \frac{R^2}{2} = \frac{R^4}{392N} \quad (97)$$

$$\left| \Gamma_{y^2}(4) \right| \leq \frac{2\sqrt{2}R^2}{14\sqrt{2N}} \cdot \frac{2}{R^2} = \frac{2}{7\sqrt{N}} \quad (98)$$

$$\left| \Gamma_{\sqrt{y^2}}(4) \right| \leq \frac{1}{7\sqrt{N}} \quad (99)$$

d)  $q = 5, 30g = R, \Delta = R/15$

$$\sigma_{\bar{e}_{AS}}^2(5) \leq \frac{\Delta^2}{4} \cdot \frac{1}{N} \cdot y_{RMS}^2 = \frac{R^2}{225} \cdot \frac{1}{4} \cdot \frac{1}{N} \cdot \frac{R^2}{2} = \frac{R^4}{1800N} \quad (100)$$

$$\left| \Gamma_{y^2}(5) \right| \leq \frac{2\sqrt{2}R^2}{30\sqrt{2N}} \cdot \frac{2}{R^2} = \frac{2}{15\sqrt{N}} \quad (101)$$

$$\left| \Gamma_{\sqrt{y^2}}(5) \right| \leq \frac{1}{15\sqrt{N}} \quad (102)$$

U opštem slučaju za  $q$  bita rezolucije i sinusni napon na ulazu:

e)  $m = q, 2(2^{q-1}-1)g = R, \Delta = 2g = R/(2^{q-1}-1)$

$$\sigma_{\bar{e}_{AS}}^2(q) \leq \frac{\Delta^2}{4} \cdot \frac{1}{N} \cdot y_{RMS}^2 = \frac{R^4}{8(2^{q-1}-1)^2 N} \quad (103)$$

$$\left| \Gamma_{\sqrt{y^2}}(q) \right| \leq \frac{1}{(2^{q-1} - 1)\sqrt{N}} \quad (104)$$

broj bita $q$	kvant SFADC $\Delta$	najmanji prag, amplituda ditera $g, h$		maksimalna amplituda ulaznog signala $R$		referentni napon razdelnika $V_{ref}$	preciznost AVP SMI $\Gamma$
	V	V	V	V	V	V	%
2	$R/1$	$R/2$	$V_{ref}/3$	$2g$	$0.6667V_{ref}$	$3g$	$100R / (\sqrt{2N} \cdot y_{RMS})$
3	$R/3$	$R/6$	$V_{ref}/7$	$6g$	$0.8571V_{ref}$	$7g$	$100R / (3\sqrt{2N} \cdot y_{RMS})$
4	$R/7$	$R/14$	$V_{ref}/15$	$14g$	$0.9333V_{ref}$	$15g$	$100R / (7\sqrt{2N} \cdot y_{RMS})$
5	$R/15$	$R/30$	$V_{ref}/31$	$30g$	$0.9677V_{ref}$	$31g$	$100R / (15\sqrt{2N} \cdot y_{RMS})$
6	$R/31$	$R/62$	$V_{ref}/63$	$62g$	$0.9841V_{ref}$	$63g$	$100R / (31\sqrt{2N} \cdot y_{RMS})$
7	$R/63$	$R/126$	$V_{ref}/127$	$126g$	$0.9921V_{ref}$	$127g$	$100R / (63\sqrt{2N} \cdot y_{RMS})$
8	$R/127$	$R/254$	$V_{ref}/255$	$254g$	$0.9961V_{ref}$	$255g$	$100R / (127\sqrt{2N} \cdot y_{RMS})$
9	$R/255$	$R/510$	$V_{ref}/511$	$510g$	$0.9980V_{ref}$	$511g$	$100R / (255\sqrt{2N} \cdot y_{RMS})$
10	$R/511$	$R/1022$	$V_{ref}/1023$	$1022g$	$0.9990V_{ref}$	$1023g$	$100R / (511\sqrt{2N} \cdot y_{RMS})$

Tabela 1. Pregled formula za određivanje kvanta SFADC  $\Delta$ , najmanjeg praga  $g$ , amplitude ditera  $h$ , maksimalne amplitude ulaznog signala  $R$ , referentnog napona razdelnika  $V_{ref}$  i preciznosti AVP SMI.

preciznost (ppm)		broj bita rezolucije $q$								
period merenja $t_m$ (s)	broj semplova $N$	2	3	4	5	6	7	8	9	10
1	$10^5$	3162.28	1054.09	451.75	210.82	102.01	50.19	24.90	12.40	6.19
10	$10^6$	1000.00	333.33	142.86	66.67	32.26	15.87	7.87	3.92	1.96
30	$3 \cdot 10^6$	577.35	192.45	82.48	38.49	18.62	9.16	4.55	2.26	1.13
60	$6 \cdot 10^6$	408.25	136.08	58.32	27.22	13.17	6.48	3.21	1.60	0.80
120	$12 \cdot 10^6$	288.68	96.23	41.24	19.25	9.31	4.58	2.27	1.13	0.56
180	$18 \cdot 10^6$	235.70	78.57	33.67	15.71	7.60	3.74	1.86	0.92	0.46
300	$3 \cdot 10^7$	182.57	60.86	26.08	12.17	5.89	2.90	1.44	0.72	0.36
600	$6 \cdot 10^7$	129.10	43.03	18.44	8.61	4.16	2.05	1.02	0.51	0.25
1800	$18 \cdot 10^7$	74.54	24.85	10.65	4.97	2.40	1.18	0.59	0.29	0.15
3600	$36 \cdot 10^7$	52.70	17.57	7.53	3.51	1.70	0.84	0.41	0.21	0.10

Tabela 2. Preciznost merenja sinusnog napona određena u ppm, u zavisnosti od broja bita rezolucije  $q$  i perioda merenja  $t_m$ , pri  $f_s = 100$  kHz.

Frekvenciju semplovanja u ovom primeru uzimamo  $f_s = 100$  kHz, pa je  $N = 10^5 \cdot t_m$ .

Radi lakše ocene i upoređivanja greške, mogu se izračunati vrednosti preciznosti AVP SMI (izraženo u ppm) za prostoperiodične ulazne signale, u zavisnosti od broja bita rezolucije  $q$  i vremenskog perioda merenja  $t_m$ .

### 5.3. MATEMATIČKI MODEL METODE POTISKIVANJA OFSETA METODOM PUP

Integrirani operacioni pojačavači i komparatori se dele u dve velike kategorije: za DC i za AC napon. Karakteristike potrebne za visoku tačnost i preciznost na DC opsegu su u direktnoj suprotnosti sa zahtevima za AC, i obrnuto.

Naponski komparatori sa niskim ofsetom su neminovno spori, imaju mali *slew-rate* i propusni opseg (reda desetina kHz), dok brzi komparatori imaju veliki ofset (reda 10 mV za frekvencije preko 1 MHz) [31].

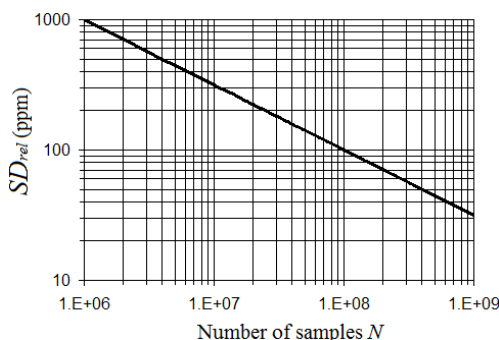
Glavni izvor sistematske greške kod SMI na bazi SFADC potiče od prisustva naponskog ofseta u brzim komparatorima koji čine FADC kao deo SFADC. Ukoliko suzbijemo ili anuliramo potpuno ovu grešku, tačnost SMI će se popraviti, što je bila jedna od glavnih mana SDMM.

Ovime je omogućeno merenje na visokim frekvencijama (u MHz području), pošto će brzi komparatori sa velikim ofsetom moći da se koriste u SFADC.

Veća frekvencija semplovanja znači da je potreban kraći vremenski interval merenja da bi se skupio potreban broj odmeraka za željenu visoku preciznost.

To je ilustrovano grafikom na Sl. 13. Na primeru 2-bitnog SMI, znamo da je zavisnost relativne vrednosti standardne devijacije  $SD_{rel}$  od broja semplova  $N$  i konstante  $const$ , izraženo u ppm:

$$SD_{rel} = \frac{const}{\sqrt{N}} \quad (105)$$



Sl. 13. Relativna standardna devijacija  $SD_{rel}$  greške merenja u funkciji od broja semplova.

Maksimalna vrednost greške merenja  $e_N$  nekog SMI na bazi SFADC je data u [20], kao funkcija napona ofseta  $U_{of}$ . Ulazni signali su naponski signali, pa pišemo  $y_1 = u_1$  i  $y_2 = u_2$ .

$$e_N \leq \frac{U_{of}}{t_m} \int_0^{t_m} (|u_1| + |u_2|) dt + U_{of}^2 \quad (106)$$

Uzimamo sledeće pretpostavke:

- da su ulazni signali  $u_1$  i  $u_2$  sa istom periodom koja je mnogo kraća od perioda vremena merenja  $T \ll t_m$ ,
- da su oba ulazna signala stacionarna tokom perioda  $2T$ ,
- da je ofset  $U_{of}$  konstantan tokom perioda  $2T$ .

Sve ove pretpostavke su ispunjene kod SDEEM, tj. SMI za merenje električne energije:

- ulazni naponi su proporcionalni naponu i struji istog potrošača sa istom frekvencijom,
- promene u energiji su zanemarljive u kratkim vremenskim periodima kod energetske potrošnje,
- ofseti komparatora su sporo promenljivi ili nepromenljivi ako je temperatura okoline stabilna.

Ako unakrsnim preklapanjem linija veze periodično zamenjujemo signale na invertujućem i neinvertujućem ulazu svakog od komparatora u SFADC, posle jedne periode  $T$ , efektivno dobijamo promenu polariteta ofseta u svakom sledećem periodu.

Tokom dve susedne periode ulaznog signala, suma ulaznog napona i ditera imaju isti znak, ali znak ofseta se menja prilikom zamene ulaza posle jedne periode.

Tokom vremenskog perioda od  $2T$ , sistematska greška je:

$$e_N \leq \frac{U_{of}}{T} \int_0^T (|u_1| + |u_2|) dt + U_{of}^2 + \frac{-U_{of}}{T} \int_T^{2T} (|u_1| + |u_2|) dt + U_{of}^2 = 2U_{of}^2 \quad (107)$$

Ako ovu periodičnu zamenu ulaza nastavimo da vršimo tokom perioda merenja  $t_m = T_m$ , dobijamo isti rezultat, tj. nivo greške je sveden na vrlo malu vrednost.

Da bi se ocenila ova vrednost, posmatramo tipični brzi komparator koji ima maksimalan naponski ofset od 1 mV. Ako merimo signal koji ima maksimalnu amplitudu od 5 V tokom  $T_m$ :

$$E_{N_{max}} = e_{N_{max}} \cdot T_m \leq 2 \cdot 10^{-6} \text{ V}^2\text{s}$$

$$E_{T_{max}} = u_{1_{max}} \cdot u_{2_{max}} \cdot T_m = 25 \text{ V}^2\text{s} \quad (108)$$

$$e_{N_{rel}} \leq \frac{E_{N_{max}}}{E_{T_{max}}} = 0.08 \text{ ppm}$$

Vidimo da je relativna greška merenja  $e_{N_{rel}}$  manja od 0.08 ppm (0.000008 %). Ovo je ujedno i najniža teoretska vrednost greške SMI (za dati nivo ofseta komparatora). Ovime je uticaj ofseta na rad sveden na praktično zanemariv nivo.

Princip rada unakrsnog preklapanja ulaza kojim se poništava uticaj ofseta dat je na Sl. 14. Ovaj postupak je u praksi dobio kolokvijalni naziv “svičevanje” (od eng. *switching*).

Ova ideja suzbijanja ofseta periodičnim unakrsnim preklapanjem (PUP) ulaza je poznata i široko primenjena tehnika u preciznim operacionim pojačavačima, gde se koristi za poništavanje dinamičkog ofseta. Glavni principi rada su dati u [32] i [33].

U [34] su definisane osnovne tehnike potiskivanja ofseta kao:

- trimovanje (*trimming*),
- čopovanje (*chopping*),

- automatsko nulovanje (*auto-zeroing*).

*Trimming* se vrši tokom proizvodnje operacionog pojačavača (OP).

*Auto-zeroing* predstavlja vrstu semplovanja, gde se ofset prvo meri i onda oduzima tokom narednih perioda takta.

*Chopping* je bazirano na modulaciji u kontinualnom vremenu, gde se signal i ofset modulišu drugačijim frekvencijama. Ovo je dinamička metoda koja kontinualno smanjuje ofset i efekte promene ofseta usled promena temperature i protoka vremena rada.

Savremeni precizni OP poseduju unutrašnju čopersku stabilizaciju, i kako se tvrdi u [35]: “Za postizanje najmanjeg ofseta i drifta, čoperski stabilizovani pojačavači su jedino rešenje”.

Ova tehnika se takođe koristi u MOSFET drajverskim čipovima za naizmenične merne mostove [36].

Nažalost, naponski komparatori sa ovakvom ugrađenom čoperskom stabilizacijom ne postoje, a kod OP sa ugrađenim čopovanjem nije moguće eksterno vršiti kontrolu periode čopovanja. Korišćenje OP kao komparatora ne postiže željene performanse, kao što je objašnjeno u [23] i [33].

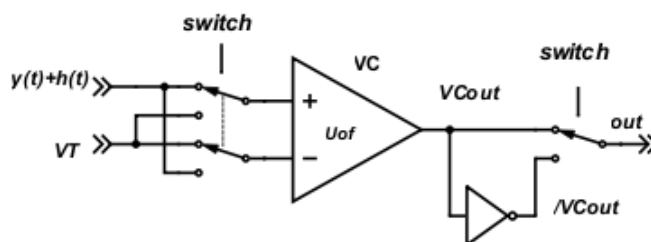
Rešenje je pronađeno u elektronskim prekidačima kojima se vrši PUP ulaznih linija. Ova tehnika je detaljno obrađena kod čoperskih OP, ali za slučaj primene sa komparatorima u SFADC, njihov rad mora biti analiziran.

Dva analogna elektronska prekidača su postavljena na ulaze komparatora i jedan digitalni na njegov izlaz. Analogni prekidači su sinhronizovano kontrolisani signalom prekidanja (*switch*) periode  $T$  koja je jednaka periodi ulaznog signala. Jedan ulaz predstavlja zbir merenog signala i ditera  $y(t)+h(t)$ , dok je drugi naponski prag  $V_T$ .

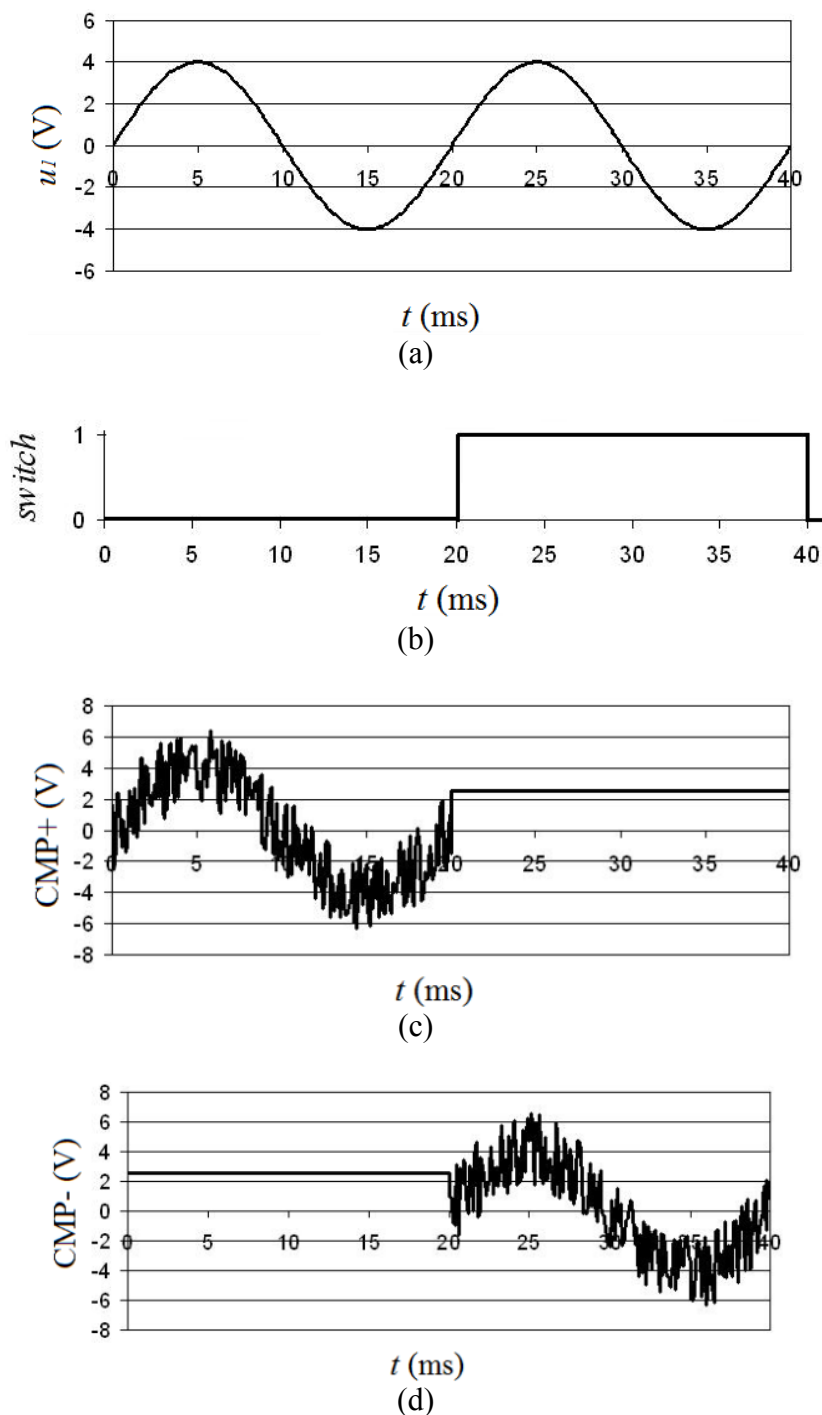
Napon ofseta komparatora  $U_{of}$  se u prvoj periodi dodaje na ulazni signal, dok su prekidači u gornjem položaju. U sledećoj periodi prekidači su u donjem položaju i ofset se oduzima od ulaznog signala jer samo ofset ne menja svoj znak prilikom zamene ulaznih linija.

Izlazni prekidač se sinhrono menja sa ulaznim. Pošto je izlaz komparatora digitalna informacija “0” ili “1”, ovaj prekidač može biti i digitalni. Invertor u drugoj periodi obrće logiku koja je već invertovana zbog zamene ulaznih linija. Ovime se postiže očuvanje nepromenljive logike rada SFADC u oba položaja prekidača.

Ovom metodom se postiže da ofset nema uticaja na naponski prag komparatora, jer se vremenskim usrednjavanjem pozitivnih i invertovanih vrednosti eliminiše tokom merenja. Srednja vrednost ofseta je tako svedena na 0, jer je ofset sporo promenljiva veličina [23] koja zavisi samo od velikih promena temperature, te ne može doći do promene tokom dva perioda merenja.



Sl. 14. Šema primene metode periodičnog unakrsnog preklapanja ulaza komparatora u SFADC kojim se eliminiše uticaj naponskog ofseta u SMI.



Sl. 15. Tipični talasni oblici za vreme PUP ulaza komparatora CMP: (a) ulazni signal  $u_1$ , (b) signal kojim se upravlja elektronskim prekidačima, (c) signal na + ulazu CMP, (d) signal na – ulazu CMP.

U osnovnoj analizi rada “svičevanja” u SMI se može posmatrati na primeru osnovnog 2-bitnog SDEEM na bazi 2-bitnih SFADC.

Posmatramo SFADC<sub>1</sub> sa arhitekturom kao na Sl. 6, a koji je deo SDEEM prikazanom na Sl. 9. Ako je amplituda ulaznog signala  $u_1$  u pozitivnom opsegu napona (0 to 5) V, tada se dodaje diter  $d_1$  koji ima opseg (-2.5 do 2.5) V, što daje diterovani signal  $u_1 + d_1$  sa opsegom amplituda (-2.5 do +7.5) V.

Aktivan je samo komparator VC2<sub>1</sub> sa Sl. 6, čiji naponski prag  $V_T(VC2_1)$  iznosi +2.5, a jedini izvor greške je njegov ofset  $U_{of1}$ . Kada je  $u_1$  negativan, izvor greške je ofset  $U_{of2}$  komparatora VC3<sub>1</sub>.

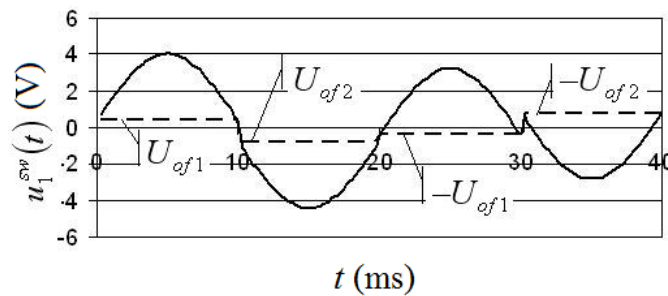
U SDEEM postoji i drugi SFADC identičan prethodnom, SFADC<sub>2</sub>, na koji se dovodi ulazni signal  $u_2$ . Ovom naponu, dok je pozitivan, pridodajemo ofset  $U_{of3}$  komparatora VC2<sub>2</sub> koji se izvor greške u tom slučaju. Kada je  $u_2$  negativan, ofset  $U_{of4}$  komparatora VC3<sub>2</sub> je izvor greške.

Vremenska konstanta ofseta je mnogo duža od perioda mrežnog napona koji se najčešće meri sa SDEEM, pa se može smatrati da je nivo ofseta konstantan [23].

PUP priključaka komparatora se dešava prilikom završetka jednog ciklusa ulaznog signala (20 ms za mrežni napon od 50 Hz). Ofseti se dodaju merenom signalu tokom jedne periode merenog signala, a zatim oduzimaju u sledećoj periodi. Rezultujući napon je tada  $u_1^{sw}$  umesto  $u_1$ . Ovaj proces se automatski izvršava tokom svake periode ulaznog signala.

Ovako dobijena vrednost u sebi sadrži informaciju o postojećim ofsetima, kao u (109):

$$u_1^{sw}(t) = \begin{cases} u_1(t) + U_{of1}, & 0 < t < \frac{T}{2} \\ u_1(t) + U_{of2}, & \frac{T}{2} < t < T \\ u_1(t) - U_{of1}, & T < t < \frac{3T}{2} \\ u_1(t) - U_{of2}, & \frac{3T}{2} < t < 2T \end{cases} \quad (109)$$



Sl. 16.  $u_1^{sw}(t)$  - ulazni napon  $u_1$  sa dodatim ofsetima  $U_{of1}$  i  $U_{of2}$ .

Sl. 16 prikazuje ulazni napon sa dodatim ofsetima  $U_{of1}$  i  $U_{of2}$ , prisutnim u VC2<sub>1</sub> i VC3<sub>1</sub> u SFADC<sub>1</sub>, kao u (109).

Odavde dobijamo dva poznata uslova koja ulazni signal mora da zadovoljava da bi metoda potiskivanja ofseta PUP bila efektivna:

- mora biti periodičan sa periodom  $T$ ,
- mora biti stacionaran najmanje tokom perioda  $2T$ .

Slično sa  $u_1$ , napon  $u_2$  se dovodi na VC2<sub>2</sub> i VC3<sub>2</sub> u SFADC<sub>2</sub>, sa ofsetima  $U_{of3}$  i  $U_{of4}$ , respektivno. Relacija (110) opisuje  $u_2$  sa pridodatim ofsetima.

Ovaj matematički model procesa “svičevanja” uzima ulazne napone  $u_1$  i  $u_2$ , oba sa istom periodom  $T$ , i pretvara ih u napone  $u_1^{sw}$  i  $u_2^{sw}$  sa periodom  $2T$ , koji u sebi nose informacije o svim ofsetima komparatora. Relacija (111.1) opisuje izlaz SMI, za vreme intervala merenja (0 do  $2T$ ), dok (111.2) daje idealan slučaj kada su svi ofseti jednaki nuli.

$$u_2^{sw}(t) = \begin{cases} u_2(t) + U_{of3}, & 0 < t < \frac{T}{2} \\ u_2(t) + U_{of4}, & \frac{T}{2} < t < T \\ u_2(t) - U_{of3}, & T < t < \frac{3T}{2} \\ u_2(t) - U_{of4}, & \frac{3T}{2} < t < 2T \end{cases} \quad (110)$$

$$E_{2T}^{sw} = \int_0^{2T} (u_1^{sw} \cdot u_2^{sw}) dt \quad (111.1)$$

$$E_{2T} = \int_0^{2T} u_1 \cdot u_2 \cdot dt \quad (111.2)$$

Razlika između (111.1) i (111.2) je preostala greška ofseta (*residual offset error*, ROE)  $\Delta E_{2T}^{sw}$  koju stvaraju ofseti komparatora kada je primenjeno PUP na komparatore, kao u (112).

$$\Delta E_{2T}^{sw} = E_{2T}^{sw} - E_{2T} = (U_{of1} \cdot U_{of3} + U_{of2} \cdot U_{of4}) \cdot T \quad (112)$$

Greška  $\Delta E_{2T}^{sw}$  je funkcija četiri vrednosti ofseta i periode  $T$  ulaznog signala. Ako PUP metoda nije primenjena, naponski ofseti se dodaju na ulazne napone bez invertovanja. U tom slučaju,  $u_1^*$  i  $u_2^*$  su naponi koji se javljaju umesto signala  $u_1$  i  $u_2$ , kao u (113) i (114).

$$u_1^*(t) = \begin{cases} u_1(t) + U_{of1}, & 0 < t < \frac{T}{2} \\ u_1(t) + U_{of2}, & \frac{T}{2} < t < T \end{cases} \quad (113)$$

$$u_2^*(t) = \begin{cases} u_2(t) + U_{of3}, & 0 < t < \frac{T}{2} \\ u_2(t) + U_{of4}, & \frac{T}{2} < t < T \end{cases} \quad (114)$$

Relacija (115) prikazuje grešku ofseta (*offset error*, OFE)  $\Delta E_{2T}^*$  merenja tokom intervala (0 do  $2T$ ). Ovo je dominantna greška SFADC kada PUP nije primenjen.



$$\Delta E_{2T}^* = (U_{of1} \cdot U_{of3} + U_{of2} \cdot U_{of4}) \cdot T + 2 \int_0^{\frac{T}{2}} (u_2 \cdot U_{of1} + u_1 \cdot U_{of3}) dt + 2 \int_{\frac{T}{2}}^T (u_2 \cdot U_{of2} + u_1 \cdot U_{of4}) dt \quad (115)$$

Grešku  $\Delta E_{2T}^*$  u ovom matematičkom modelu određuju ofseti prisutni u naponskim komparatorima, kao i talasni oblici oba ulazna signala  $u_1$  i  $u_2$ . Efekat metode PUP može biti određen ako uporedimo (115) sa (112).

Da bi se kvantifikovao ovaj efekat, definiše se *offset cancellation ratio* (OCR), tj. faktor potiskivanja ofseta [14]. OCR predstavlja količnik OFE i ROE kada je primenjena PUP metoda. Faktor OCR omogućava poređenje efikasnosti suzbijanja različitih vrednosti ofseta.

OCR se izražava u decibelima (dB) i računa se kao:

$$\text{OCR} = 20 \log \frac{\Delta E_{2T}^*}{\Delta E_{2T}^{sw}} \quad (116)$$

Pošto konkretne vrednosti ofseta prisutnih u komparatorima nisu poznate i ne mogu se odrediti, (112) se računa uz pomoć maksimalno dozvoljenih vrednosti ofseta  $U_{of \max}$  datih u proizvođačkoj dokumentaciji (*datasheet*) komponente koja se koristi (komparatora), kao u (117).

$$\Delta E_{2T}^{sw} \leq 2U_{of \max}^2 \cdot T \quad (117)$$

Na sličan način, dobijamo (118) iz (115).

$$\Delta E_{2T}^* \leq 2U_{of \max}^2 \cdot T + 2U_{of \max} \cdot \int_0^T (|u_1| + |u_2|) dt \quad (118)$$

Ako sada zamenimo (118) i (117) u (116), možemo odrediti vrednosti faktora OCR kao u Tabeli 3.

Ofset $U_{of}$ mV	Gornja granica OFE $\Delta E_{2T}^*$ $V^2$	ROE $\Delta E_{2T}^{sw}$ $V^2$	OCR dB
5	$50 \cdot 10^{-3}$	$25 \cdot 10^{-6}$	66
4	$40 \cdot 10^{-3}$	$16 \cdot 10^{-6}$	68
3	$30 \cdot 10^{-3}$	$9 \cdot 10^{-6}$	70
2	$20 \cdot 10^{-3}$	$4 \cdot 10^{-6}$	74
1	$10 \cdot 10^{-3}$	$1 \cdot 10^{-6}$	80
0.5	$5 \cdot 10^{-3}$	$0.25 \cdot 10^{-6}$	86

Tabela 3. Gornja granica greške ofseta pri merenju aktivne snage i OCR u funkciji maksimalne vrednosti ofseta u komparatorima.

Proizvođač u dokumentaciji navodi uvek maksimalno dozvoljene nivoe ofseta jer nije moguće tačno odrediti trenutnu vrednost ofseta u pojedinačnom komparatoru. Tipične vrednosti ofseta za širok opseg brzih komparatora kreću se od 0.5 mV do 10 mV, i upravo ovakve vrednosti su odabrane da bi se u razmatranje uključile komponente većeg broja različitih proizvođača [32].

Možemo odrediti gornju granicu OFE pre primene metode PUP, a zatim i ROE kada se primeni metoda PUP. Tada određujemo OCR (u dB) kao logaritam količnika ove dve vrednosti.

Rezultati iz Tabele 3 mogu se uporediti sa karakteristikama savremenih preciznih OP sa čoperskom stabilizacijom, kao što je Analog Devices AD5871 [37]. Ovaj čip ima deklarisanu vrednost naponskog ofseta (1 do 10)  $\mu\text{V}$ , zavisno od temperature okoline, i *slew-rate* od 0.4 V/ $\mu\text{s}$ .

Savremeni brzi komparator, kao što je Analog Devices AD8468, ima tipičan naponski ofset od 2 mV i kašnjenje propagacije do 75 ns [38].

Iz Tabele 3, vidimo da ROE SMI iznosi 4  $\mu\text{V}^2$ , što metodu PUP, primenjenu na brzim komparatorima, čini uporedivom sa čoperskom metodom suzbijanja ofseta kod preciznih OP.

Može se reći da se primenom metode PUP na SFADC efektivno ostvarila nova komponenta - “čoperski stabilizovan naponski komparator (CSVC)”, koja objedinjuje komparatorsku funkciju sa čoperskom stabilizacijom OP.

## 5.4. PREDLOG HARDVERSKOG REŠENJA

Broj semplova (odmeraka)  $N$  ulaznog signala je direktno određen brzinom semplovanja (frekvencijom) i dužinom vremenskog perioda. Može se reći da je broj  $N$  veličina koja je direktno srazmerna brzini tehnologije, tj. tehničkom nivou unapređenosti komponenti koje se koriste.

Iz prethodnih jednačina, ako upoređujemo slučaj merenja sinusnog signala:

- Prelazak sa 2-bitnog na 3-bitni SFADC je ekvivalentan ubrzanju rada od 9 puta.
- Prelazak sa 2-bitnog na 4-bitni SFADC je ekvivalentan ubrzanju rada od 49 puta.
- Prelazak sa 2-bitnog na 5-bitni SFADC je ekvivalentan ubrzanju rada od 225 puta.
- itd.

U opštem slučaju prelazak sa 2-bitnog na  $q$ -bitni SFADC ubrzava vreme semplovanja  $(2^{q-1}-1)^2$  puta.

Na Sl. 17 je prikazano ubrzavanje brzine semplovanja u zavisnosti od broja bita rezolucije SFADC.

Sa grafika je jasno da kriterijum optimalnosti ne može biti brzina tehnologije, jer sa povećanjem rezolucije SFADC, raste i brzina do ili maksimalnog broja bita ili do tehničkog ograničenja brzine. Ovo je klasičan primer slučaja: veće ulaganje – veće i performanse.

Nažalost, česta je inženjerska greška da se kao optimalna opcija uzima opcija sa najboljim performansama.

Da bi se pokazala manjkavost ovakvog pristupa, potrebno je razmotriti koliko svako pojedinačno unapređenje košta, tj. odrediti odnos performanse (tj. dobit)/cena (*benefit-cost ratio*, BCR).

U ovom slučaju, povećanje rezolucije SFADC povlači i komplikovanje hardvera tako da se za svaki dodatni bit rezolucije, složenost hardvera udvostručuje.

U Tabeli 4 je dat pregled zavisnosti broja VC jednog SFADC i jednog SMI u obliku SDEEM sa dva SFADC. Naravno, ovi uređaji u sebi sadrže i druge komponente čiji se broj uvećava, ali broj komparatora nam daje direktnu vezu sa brojem bita i pregled usložnjavanja hardvera.

broj bita	broj komparatora u SFADC	broj komparatora u SDEEM
$q$	$2^q$	$2^{q+1}$
2	4	8
3	8	16
4	16	32
5	32	64
6	64	128
7	128	256
8	256	512
9	512	1024
10	1024	2048

Tabela 4. Broj komparatora u SFADC i SDEEM u zavisnosti od broja bita  $q$ .

Broj komponenti u tabeli jasno pokazuje još neke aspekte koji nisu odmah uočljivi:

- *Kompaktnost uređaja.* Za slučaj preko 5 bita, dobijamo ogroman broj komponenti koje je potrebno smestiti u jedan uređaj. Fizičke dimenzije štampane ploče postaju prevelike za uređaj komercijalne ili industrijske aplikacije, komparatori i prateća elektronika zahtevaju nepraktično veliku površinu i zapreminu uređaja.
- *Integracija komponenti.* Direktna posledica prethodne tačke je uočavanje potrebe da se ceo SFADC modul (ili moduli) integrišu u jedan integrisani čip ASIC ili slične tehnologije. Visok stepen integracije jedino može omogućiti kompaktnost serijskog uređaja, njegovu prihvatljivost u cenovnom i gabaritnom smislu.

Razvoj *custom* čipa sa stepenom integracije koji bi se ovde zahtevao, nije ni jednostavan ni jeftin poduhvat koji je lako izvesti.

- *Stvaranje tržišta.* Iz prethodne tačke se pokazuje potreba povećanja vidljivosti SDMM kako bi se otvorila nova tržišta, povećao broj istraživača i korisnika koji su upoznati sa postojanjem i prednostima ove metode. Samo na taj način je moguće opravdati ulaganja u ovakav čip i serijsku proizvodnju uređaja.
- *Cena korišćenja - potrošnja.* Pretpostavimo da jedan diskretni komparator u režimu aktivnog izlaza troši po 5 mA iz pozitivne i negativne linije napajanja posebno, što je tipična cifra za brze komparatore.

U slučaju 6-bitnog SDEEM, uređaj bi trošio oko 1.3 A struje samo na komparatorski deo. Konzervativnom procenom [23] možemo oceniti da ostatak elektronike troši minimum još toliko. Potrošnja uređaja od 3 A je ogromna za uređaj koji treba da funkcioniše dugo vremena (merenje energije), što povećava cenu korišćenja uređaja.

Ovde se vraćamo i na prvu tačku razmatranja, veličina uređaja je određena zahtevima za snažnim izvorom napajanja, potrebom dobrog hlađenja i bezbednog rada velikog broja komponenti koje se greju. Ovaj efekat može biti ublažen rešenjem iz druge tačke razmatranja, integracijom.

Svakako, očekivana velika toplotna disipacija uređaja smanjuje mogućnosti minijaturizacije uređaja.

- *Greške i pouzdanost.* Naglim uvećavanjem broja komponenti ne uvećava se samo cena, nego i broj mogućih izvora sistematske greške. Svaka dodatna komponenta nosi mogućnost unosa dodatne smetnje ili potpunog kvara.

Uređaj koji ima veću mogućnost otkaza postaje automatski i manje pouzdan, pa time i *skuplji*, jer postoji mogućnost čestih otkaza, reklamacija, neophodnih popravki i kratkog životnog veka uređaja za nivo sredstava uloženog u njega. Broj reda veličine sto ili više komponenti veoma ističe zakon velikih brojeva, gde čak i male greške u svakoj komponenti mogu dovesti do 100 ili više puta većeg efekta u obliku greške merenja.

Kako je osnovna odlika SDMM kontrolisana stohastička greška, ukupna velika sistematska (deterministička) greška bi “maskirala” stohastičku i poništila sve prednosti ove metode. Ovo dalje zahteva velika ulaganja u razvoj dodatnih sklopova za kompenzaciju ove greške, što dodatno usložnjava uređaj i povećava potrebna ulaganja u njegov razvoj i proizvodnju.

## 5.5. OBJAŠNJENJE PREDLOGA

Iz prethodnog razmatranja postaje očigledno da nije optimalno samo povećavati rezoluciju SFADC, jer *cena* koja se mora platiti za to brzo postaje prevelika. Ovde se navodi termin *cena* kao eufemizam za sve negativne prateće efekte, nabrojane u gornjem razmatranju po tačkama.

Ukoliko bi razvili 10-bitni SDEEM kao “najbolji” mogući uređaj, usled praktičnog ograničenja rezolucije fleš A/D konvertora, zaista bi ostvarili najbolje rezultate merenja, tj. najmanju grešku, *ali* verovatno sa nepraktično velikim gabaritima, velikom potrošnjom, ogromnom cenom i potencijalno nekontrolabilnom greškom koja bi poništila performanse uređaja koje ima u teoriji.

Jasno je da je odabir pravog kriterijuma optimalnosti kritičan korak, koji nije trivijalan niti jednostavan za postaviti kao što se to možda na prvi pogled čini.

Polazimo od parametra koji je ključan za svaki merni instrument – od greške merenja.

Relacija (104) definiše grešku u opštem slučaju. Vidimo da ona zavisi od tri parametra:

- $q$  – broja bitova rezolucije,
- $N$  – broja semplova tokom perioda merenja tj. efektivna brzina tehnologije,
- $\left| \Gamma_{\sqrt{q}}(q) \right|$  - preciznost merenja.

Da bi odredili funkciju Optimalnog dizajna (*OD*), potrebno je obuhvatiti međusobnu zavisnost sva tri parametra, posmatrano sa aspekta potrebnih ulaganja tj. usložnjavanja hardvera. Da bi mogli uspešno definisati ovu funkciju, moramo prethodno definisati *kriterijum optimalnosti*.

Kriterijum optimalnosti (*KO*) je predstavljen kao kriterijum nalaženja maksimuma funkcije Optimalnog dizajna *OD*, pri čemu kao rezultat primene kriterijuma dobijamo optimalni dizajn  $\max(OD)$ . *KO* nam daje odgovor na pitanje: “Za koju rezoluciju SFADC se dobija *najisplativiji* BCR?”

Ovo nije kauzalan redosled i deluje kao naopak način definisanja unazad. Zapravo je jasno da idealni dizajn može biti definisan po različitim uslovima, i da zavisi od toga za koju strategiju odlučivanja se odlučimo.

Prva posledica ovoga je da možemo postaviti više nezavisnih funkcija *KO*, i svaku razmatrati posebno.

Druga posledica je da ako odaberemo takav *OD* da je moguće na njega primeniti sve relevantne *KO*, možemo dobiti verifikaciju ispravnog odabira  $\max(OD)$  ako dobijemo istu vrednost za svaki *KO*.

Redom je potrebno definisati *KO* i *isplativost*, zatim *OD*, a potom naći  $\max(OD)$ .

Prvi Kriterijum optimalnosti  $KO_1$  možemo definisati na osnovu (104), za koje  $q$  ćemo ostvariti *najisplativiji* dobitak u vidu povećanja preciznosti merenja. *Isplativost* se ovde može definisati kao pojam “najmanje ulaganja za najveću dobit u performansama”.

Drugi kriterijum optimalnosti  $KO_2$  možemo dobiti ako (104) prepisemo kao (119), gde  $N$  sada predstavljamo u zavisnosti od  $q$  kao  $N_q$ . Sada možemo tražiti  $q$  za koje dobijamo najisplativije povećanje efektivne brzine tehnologije.

$$N(q) \leq \frac{1}{2 \left| \Gamma_{\sqrt{y^2}}(q) \right|^2} \cdot \frac{1}{(2^{q-1} - 1)^2} \quad (119)$$

Vidimo da je efektivna brzina tehnologije izražena kroz ukupan broj semplova, inverzno srazmeran kvadratu preciznosti merenja. Za željenu ili zadatu vrednost preciznosti, brzina semplovanja SFADC može biti niža ako povećamo broj bita (rezoluciju), sa faktorom  $(2^{q-1} - 1)^2$ .

Relaciju (104) možemo da prepisemo i kao:

$$\left| \Gamma_{\sqrt{y^2}}(q) \right|^2 \leq \frac{1}{2N} \cdot \frac{1}{(2^{q-1} - 1)^2} \quad (120)$$

Vidimo da za fiksni broj semplova  $N$ , kvadrat greške se smanjuje sa povećanjem broja bita rezolucije  $q$ , inverzno srazmeran faktoru  $(2^{q-1} - 1)^2$ .

Iz ovako postavljenih funkcija *KO* (119) i (120), zaključujemo da je najbolje rešenje za optimizaciju putem poređenja ulaganja za željene performanse u dva uređaja različitih preciznosti. Ovo poređenje se može predstaviti kao količnik dve relevantne veličine.

Ako znamo da je 2-bitni SFADC osnovna izvedba SMI, možemo je proglasiti da ima najnižu *cenu*, tj. da sve druge izvedbe traže veća ulaganja radi postizanja boljih mernih karakteristika.

Odavde se na prvi pogled logično nameće da se performanse porede sa ulaganjima u osnovni, 2-bitni SFADC.

Korišćenjem (120) dobijamo relaciju (122), pa sada možemo uporediti potreban broj semplova za 2-bitni i za  $q$ -bitni SFADC za postizanje iste preciznosti u oba slučaja.

Iz matematičkog modela znamo da sa povećanjem rezolucije raste i preciznost, tj. očekujemo manju grešku. Drugačije rečeno, za istu preciznost će biti potrebno manje semplova (manja brzina) ako imamo veći broj bita  $q$ .

Definišemo sada da se merenje vrši tako da se postiže ista greška tj. preciznost za  $q$  bita kao u 2-bitnom slučaju:

$$\left| \Gamma_{\sqrt{y^2}}(2) \right| = \left| \Gamma_{\sqrt{y^2}}(q) \right| \quad (121)$$

Ako Optimalni dizajn definišemo kao u primeru za  $OD_0$  (122), očekujemo da će količnik ove dve veličine da raste sa  $q$ , pa možemo tražiti njen maksimum.

$$OD_0 = \frac{N(2)}{N(q)} = \frac{\frac{1}{2 \left| \Gamma_{\sqrt{y^2}}(2) \right|^2} \cdot \frac{1}{(2^{2-1} - 1)^2}}{\frac{1}{2 \left| \Gamma_{\sqrt{y^2}}(q) \right|^2} \cdot \frac{1}{(2^{q-1} - 1)^2}} = (2^{q-1} - 1)^2 \quad (122)$$

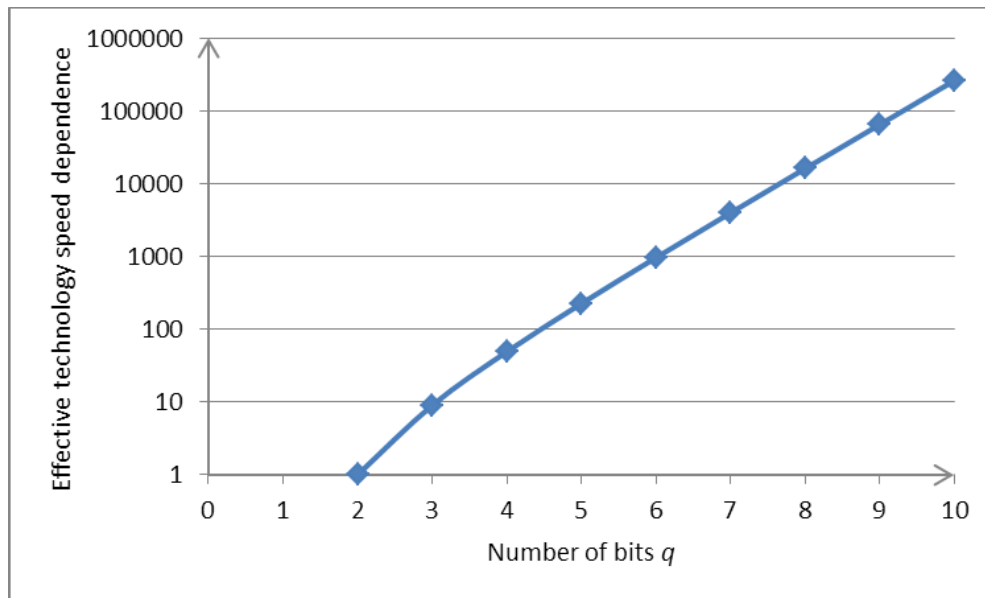
Dobijamo da je ovako postavljena funkcija optimuma jednaka upravo faktoru  $(2^{q-1} - 1)^2$  koji figuriše u izrazima (119) i (120).

Ova funkcija ima isti problem kao početno razmatranje u poglavlju 5.4.

Na Sl. 17 je predstavljen grafik ove funkcije, koja jasno ilustruje zašto  $OD_0$  nije dobra funkcija Optimalnog dizajna. Sa povećanjem broja bita rezolucije  $q$ , povećava se i efektivna brzina tehnologije  $N$  u odnosu na 2-bitni SFADC.

Praktičan broj bita za SFADC je  $q = 2, 3, \dots, 10$ , što znači da ova funkcija ima *maksimum* (za  $q = 10$ ), ali nema *optimum* tj. ne može se primeniti *KO* na nju.

I u ovom slučaju sa porastom ulaganja u rezoluciju, dobijamo bržu tehnologiju, bez sagledavanja uticaja faktora BCR, pa se Optimalni dizajn mora drugačije definisati.



Sl. 17. Zavisnost efektivne brzine tehnologije  $OD_0$  od broja bita  $q$  rezolucije SFADC i date preciznosti merenja, relativno brzini 2-bitnog SFADC.

Postavlja se pitanje kako formulisati funkciju Optimalnog dizajna koja bi mogla da bolje oslika uticaj dupliranja hardvera za svaki bit.

Generalno inženjersko pravilo je da se u slučaju nedoumica, uvek treba osloniti na proverene inženjerske postupke rezonovanja, koji su se pokazali kao pouzdani alati za procenu realnog stanja i rešavanja problema sa previše ili premalo promenljivih.

Murov zakon (*Gordon Moore*, 1929), [39], [40], [41], je jedna od najpoznatijih inženjerskih procena stanja, koji iako nosi naziv “zakon”, zapravo nije nikakav zakon, već predikcija zasnovana na prethodnom iskustvu (*educated guess*).

Ovaj “zakon” je nastao u ranoj eri razvoja mikroprocesora i visoko-integriranih čipova, prvo 1965., a zatim revidiran 1975. u opštepoznatu tvrdnju: “Maksimalni broj tranzistora u čipu najnovije tehnologije se udvostručuje svake dve godine”.

Mur, jedan od osnivača firmi *Intel* i *Fairchild*, pratio je razvoj integrisane tehnologije od samih njegovih početaka, te je iskustveno predvideo da će se tehnologija razvijati brzinom takvom da se broj integrisanih tranzistora duplira svake godine. Ova predikcija je sledeće dekade modifikovana na vreme od dve godine, iako je po nekim izvorima reč o 18 meseci.

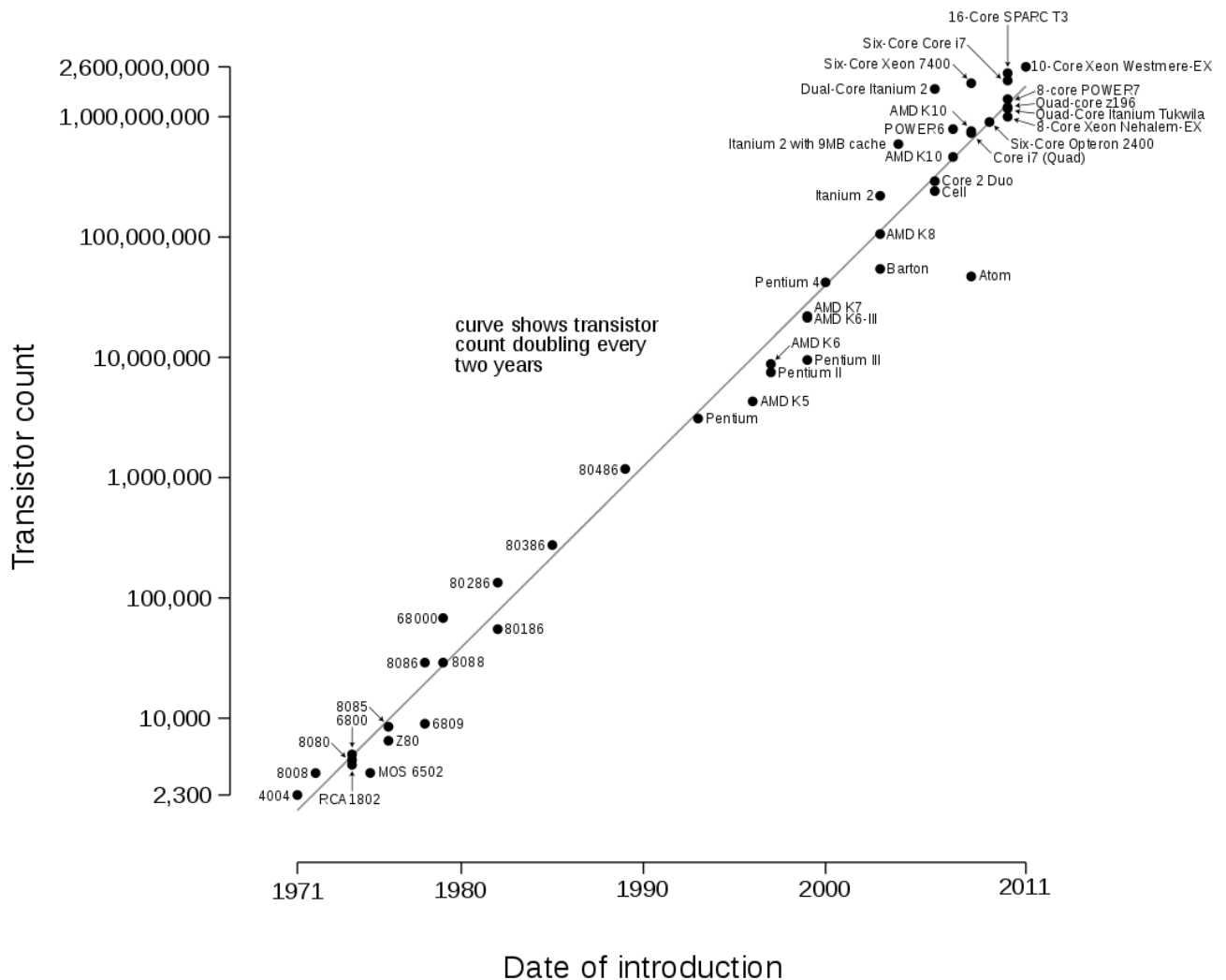
U analogiji sa SMI, možemo reći da je Mur definisao funkciju Optimalnog dizajna putem parametra koji je, za to vreme, najbolje oslikavao napredak u tehnologiji, a to je broj visoko-integriranih tranzistora u jednom čipu, efektivno pokazujući povećanje procesorske moći tadašnjih mikroprocesora.

Ova Murova opservacija je važila skoro 4 dekade, da bi 2012. došlo da neminovnog usporavanja razvoja procesorske snage, usled raznih razloga (dostizanje fizičkih limita sadašnje tehnologije materijala, promena prioriteta razvoja tehnologije, finansijska kriza i nesigurnost tržišta, itd.).

U ovom trenutku (2018. godina) procena je da je period od 24 meseca produžen na 30 meseci.

Ovaj kratak pregled geneze i značaja jednog inženjerskog kriterijuma (poznatog širokoj javnosti), bitan je da bi se objasnio motiv i ideja za rešavanje problema definisanja funkcije optimuma za SMI i SFADC.

Ako napravimo dalju analogiju sa ovim problemom, vidimo da je Murov zakon moguće interpretirati kao: tehnologija se duplo ubrzava (duplira se broj tranzistora u procesoru) za određenu *cenu* (u ovom slučaju to je vreme, tj. period od dve godine).



Sl. 18. Murov zakon – zavisnost broja tranzistora mikroprocesora od godine uvođenja tehnologije 1971-2011. [42]

Vidimo da je Mur predvideo *inkrementalno* (i vidno) poboljšavanje tehnologije, gde je moguće tačno uspostaviti relaciju između dva susedna koraka, gde možemo planirati kada će tehnologija napredovati za određeni iznos (duplo) i po kojoj ceni, tj. za koje vreme (dve godine).

Ovo je dalo ideju da se i za SFADC postavi takav kriterijum: Koliko je očekivano poboljšanje tehnologije (povećanje preciznosti ili efektivne brzine semplovanja) za cenu koju moramo platiti (dupliranje hardvera), pri svakom sledećem koraku – inkrementu u razvoju (povećanje broja bita rezolucije za jedan)?



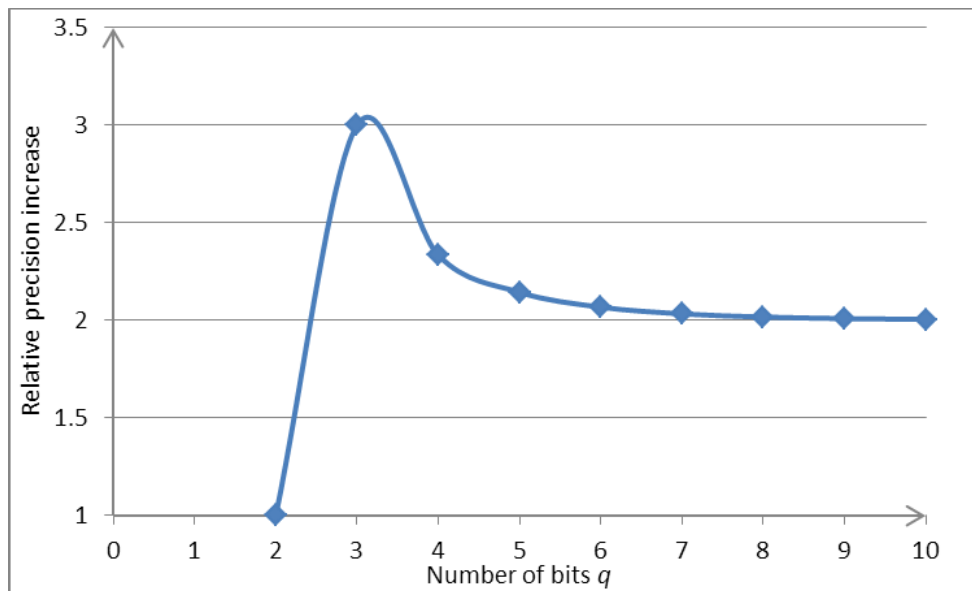
Sada možemo da *OD* definišemo kao odnos dve funkcije, gde jedna funkcija predstavlja verziju druge ali sa duplo više hardverskih komponenti, tj. gde poredimo funkciju sa  $(q-1)$ -bita i funkciju sa  $q$ -bita, pri čemu je zadat parametar vrednosti preciznosti ili efektivne brzine tehnologije ( $\Gamma$  ili  $N$ ).

Maksimum ovako definisanog Optimalnog dizajna će predstavljati faktički *optimum*, i odgovor na pitanje: **U KOM TRENUTKU ĆE SE ZA ULAGANJE U POVEĆANJE REZOLUCIJE SFADC ZA JEDAN BIT DOBITI NAJVEĆA DOBIT U OBLIKU POBOLJŠANJA PERFORMANSI?**

Praktično, ovo je jedna varijanta običnog faktora BCR gde poredimo *cene prelaska* rezolucije sa  $(q-1)$ -bita na  $q$ -bita, da bi našli za koju investiciju u dupliranje hardvera (povećanje rezolucije za jedan bit) se dobija najveći skok u performansama (preciznost ili efektivna brzina tehnologije SFADC).

Funkcija Optimalnog dizajna  $OD_1$  (123) je definisana na osnovu (82), kao odnos preciznosti merenja za  $(q-1)$ -bitni i za  $q$ -bitni SFADC, pri nekoj određenoj efektivnoj brzini tehnologije  $N$ , [43]:

$$OD_1 = \frac{\left| \Gamma_{\sqrt{y^2}}(q-1) \right|}{\left| \Gamma_{\sqrt{y^2}}(q) \right|} = \frac{1}{(2^{(q-1)-1} - 1)\sqrt{2N}} = \frac{(2^{q-1} - 1)}{(2^{q-2} - 1)} \quad (123)$$



Sl. 19. Relativno povećanje preciznosti  $OD_1$  u zavisnosti od broja bita  $q$  rezolucije SFADC, za dati broj semplova  $N$ .

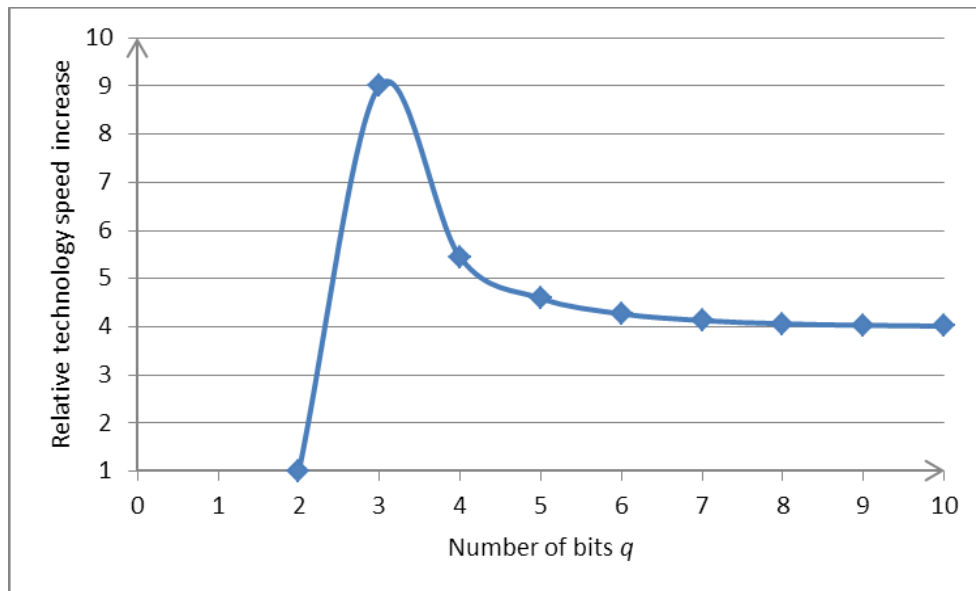
Na Sl. 19 je dat grafik relativnog povećanja preciznosti  $OD_1$ , u funkciji od povećanja broja bita rezolucije za jedan, pri čemu je mogući broj bita SFADC  $q = 3, 4, \dots, 10$ , a broj semplova  $N$  je unapred određen ili zadat.

Funkcija Optimalnog dizajna  $OD_2$  (124) je definisana na osnovu (83), kao odnos brzine tehnologije za  $(q-1)$ -bitni i za  $q$ -bitni SFADC, pri nekoj određenoj (zadatoj) preciznosti merenja  $\left| \Gamma_{\sqrt{y^2}} \right|$ , [43]:

$$OD_2 = \frac{N(q-1)}{N(q)} = \frac{\frac{1}{2(2^{(q-1)-1}-1)^2 \left| \Gamma_{\sqrt{y^2}} \right|^2}}{\frac{1}{2(2^{q-1}-1)^2 \left| \Gamma_{\sqrt{y^2}} \right|^2}} = \frac{(2^{q-1}-1)^2}{(2^{(q-1)-1}-1)^2} = \frac{(2^{q-1}-1)^2}{(2^{q-2}-1)^2} \quad (124)$$

$q$	$OD_1$	$OD_2$
2	-	-
3	3.0000	9.0000
4	2.3333	5.4444
5	2.1429	4.5918
6	2.0667	4.2711
7	2.0323	4.1301
8	2.0159	4.0637
9	2.0079	4.0316
10	2.0039	4.0157

Tabela 5. Vrednosti Funkcija Optimalnog dizajna  $OD_1$  i  $OD_2$  u zavisnosti od broja bita  $q$ .



Sl. 20. Relativno ubrzanje efektivne brzine tehnologije  $OD_2$  u zavisnosti od broja bita  $q$  rezolucije SFADC, za datu vrednost rezolucije merenja.

Sl. 20 prikazuje grafik optimalnog dizajna  $OD_2$  za porast relativne ekvivalentne brzine tehnologije sa povećanjem broja bita rezolucije za jedan, za  $q=3, 4, \dots, 10$ .

## 5.6. POTVRDA HIPOTEZE

Analizom grafika sa Sl. 19 i Sl. 20, vidimo da je u oba slučaja postignut isti rezultat. Maksimum funkcije se postiže za slučaj prelaska sa 2-bitnog na 3-bitni SFADC, tj. maksimum obe funkcije,  $\max(OD_1)$  i  $\max(OD_2)$ , javljaju se pri  $q = 3$ .

Ovaj doprinos je izrazito veći od svi drugih, i sa porastom broja bita rezolucije sve je manji. Smisao ovog rezultata je da je ulaganje u dodatni hardver najisplativije za poboljšanje performansi prelaska sa 2 na 3 bita rezolucije. Sva dalja ulaganja u sve kompleksniji i veći hardver, kao rezultat imaju bolje performanse uređaja ali po mnogo većoj *ceni* [43].

Možemo reći da 3-bitni SFADC ima najbolji odnos dobit/cena, tj. BCR. Dalje povećanje broja bita rezolucije daje sve lošiji odnos ulaganja i postignutih performansi.

Ovo je veoma bitan rezultat, u smislu da postojeća stohastička teorija razmatra samo povećanje preciznosti merenja sa povećanjem rezolucije SFADC, tj. ima striktno matematički pristup gde se razmatraju samo performanse.

*KO* daje praktično ograničenje za rezoluciju SFADC za postizanje najpovoljnijeg faktora BCR, uvodeći princip inženjerskog projektovanja gde se razmatraju performanse, ali i troškovi tehnologije.

Uz primenu 3-bitnih SFADC u nekom SMI zasnovanom na SDMM dobijamo uređaj koji zadovoljava tri bitna uslova:

- preciznost (stohastika),
- tačnost (eliminisanje sistematske greške putem PUP) [26],
- najekonomičniji dizajn (kriterijum optimalnosti).

Ovime je dokazana početna hipoteza o postojanju optimuma rezolucije SFADC.

Odgovor glasi: ***OPTIMALNI BROJ BITA REZOLUCIJE SFADC je  $q = 3$ .***

Kao dodatni zaključak, možemo rekurzivno primeniti ovaj postupak i na razmatranje rezultata Murovog zakona.

Na Sl. 19 dat je porast broja integrisanih tranzistora (BIT) u čipu, u zavisnosti od godine razvoja tehnologije.

Pošto je BIT dat na logaritamskoj skali, imamo logaritamski porast BIT sa protokom vremena. Takođe, poznato nam je da za dalje godine, koje nisu prikazane na ovom grafiku, dolazi do odstupanja od ove pravilnosti i opadanja logaritamske progresije.

Ovo nam sugerije da se optimum ove krive desio negde tokom ranijeg perioda (“stara dobra vremena”) i da za dalji protok vremena imamo sigurno lošiji prirast napretka tehnologije izraženog u BIT.

U analogiji sa traženjem optimuma rezolucije SFADC, ovde kao kriterijum traženja optimuma možemo postaviti dva moguća maksimuma koja su se već desila na krivi:

- **Najveće povećanje BIT u toku perioda od dve godine.**

Pretpostavljamo da procena o dupliranju ne može da bude potpuno egzaktna, pa očekujemo da je u nekim periodima stvaran doprinos bio veći od 2, a u nekim manji.

Pronalaženjem perioda od dve godine (ili niza takvih perioda) gde je povećanje BIT najveće, možemo reći da se desio *optimum* tj. maksimum funkcije (kako smo definisali za SMI), odnosno gde se desio najveći napredak tehnologije u jednom periodu, tj. *period najvećeg napretka* (u terminima razvoja integrisane tehnologije).

- **Najkraći period za koji je postignuto dupliranje BIT.**

Kao u prethodnom slučaju, dupliranje BIT se moglo ostvariti u periodu kraćem ili dužem od dve godine.

Optimum (maksimum funkcije) bi bio najkraći vremenski period za koje je postignuto dupliranje BIT, odnosno period *najbržeg razvoja tehnologije* (prema Murovoj terminologiji).

Razmatranje konkretnih vrednosti i izračunavanje ovih optimuma izlazi van okvira ove teze, ali je pokazana bitna činjenica o rezonovanju na nivou razvoja tehnologije.

Analogijom sa Murovim zakonom iz oblasti razvoja integrisane tehnologije, dobili smo alat za pronalaženje optimalne rezolucije stohastičkog uređaja.

Vraćanjem unazad i promenom kriterijuma optimalnosti za stohastički slučaj na Murov zakon, opet kroz adekvatnu analogiju, dobili smo validan rezultat.

Ovo kauzalno-rekurzivno povezivanje dva nezavisna skupa (tehnologija), čiji rezultat je pozitivan ishod u jednom i drugom smeru, dodatno potvrđuje ispravnost ideje za Optimalni dizajn i primene Kriterijuma optimalnosti.

## 6. SOFTVERSKE SIMULACIJE

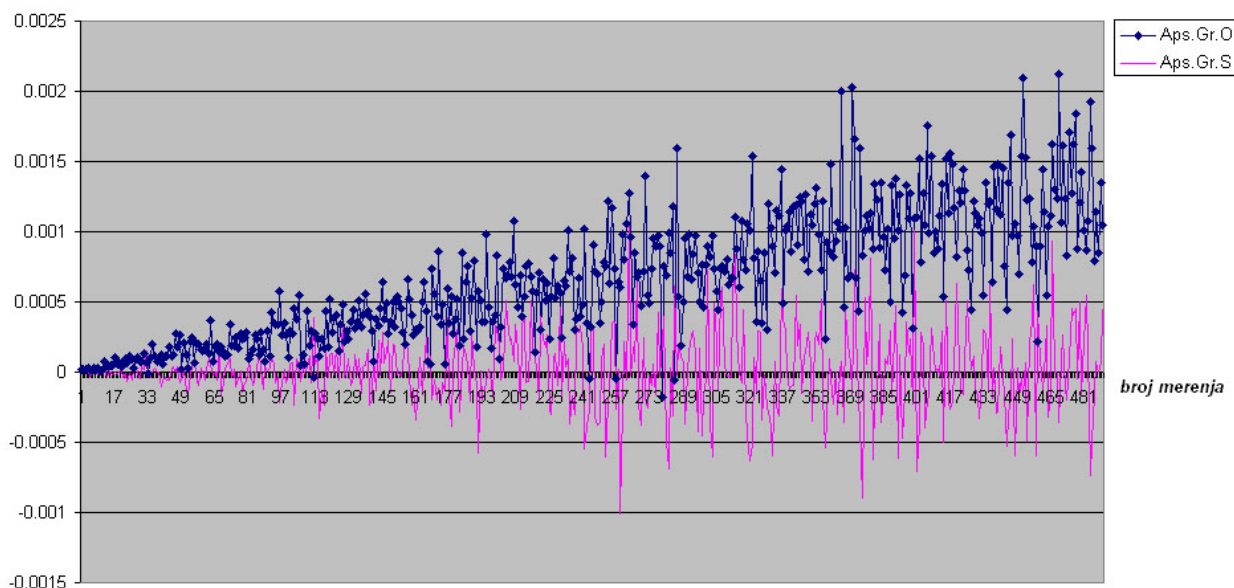
Simulacija rada 4-bitnog SDEEM je vršena u programskom jeziku DELPHI.

Naglasak je stavljen na utvrđivanje:

- preciznosti merenja u zavisnosti od dužine perioda merenja,
- uticaja ofseta komparatora na grešku merenja,
- efikasnost PUP metode za potiskivanje greške merenja usled postojanja velikih ofseta.

Naveden je jedan primer koda za simulaciju rada sa primenjenom PUP metodom i simuliranim ofsetima na svim komparatorima (Prilog 2).

### 6.1. REZULTATI SIMULACIJA



Sl. 21. Rezultati simulacionog određivanja Apsolutne Greške (u voltima) bez PUP metode (plava) i sa primenjenom PUP metodom (crvena), oba slučaja sa ofsetima u komparatorima.

Simulacijom merenja u 500 tačaka sa ofsetom na ulazima komparatora vrednosti 10 mV (što je vrednost daleko iznad realne, koja ne prelazi 1-2 mV).

Plava kriva prikazuje kretanje greške merenja kada postoje ofseti na komparatorima.

Vidi se drastično povećanje greške usled postojanja ofseta.

Crvenim je prikazana situacija kada postoje isti ofseti uz primenjenu PUP metodu eliminacije ofseta.

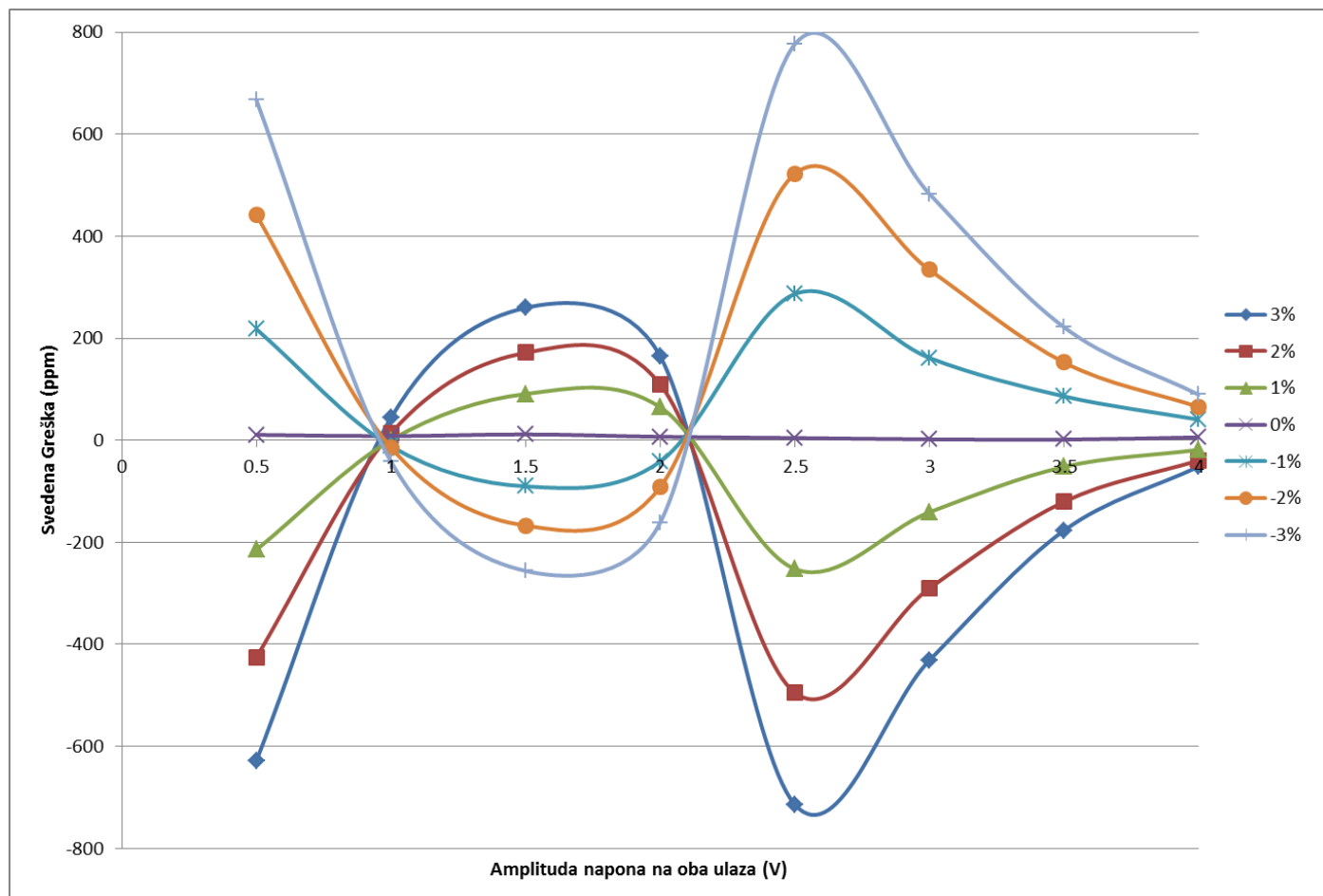
Vidi se da je komponenta porasta greške eliminisana u potpunosti i da je prisutno jedino rasipanje oko srednje vrednosti, što je inherentno samoj stohastičkoj prirodi merenja SDMM metodom, te da nema uočljive razlike između idealnog slučaja bez ofseta i slučaja gde je sa prisutnim ofsetima primenjena PUP metoda, što se ilustruje na Sl. 24 – 30.

Sl. 22 pokazuje uticaj razdešenosti očekivanog opsega ditera na Svedenu Grešku (izraženu u ppm), pri merenju amplitude ulaznog prostoperiodičnog napona na 10 sekundi.

Opseg ditera je menjan od -3 % do +3 % od normalne vrednosti, u koracima po 1 %.

Dobijena je izrazito nelinearna zavisnost greške od ulaznog napona. Od izuzetne važnosti je da opseg ditera bude ispravno podešen, pošto izrazito utiče na ukupnu grešku merenja.

Matematički model uticaja razdešenosti opsega ditera je dat u [21], ali za slučaj višebitnih SMI, ovaj model postaje previše komplikovan i nije dalje razmatran.



Sl. 22. Uticaj razdešenosti opsega ditera (u %) na Svedenu Grešku (u ppm), pri merenju amplitude prostoperiodičnog napona na ulazu, tokom periode od 10 sekundi.

Sl. 23a i Sl. 23b pokazuju rezultate simulacije efikasnosti PUP metode, gde je uticaj ofseta sa Sl. 22 potisnut na nivo ispod 240 ppm pri merenju na 10 sekundi, i ispod 130 ppm pri merenju na 40 sekundi.

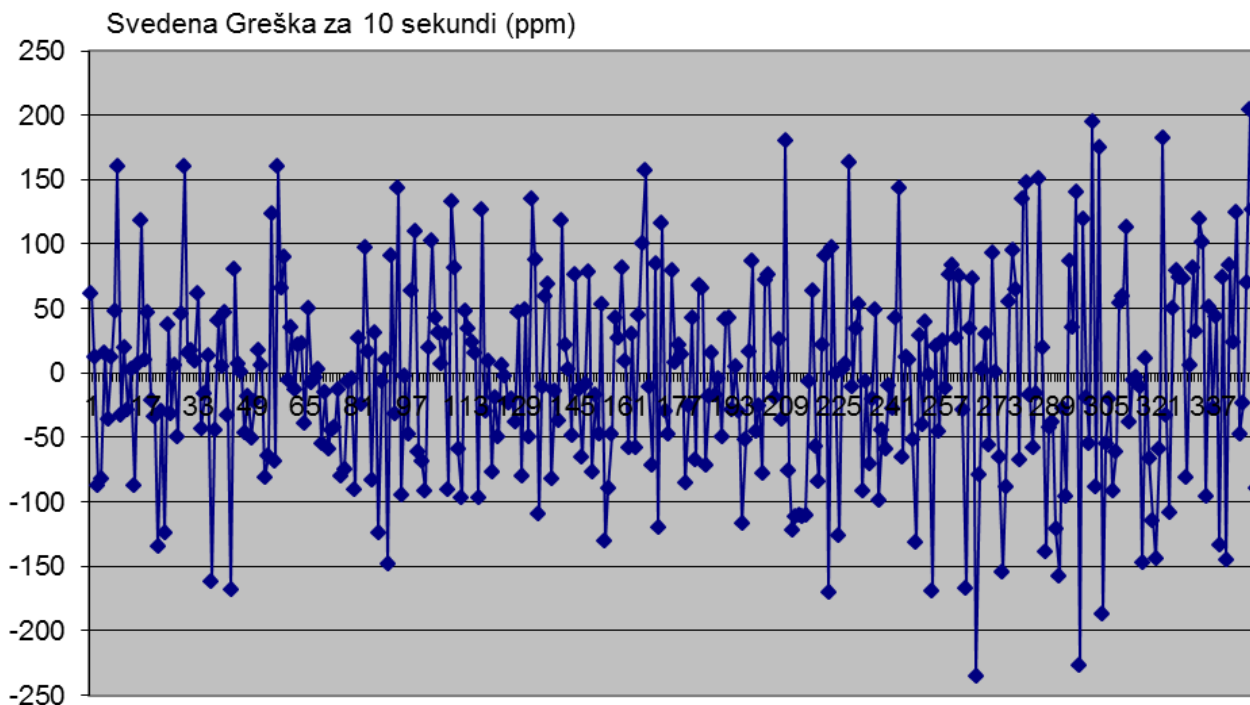
Zbog praktičnosti, sve dalje simulacije su za slučaj kada su na oba ulaza isti signali, kao što je i predviđeno da se meri na prototipu.

Množenjem sa vrednošću trajanja periode ulaznog signala, dobijamo simulacione vrednosti kvadrirane merene efektivne vrednosti napona (RMS) koji se meri.

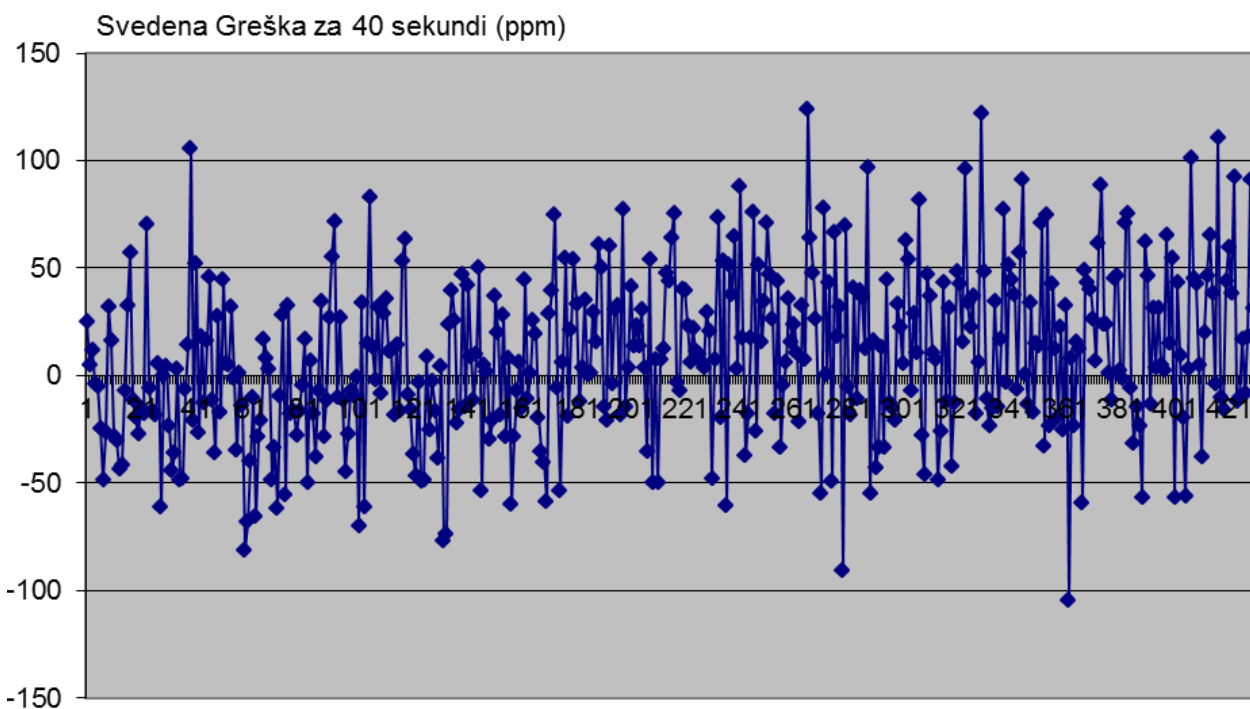
Na oba ulaza su naponi pa se vrednost izražava u jedinici V\*V.

Urađena je serija simulacija:

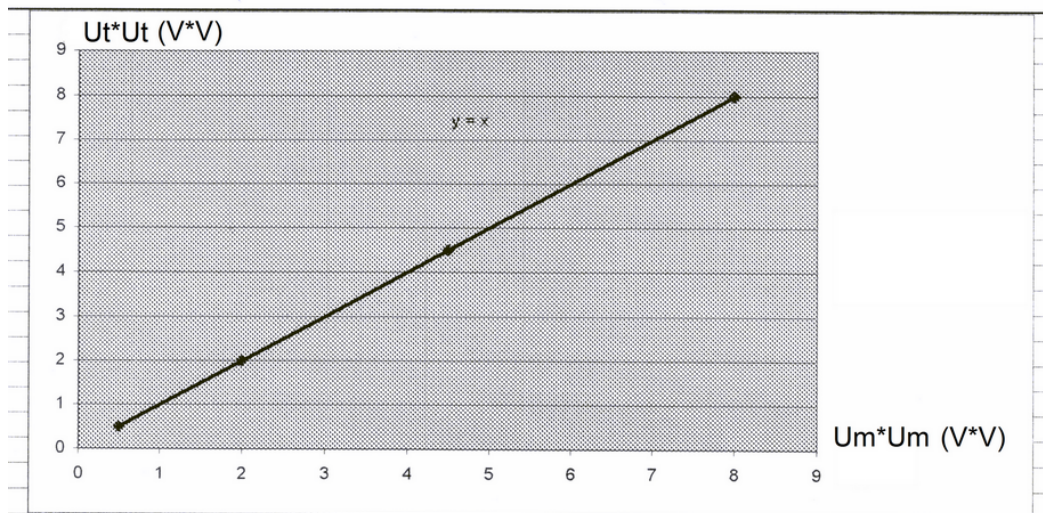
- idealnog slučaja bez ofseta i bez PUP (Sl. 24)
- sa jednakim ofsetima na svim komparatorima i sa PUP (Sl. 25 i Sl. 26)
- sa različitim ofsetima na komparatorima i bez PUP (Sl. 27)
- sa različitim ofsetima na komparatorima i sa PUP (Sl. 28)
- za razne vremenske periode merenja (Sl. 29 i Sl. 30)
- za vrednosti stanja brojača u zavisnosti od RMS vrednosti ulaznog napona (Sl. 31)



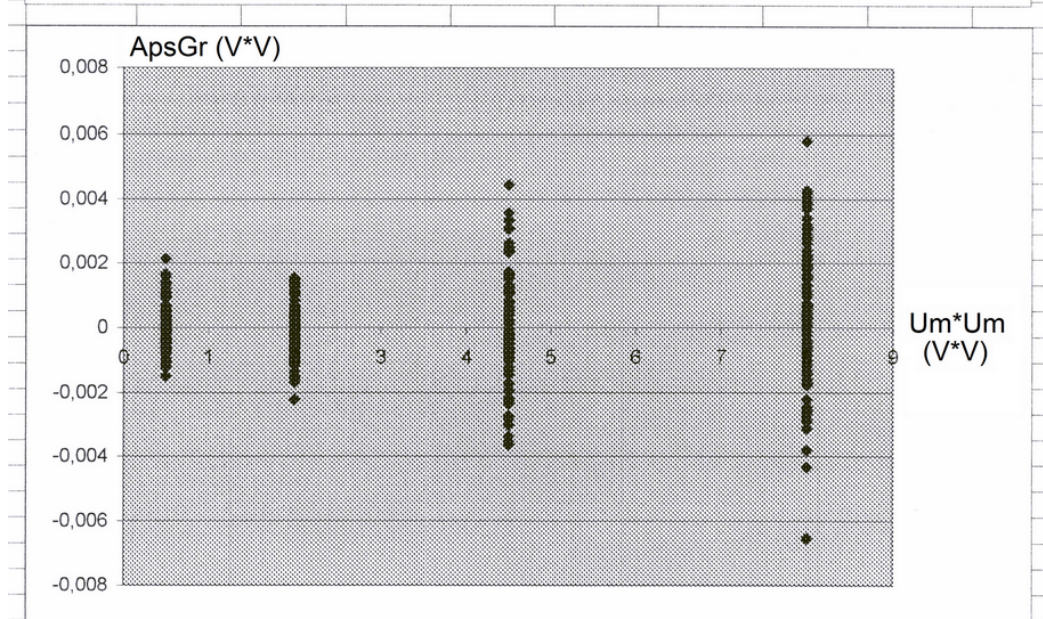
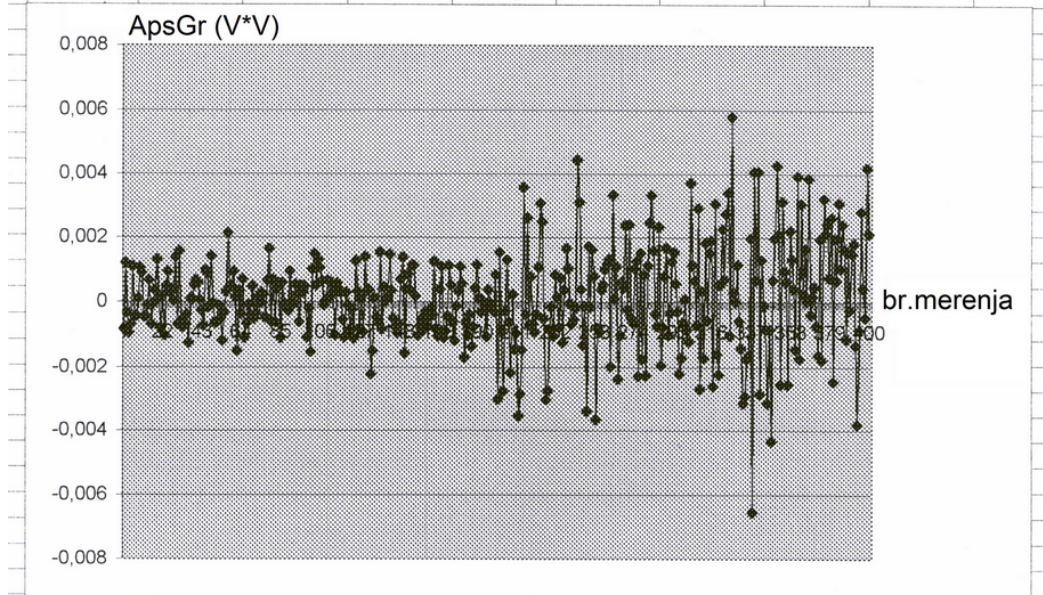
Sl. 23a. Svedena Greška (u ppm) simulacije 10 merenja sa PUP metodom na 10 sekundi.



Sl. 23b. Svedena Greška (u ppm) simulacije 10 merenja sa PUP metodom na 40 sekundi.

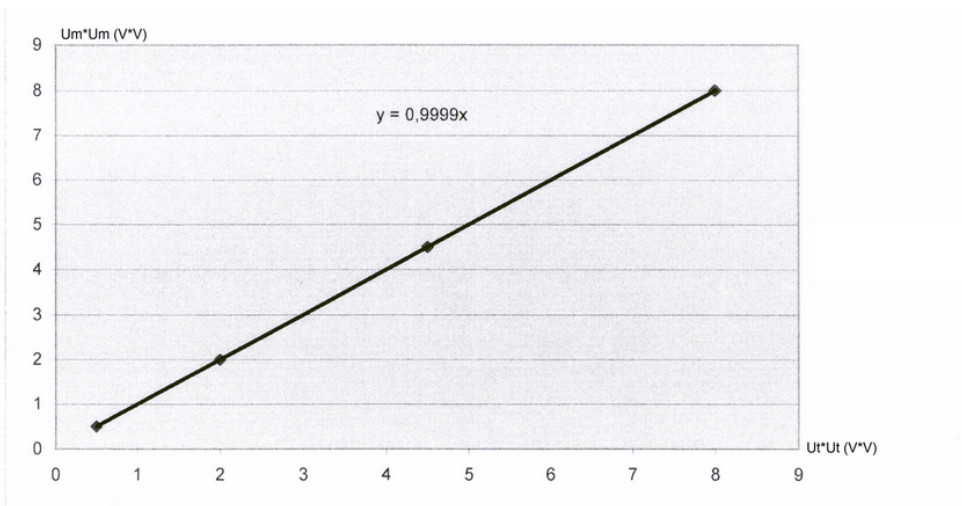


avg APsGr 0,00112

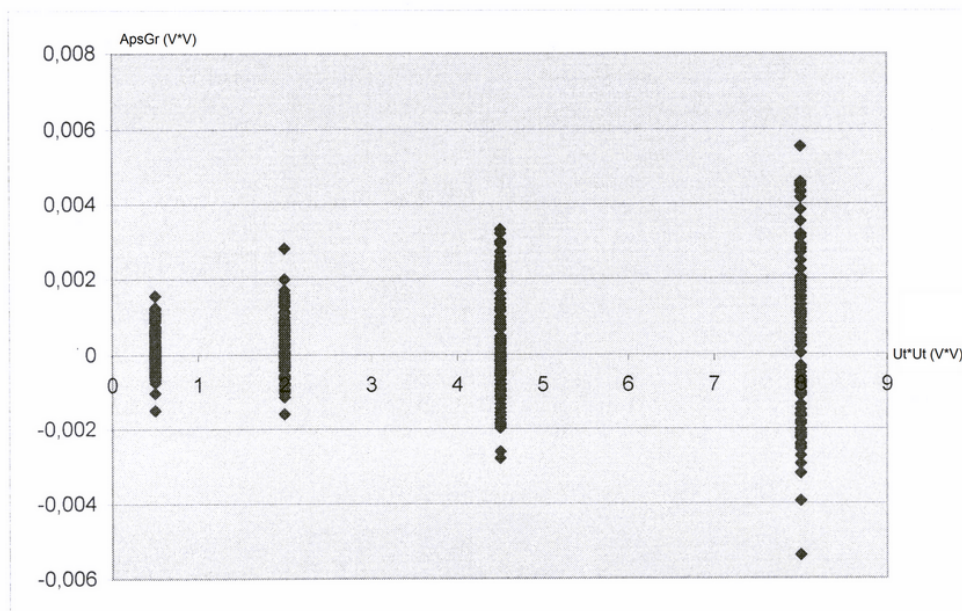
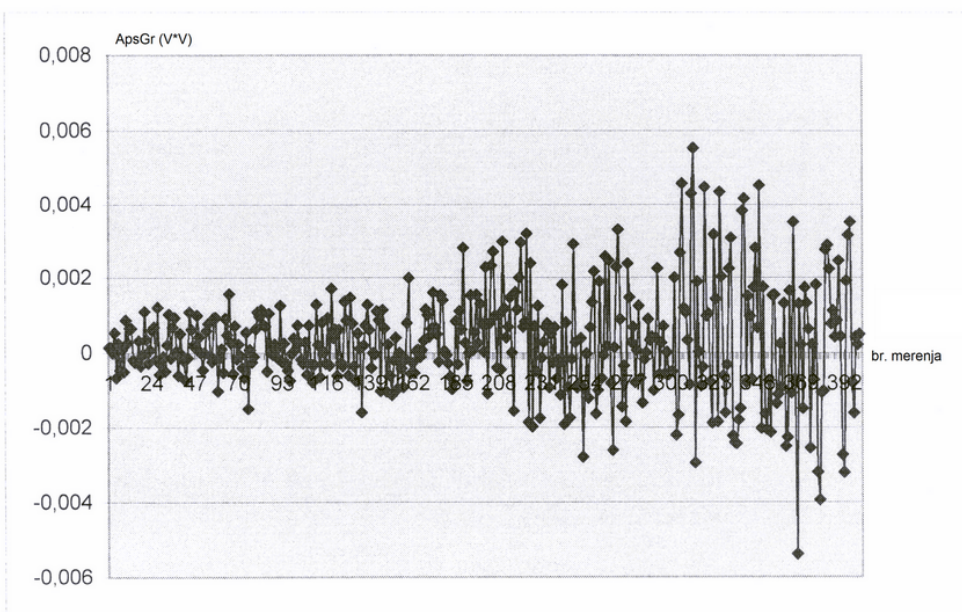


Sl. 24. Idealan slučaj, nema ofseta, nema PUP metode.  $T = 20$  ms,  $T_m = 2$  s.

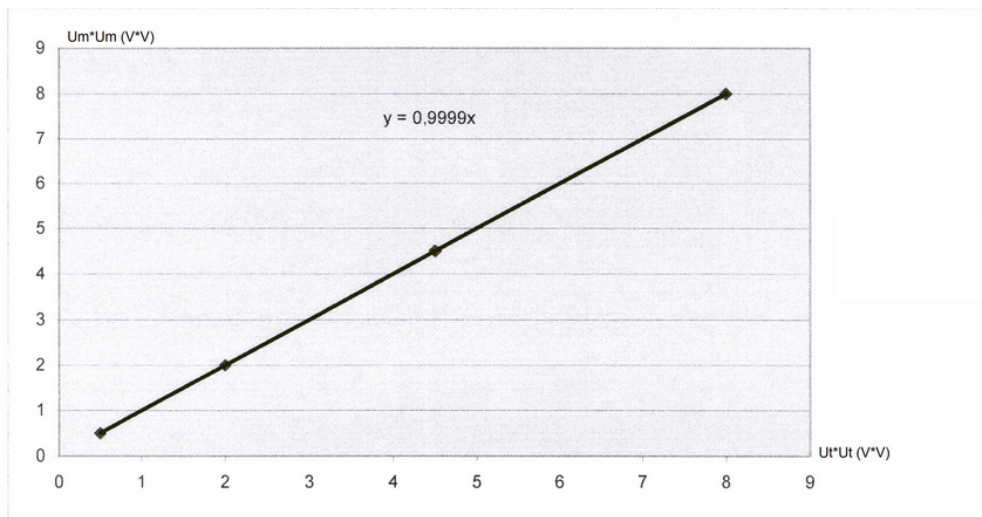




avg ApsGr 0,00102      avg RelGr 0,043455 %

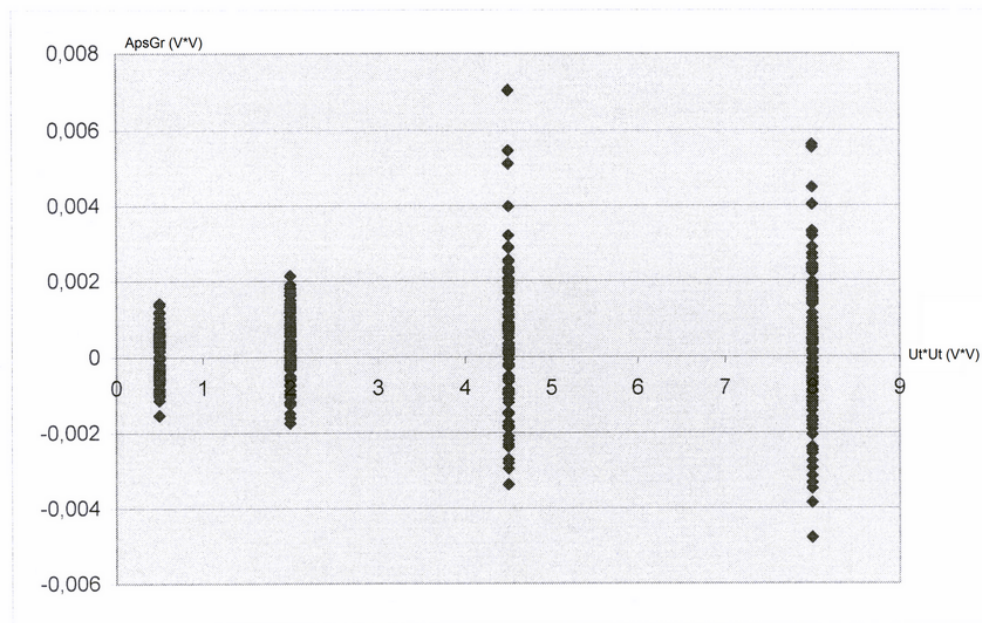
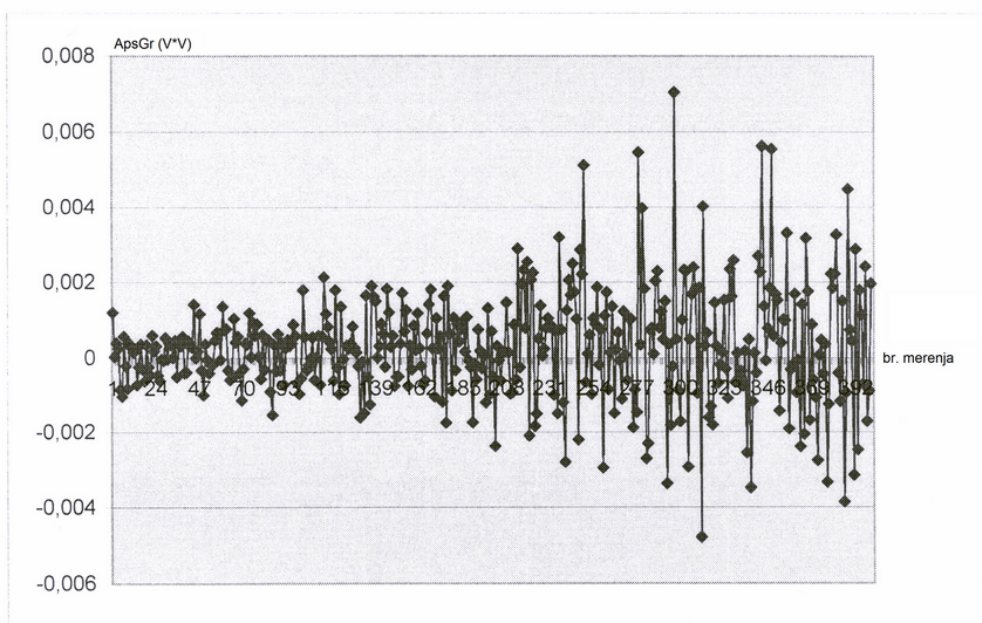


Sl. 25. Ofseti na svim komparatorima +10 mV, uključena PUP metoda.  $T = 20$  ms,  $T_m = 2$  s.

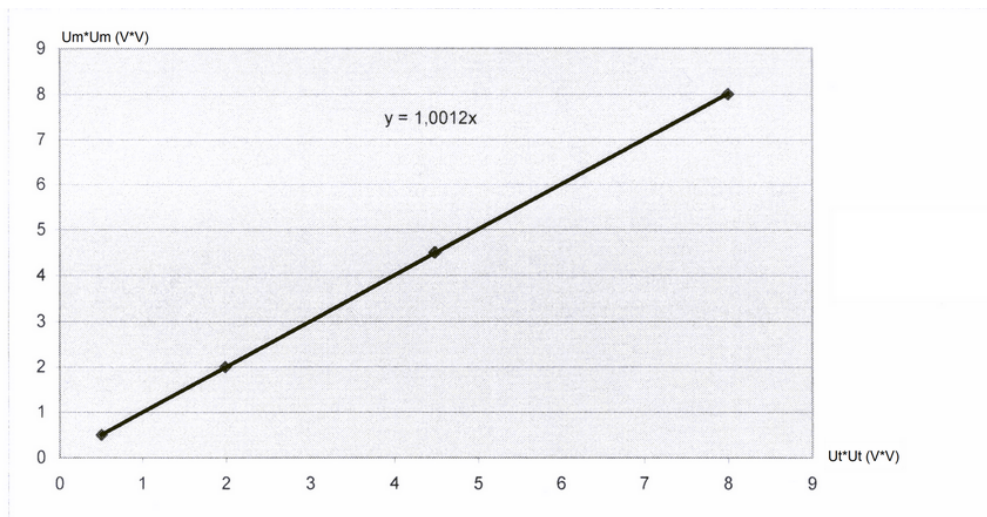


avg APsGr 0,001054

avg Relgr 0,046993 %

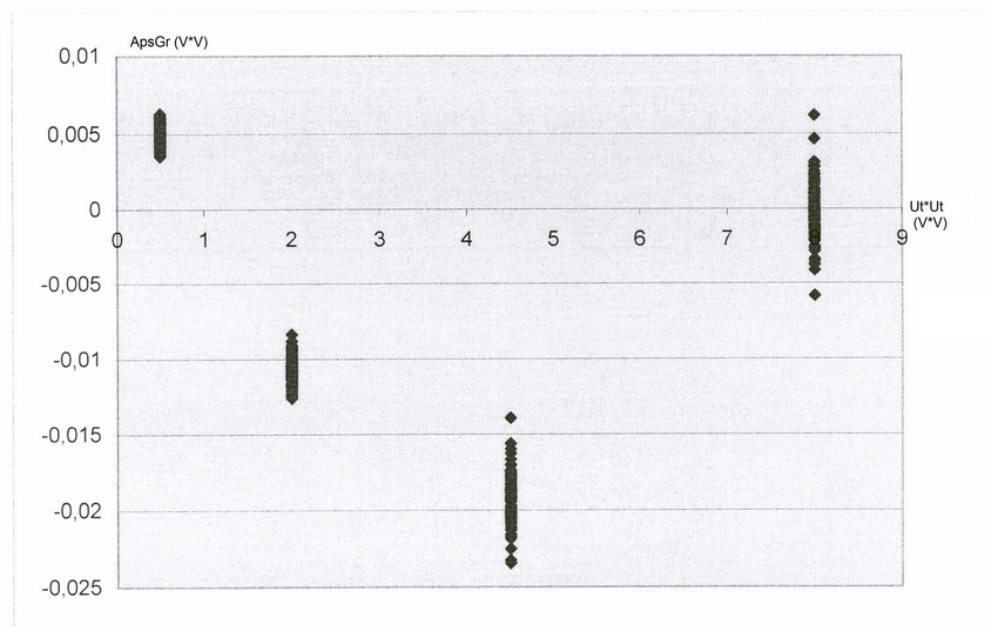
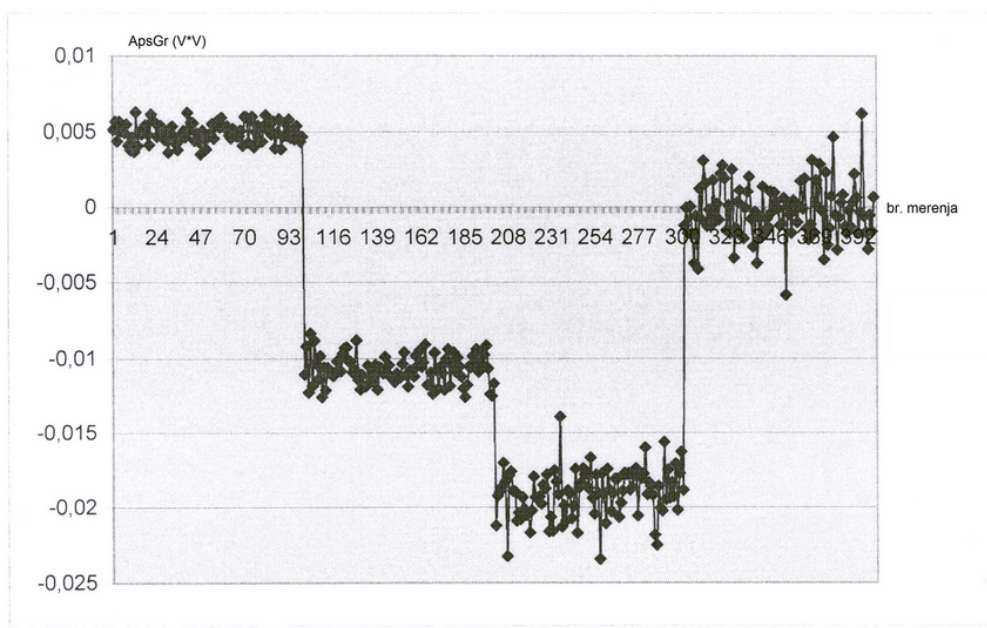


Sl. 26. Ofseti na svim komparatorima +20 mV, uključena PUP metoda.  $T = 20$  ms,  $T_m = 2$  s.

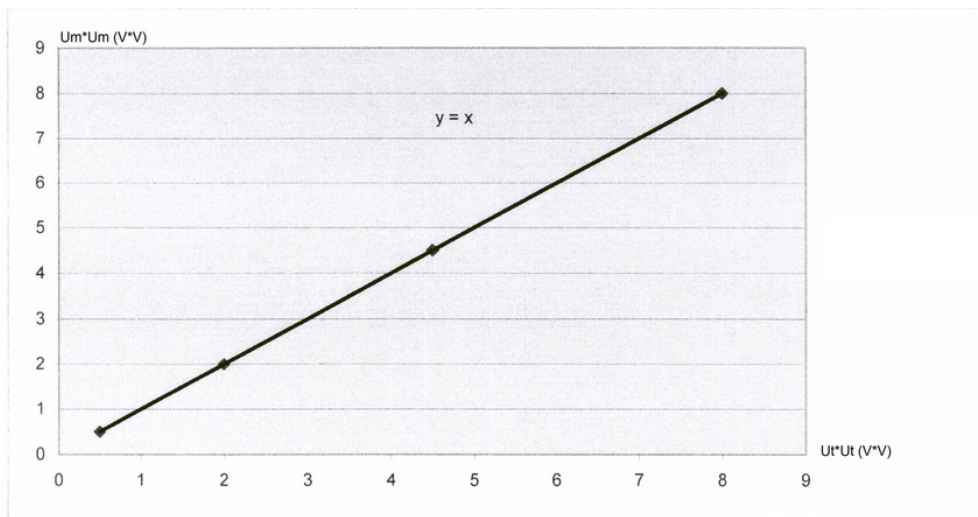


avg APsGr 0,009069

avg RelGr 0,493905 %

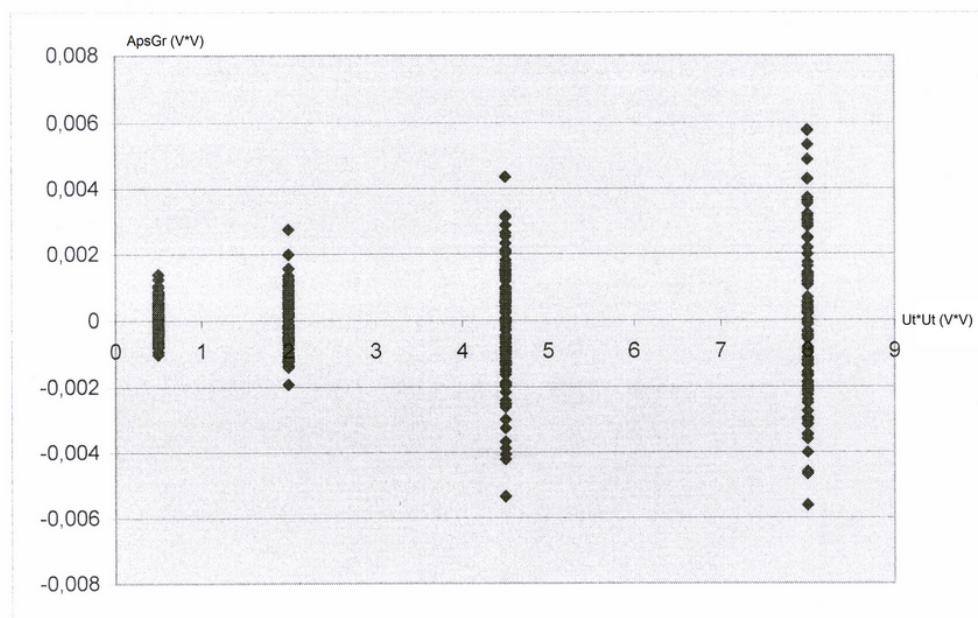
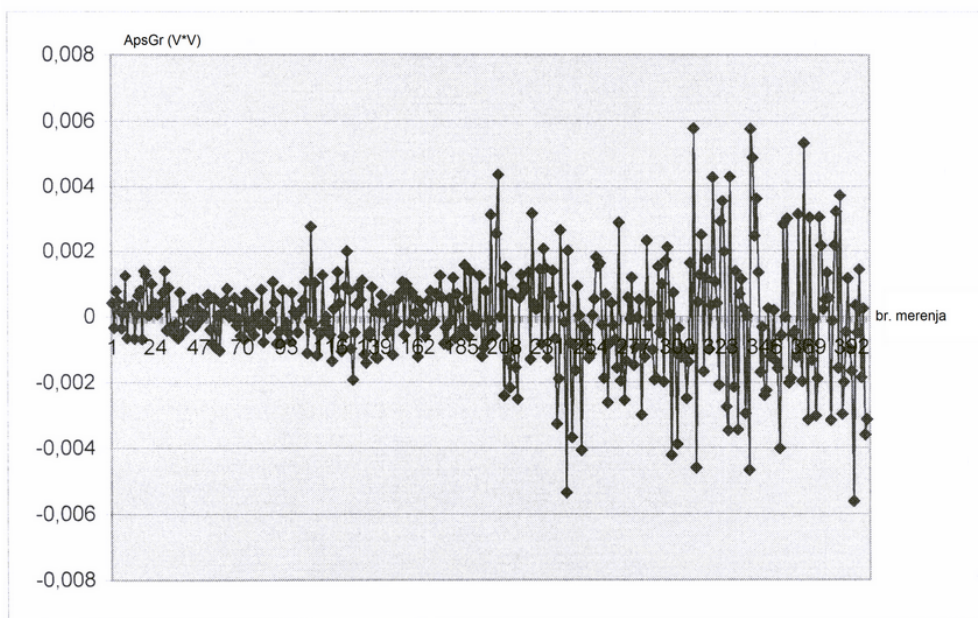


Sl. 27. Ofseti na komparatorima od -20 mV do +10 mV, nije uključena PUP metoda.  $T = 20$  ms,  $T_m = 2$  s.

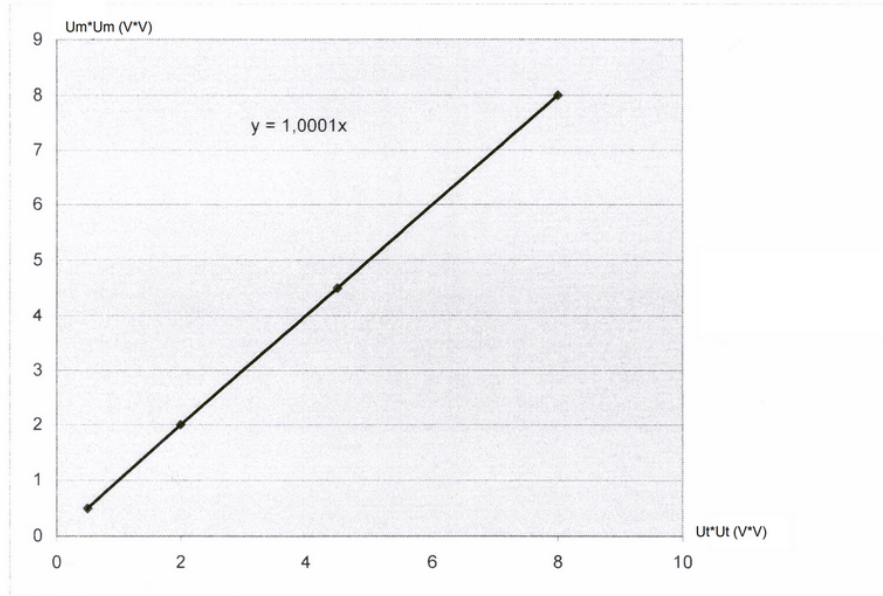


avg APsGr 0,001117

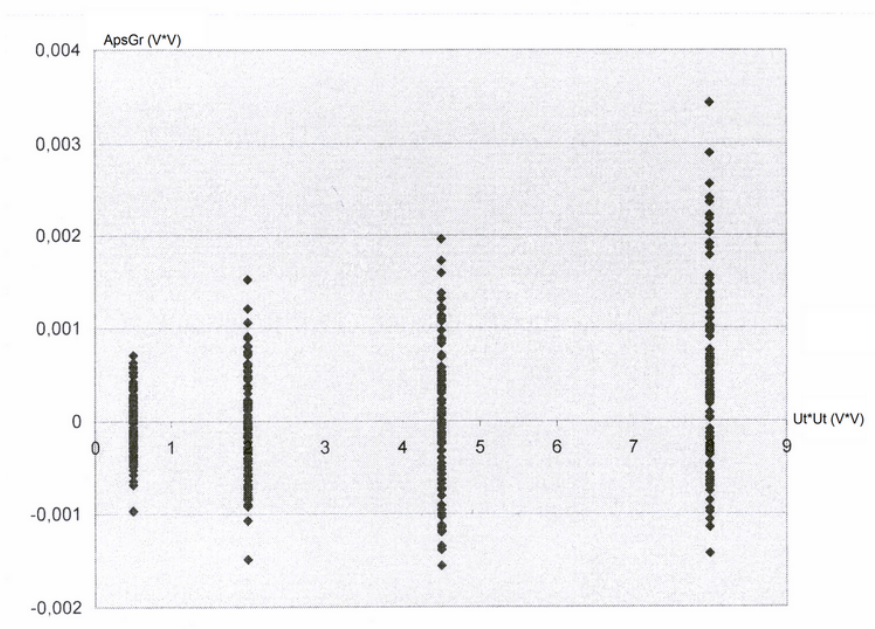
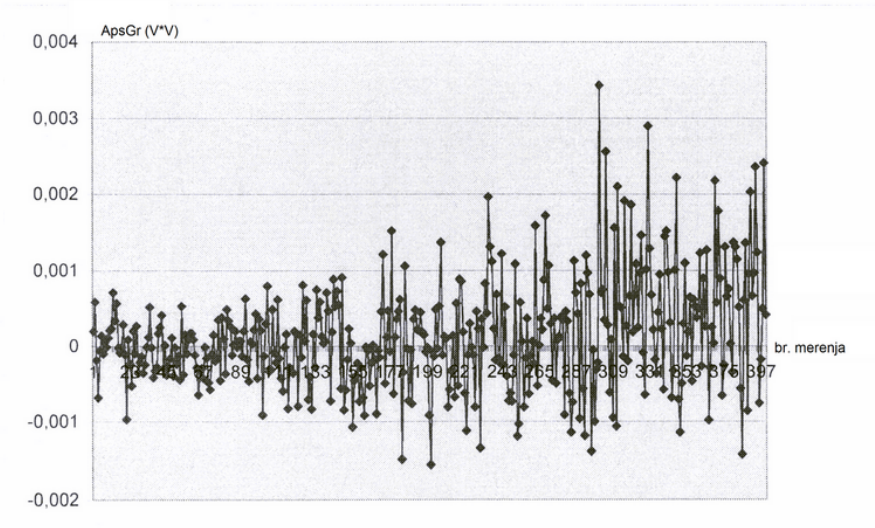
avg RelGr 0,044941 %



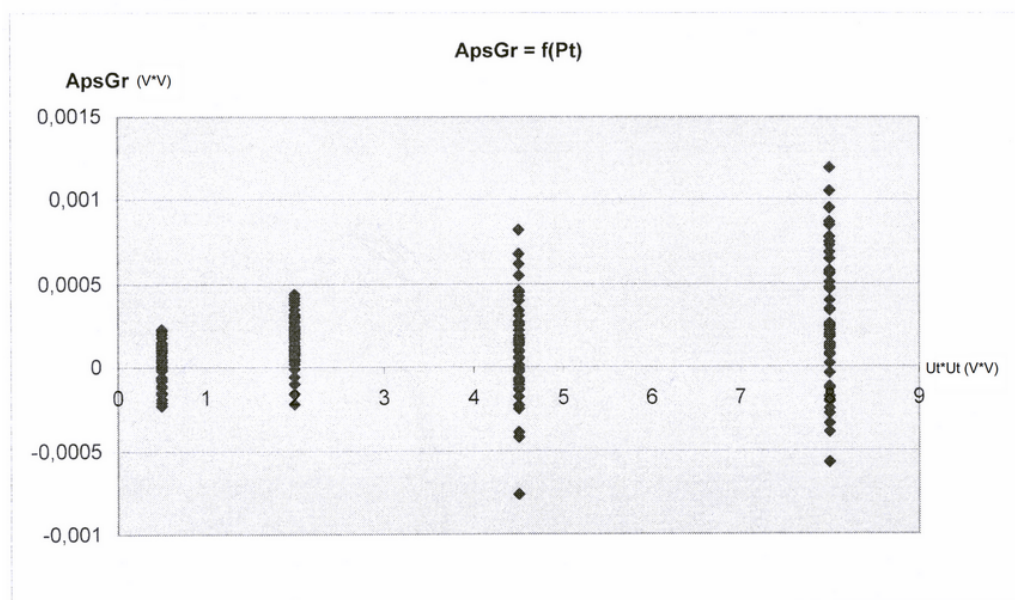
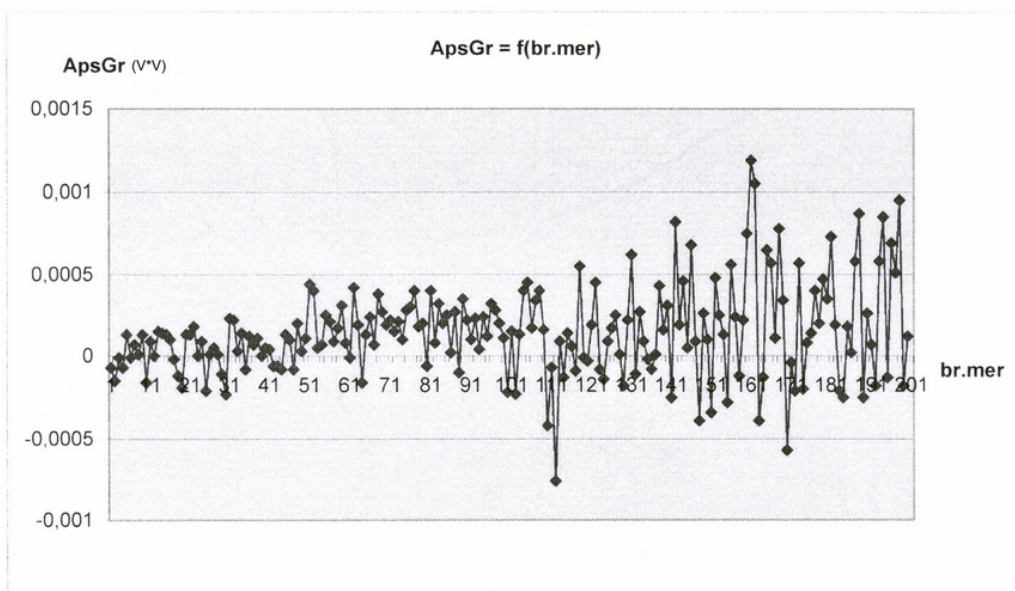
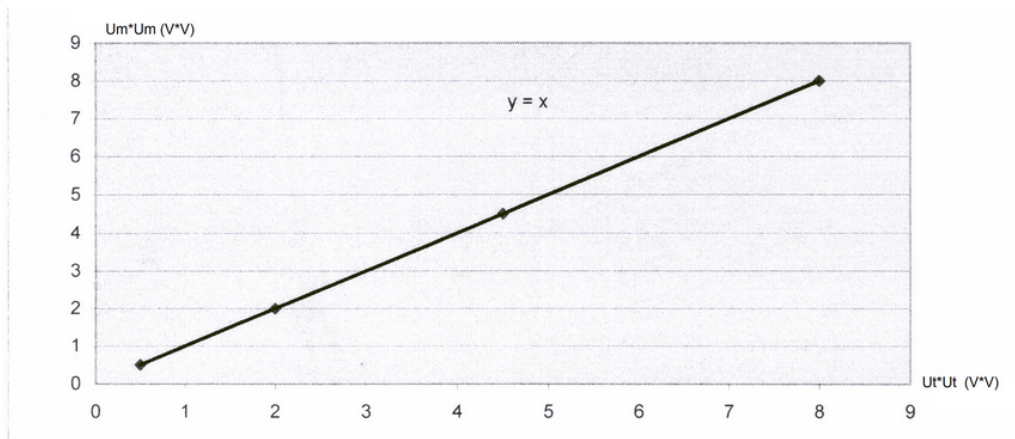
Sl. 28. Ofseti na komparatorima od -20 mV do +10 mV, uključena PUP metoda.  $T = 20$  ms,  $T_m = 2$  s.



avg ApsGr 0,00054      avg RelGr 0,024271 %



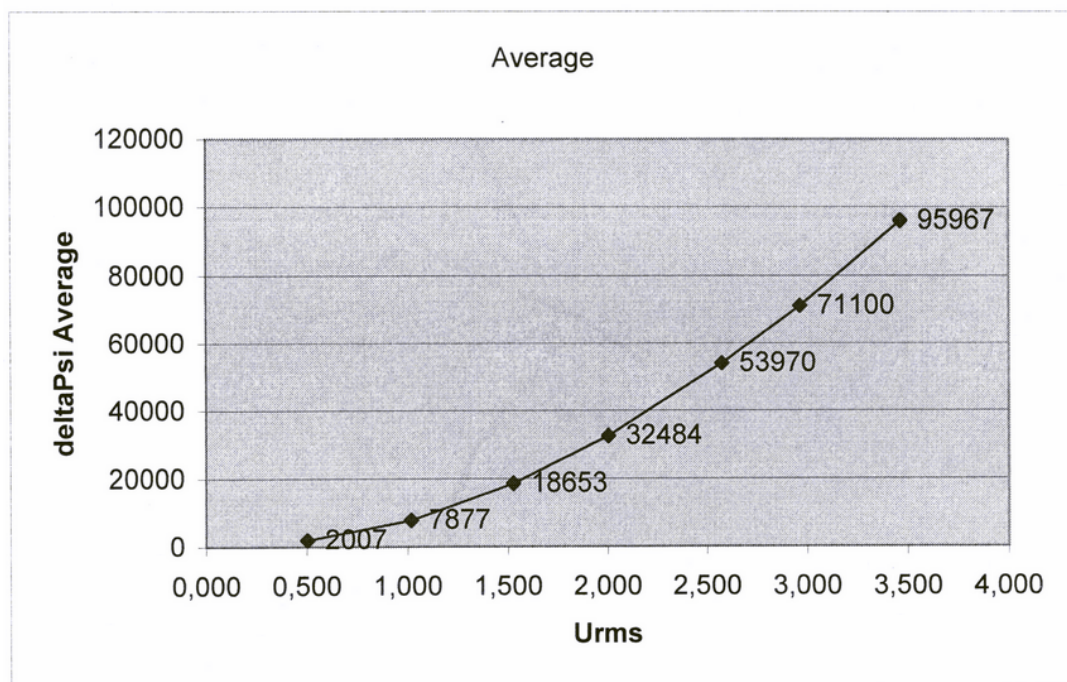
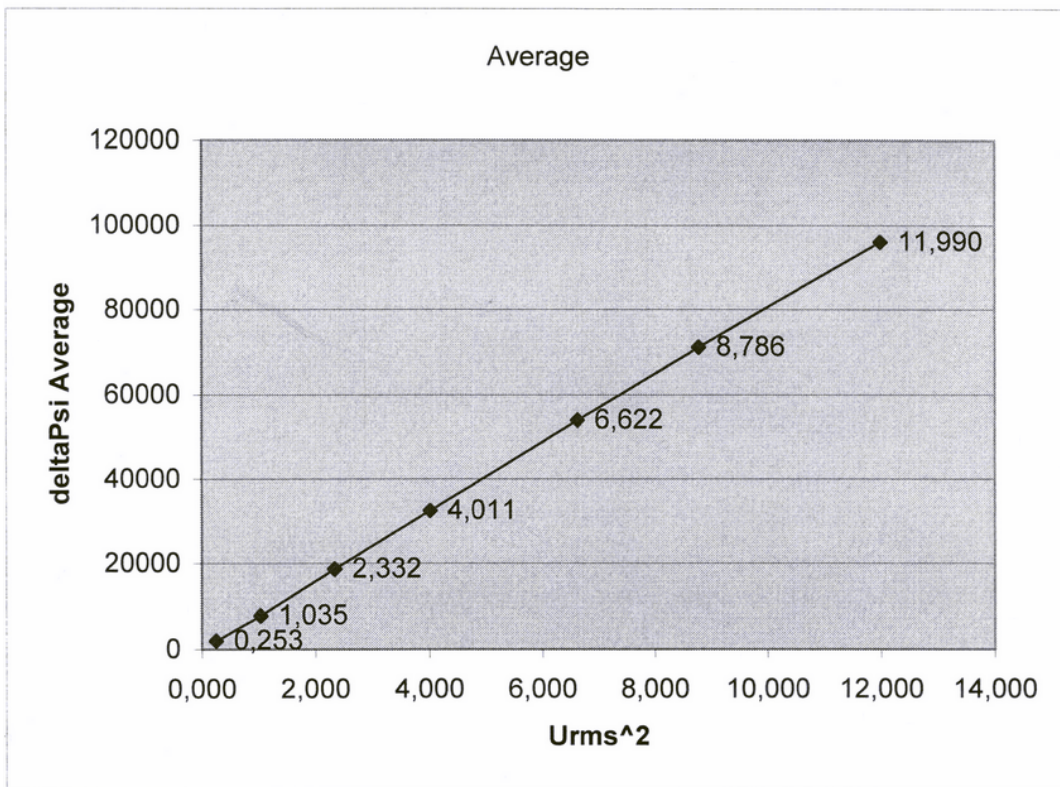
Sl. 29. Ofseti na svim komparatorima +10 mV, uključena PUP metoda.  $T = 20$  ms,  $T_m = 8$  s.



T mer. s	br.pon	/ApsGr	ocekivano	/RelGr %	ocekivano	/SvedGr %	ocekivano
2	100	0,001117		0,044941		0,0044682	
2	50	0,000991	0,001117	0,04829	0,044941	0,003962	0,0044682
8	100	0,00054	0,000559	0,024271	0,022471	0,0021588	0,0010794
60	50	0,000233	0,000181	0,009968	0,008817	0,000934	0,000723

Sl. 30. Ofseti na komparatorima od -20 mV do +20 mV, uključena PUP metoda.  $T = 20$  ms,  $T_m = 60$  s.

Uac	Udc	Urms^2	Urms	Average	Stdev
0,498	0,068	0,253	0,503	2007	92
1,017	0,03	1,035	1,017	7877	122
1,527	0,023	2,332	1,527	18653	313
2,002	0,057	4,011	2,003	32484	686
2,573	0,037	6,622	2,573	53970	1713
2,964	0,029	8,786	2,964	71100	2570
3,462	0,067	11,990	3,463	95967	3579



Sl. 31. Ofseti na komparatorima od -10 mV do +10 mV, uključena PUP metoda.  $T = 20$  ms,  $T_m = 2$  s. Prikaz dat u obliku vrednosti stanja brojača u zavisnosti od RMS vrednosti ulaznog napona.

# 7. RAZVOJ HARDVERSKOG PROTOTIPA

## 7.1. RAZMATRANJE OGRANIČENJA U DIZAJNU SMI

Pre početka razvoja prototipa, morao se doneti veći broj odluka o strateškom dizajnu, nameni, kompromisima i očekivanim rezultatima uređaja.

### 1. Kompatibilnost sa 2-bitnim SDEEM

Na Katedri za Električna merenja na FTN, razvijen je i detaljno testiran prototip 2-bitnog SDEEM [26]. Veliki broj naučnih radova, laboratorijskih eksperimenata i merenja u praksi (“na terenu”) je tokom godina uređen sa ovim prototipom. Skupljena je velika količina podataka i iskustva u radu uređaja i SDMM metode. Logično je da se sledeći, kompleksniji, prototip SMI razvija na osnovu ovih saznanja.

Ovo je praktičan primer prenosa tehnologije (*technology transfer*) gde se poznati i testirani prototip koristi kao polazna osnova za razvoj naprednijeg uređaja, umesto da se polazi od “nule” (*clean slate*).

Ovo omogućava nadogradnju i proširenje postojećeg matematičkog i simulacionog modela, njihovu proveru i direktno poređenje poboljšanja u odnosu na postojeći prototip.

Zbog relativno nove tehnologije, odlučeno je da se iz originalnog prototipa iskoristi što više hardverskih rešenja koja su primenljiva i ovde, električna kola, komponente i pristup dizajnu, kako bi se praktično olakšala izrada i smanjila cena prototipa.

Iskorišćeni su sledeći elementi [21]:

- originalni procesor Cyclone za skupljanje i obradu podataka, sa prilagođenim firmverom,
- princip generisanja ditera šift-registrom i pripadajući D/A konvertor (najbolji dostupan autoru u tom trenutku),
- kolo za primenu PUP metode i komparatori (sa komponentama dokazanih karakteristika u prethodnom prototipu).

Može se reći da su ove odluke zapravo svesno *smanjivanje broja nepoznatih*: koriste se isprobani principi koji ne zahtevaju poboljšanja, kako bi lakše utvrdili probleme u razvoju i izvore novih sistematskih grešaka.

### 2. Odabir SMI

Iz prethodnog razmatranja kompatibilnosti i prenosa tehnologije, odlučeno je da se SMI koji se razvija bude upravo SDEEM, koji omogućuje merenje aktivne energije potrošača i efektivne vrednosti napona.



### 3. Broj bita rezolucije

Iako je ustanovljeno da 3-bitni SMI postiže kriterijum optimalnosti, razmatrano je nekoliko opcija.

Ako bi se razvijala 3-bitna verzija, to bi bio sledeći logičan korak: jedan inkrement rezolucije više nego postojeći prototip, očekivano optimalna verzija, bolji rezultati i manja greška merenja, duplo komplikovaniji hardver.

Ako se pak razvije verzija sa više bita, šta bi se time dobilo?

Polazimo od *motivacije* za izradu prototipa:

- Potrebno je dokazati mogućnost realne izvedbe višebitnog SMI (*proof of concept* pristup)
- Funkcionalnost PUP metode na višebitnom SMI.
- Potvrdu da je 3-bitni SMI optimalan.
- Praktičnu potvrdu matematičkog modela i softverskih simulacija.
- Praktično dokazati efektivno ubrzanje tehnologije u odnosu na 2-bitni SMI.
- SDEEM koji bi mogao biti etalon za energiju.

Ako pogledamo Tabelu 2, gde su određene preciznosti SMI u zavisnosti od rezolucije i vremena merenja, vidimo da bi 4-bitni SDEEM za 30 minuta merenja postigao preciznost reda 10 ppm. Istu vrednost postiže i 7-bitni za 30 sekundi merenja.

Preciznost 10 ppm je 10 puta bolja od komercijalno dostupnih brojlila električne energije, i može se smatrati za nivo karakteristika etalona električne energije.

Razvojem 4-bitnog prototipa možemo takođe potvrditi matematički model, uraditi simulacije za tu rezoluciju, uporediti dobijene performanse sa 2-bitnim, da li je nivo preciznosti na očekivanom nivou.

PUP metoda daje dobre rezultate na 2-bitnom uređaju, a zbog sve većeg uticaja ofseta na pragove sa povećanjem rezolucije, ova metoda je još kritičnija u slučaju 4-bitnog nego 3-bitnog uređaja.

Praktičnom realizacijom dolazimo i do svih negativnih efekata dupliranja hardvera, ali i novih izvora grešaka, što može potvrditi validnost tvrdnje o optimalnosti 3-bitnog SMI.

Na kraju je doneta odluka da se realizuje 4-bitni SDEEM.

### 4. Uticaj temperature

Iz prethodne tačke razmatranja, vidimo da očekujemo preciznost reda 10 ppm, što svakako znači da je uređaj namenjen za radi i ispitivanje u laboratorijskim uslovima. Poštujući princip *proof of concept* (PoC), isključujemo uticaj temperature na pragove, naponske reference i ostale komponente.

Ovo znači da se ispitivanja moraju vršiti u adekvatnoj laboratoriji sa kontrolisanom i poznatom temperaturom koja može varirati u malim, tačno određenim granicama.

## 5. Merenje sinusnih napona

Iz prethodne tačke vidimo potrebu da se prototip koristi u laboratoriji.

Na raspolaganju je Laboratorija za metrologiju na FTN, sa pratećom instrumentacijom. Upravo ova oprema Laboratorije predstavlja najbolje raspoložive etalone za ispitivanje i podešavanje prototipa.

Laboratorija poseduje sledeće referentne naponske izvore:

- Etalon Faznog Uгла (EFU) [44], izvor visoke tačnosti i preciznosti koji može da generiše samo sinusni signal u osnovnom opsegu. Granice tačnosti DAC podsistema za generisanje niskonaponskog signala su 4 ppm. Maksimalna amplituda je  $\pm 7.07$  V ( $5 V_{RMS}$ ). Rezolucija po amplitudi je 16 bita, na 50 Hz ima 8000 odmeraka po periodu. Frekventni opseg je do 10 kHz. Stabilnost frekvencije diktira oscilator TCXO sa stabilnošću 0.1 ppm. Osnovni oscilator je 100 MHz, rezolucija po fazi je 5 ns.
- Dvokanalni Generator Funkcija (DGF), izvor dve nezavisne veličine, etalonske AC struje i AC napona, sa osnovnim talasnim oblicima (sinus, trougao, četvrtka) nešto lošijih karakteristika od EFU, sa frekvencijom do 100 Hz.

Kako bi podesili, ispitali i uopšte praktično dokazali performanse prototipa, moramo imati i adekvatne merne uređaje i uporedne etalone. Znajući šta je na raspolaganju, donet je niz ograničavajućih uslova za dizajn, rad, performanse i ispitivanje prototipa:

- Većina ispitivanja, merenja kao i overa prototipa će se vršiti prostoperiodičnim signalom.
- Prema ovome će biti podešena i sva matematička izračunavanja i simulacije.
- Radna frekvencija je 50 Hz, simulirajući merenje mrežnih potrošača energije.
- Ispitivanje na frekvencijama do 100 Hz, sa dodatnim talasnim oblicima i DC naponom će biti izvršena i manjem obimu.
- Merenja će biti vršena na osnovnom niskonaponskom opsegu i odrediće se greška osnovnog uređaja. Merenja sa pretvaračima visokih napona i struja se neće vršiti u laboratorijskim uslovima.
- Pošto se primenjuje PoC pristup, uređaj se neće ispitivati za merenja u prisustvu viših harmonika.

## 6. Multipleksovanje

Iz Tabele 4 u kojem su određeni brojevi komparatora prema broju bita rezolucije, vidimo da je za 4-bitni SDEEM potrebno 32 komparatora. Ako tome dodamo po još jedan čip (elektronski prekidač) za primenu PUP metode na svaki komparator, dolazi se do broja od 64 čipa samo za jezgro SFADC modula, bez pomoćne elektronike.

Ovo je veliki broj komponenti koje povećavaju cenu, komplikovanost i gabarite prototipa.

Pristup rešavanju ovog problema zahteva razmatranje uslova rada SDEEM.

Znamo iz uslova postavljenih na početku, da su signali koji se mere stacionarni tokom perioda merenja.

Ako je frekvencija semplovanja  $f_s$  dovoljno veća od frekvencije signala, kao što je 100 kHz mnogo veća od mrežne frekvencije 50 Hz, možemo umesto dva posebna SFADC koristiti jedan koji bi naizmenično uzimao odmerke sa jednog pa sa drugog ulaza (vremenski multipleksing).

Ako je frekvencija taktovanja  $f_{MUX}$  dovoljno veća od frekvencije signala koji se meri, signali se neće promeniti tokom jedne periode multipleksovanja.

Ako je frekvencija multipleksovanja barem dva puta manja od  $f_s$ , tada imamo ispunjen i uslov da diter koji se dodaje signalima nije korelisan.

Iako se na oba signala dodaje isti signal ditera, to se dešava u trenucima koji se razlikuju za  $T_{MUX} = 1/f_{MUX}$ . Kako je diter slučajan signal generisan šift-registrom sa petljom ponavljanja reda nekoliko godina, diter će imati dve potpuno nekorelisane vrednosti u ovim diskretnim trenucima, ako je obezbeđeno da je frekvencija ditera barem dva puta veća od frekvencije multipleksovanja.

Time je obezbeđeno da za vreme jednog preklapanja multipleksera, signal ditera sigurno uzme sledeću vrednost koja nije korelisana sa prethodnom.

Ovime smo smanjili broj potrebnih komponenti za pola, svodeći se na nivo hardvera veličine 3-bitnog SDEEM.

## 7. Komunikacija sa računarom

Na 2-bitnom prototipu, komunikacija sa računarom je ostvarena putem RS-232 (UART) protokola. Zbog kompatibilnosti i ovaj prototip koristi isti protokol. Međutim, ovo ograničava mogućnost komunikacije samo sa desktop računarima koji poseduju potrebne priključke.

Usled potrebe da se koristi laptop zbog mobilnosti, lakše operativnosti, manje potrošnje i veće fleksibilnosti, odlučeno je da se na postojeći RS-232 port SDEEM priključi fabrički konvertor (most - *bridge*) protokola RS-232/USB sa odgovarajućim priključcima. Ovo omogućava komunikaciju sa bilo kojim računarom preko standardnog USB priključka.

## 8. Obrada podataka

Odluka da se iskoristi već provereni mikroprocesor Cyclone korišćen u 2-bitnom SDEEM, pokazala se kao ograničavajući faktor za *on-board* obradu podataka. Ovaj procesor je sposoban da radi kao akumulator, izračunava merenu vrednost i šalje pakete podataka u računar u realnom vremenu. U 4-bitnoj verziji, količina podataka je povećana eksponencijalno, što prevazilazi mogućnosti ovog procesora.

Takođe za vreme perioda merenja, stvara se ogromna količina podataka koju je nemoguće preneti postojećim komunikacijskim protokolima zbog ograničenja u protoku USB magistrale, kao i problema *real-time* sinhronizovanja *Windows* operativnog sistema na računaru, gde konačno kašnjenje u

komunikaciji može dovesti do velikog broja grešaka i pogrešnih detekcija pri digitalnoj komunikaciji SDEEM-PC.

Donete su dve ključne odluke za dizajn procesorskog dela uređaja:

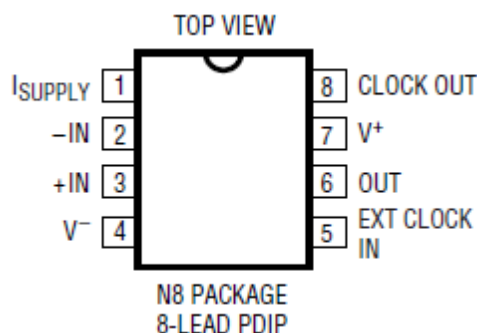
- Obrada podataka se neće vršiti *on-board* u samom uređaju, već će to činiti daleko moćniji procesor PC računara.
- Obrada podataka će se vršiti *off-line*, tj. neće se obrađivati u realnom vremenu, zbog ogromnog broja podataka (desetine miliona semplova).

Ovime smo smanjili zahteve za jačinom procesora koji se nalazi na samom prototipu, što je ubrzalo i olakšalo dalji razvoj. Ovo je još jedna praktična posledica PoC pristupa, jer uređaj koji se konstruiše nije prototip komercijalnog instrumenta već dokaz ispravnosti teorijske postavke ideje.

## 7.2. DIZAJN PROTOTIPA – ANALOGNI DEO SMI

### 7.2.1. BAFERI

Oba ulazna signala se dovode na po jedan bafer – naponski sleditelj, standardni ulazni OP stepen. Iskorišćen je Linear LT1150 [45].



Sl. 32. Izgled kućišta LT1150.

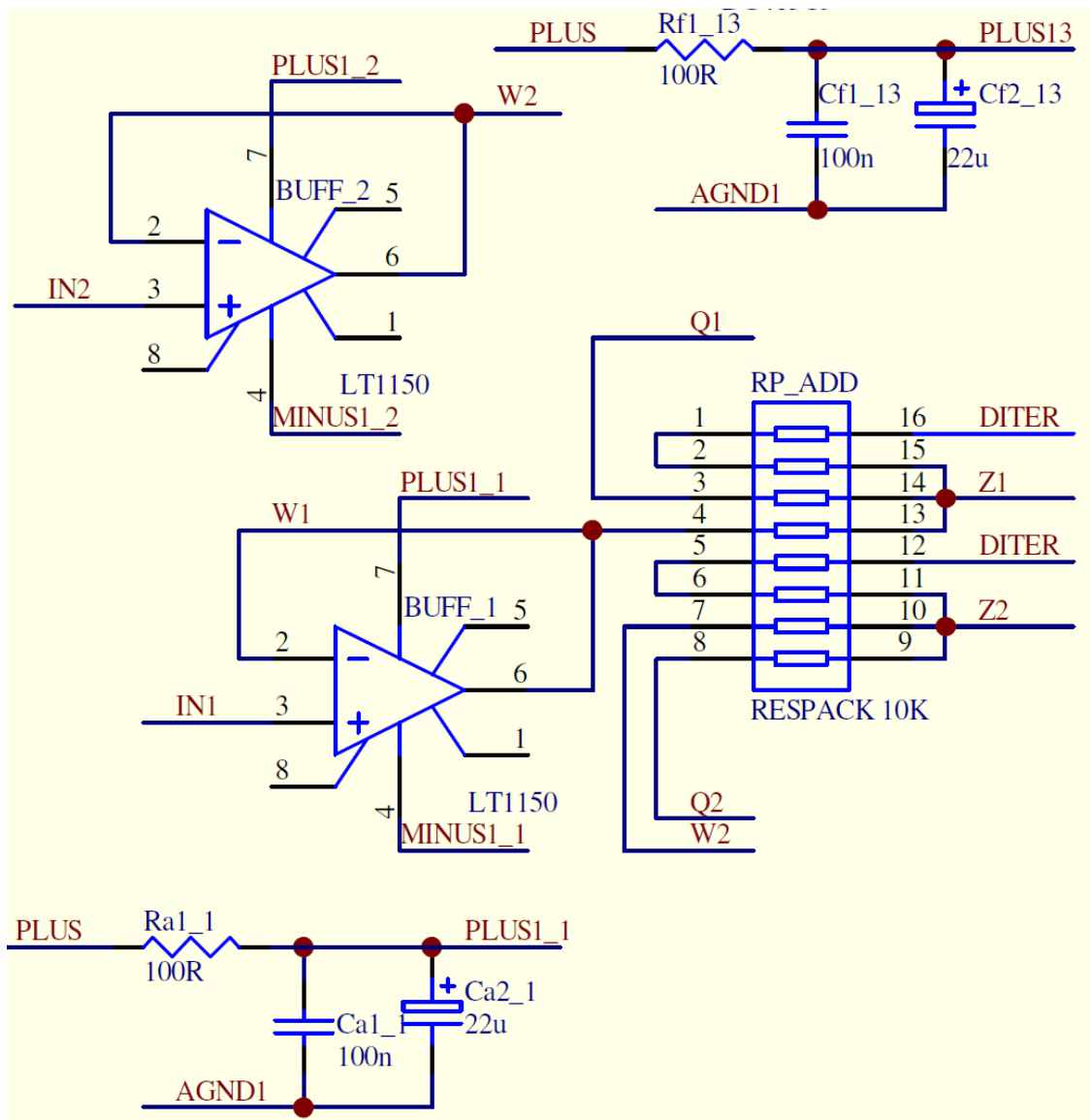
Karakteristike LT1150:

- čoperski stabilizovan
- sa skoro nultim driftom ofseta  $0.05 \mu\text{V}/^\circ\text{C}$
- ofset  $(0.5 - 10) \mu\text{V}$ , zavisno od ostatka kola i uslova rada
- nizak šum  $1.8 \mu\text{V}_{pp}$
- CMRR 110 dB
- *slew-rate*  $3 \text{ V}/\mu\text{s}$
- propusni opseg 2.5 MHz

Da bi se izvršilo dekaplovanje napajanja OP, svaka linija napajanja je odvojena RC članom sačinjenim od otpornika 100 oma, blok kondenzatora 100 nF i elektrolitskog kondenzatora 22  $\mu\text{F}$ . Ovaj član filtrira smetnje koje mogu da dođu iz napajanja i ostatka kola u OP, ali i odvaja OP od ostatka

kola, čime se sprečava injektovanje smetnje iz tog OP u ostatak kola. Istovremeno, onemogućava se direktno kaplovanje (neželjena parazitna sinhronizacija) različitih komponenti koje bi trebalo da rade nezavisno. Blok kondenzator obezbeđuje suzbijanje brzih smetnji male snage (naponski pikovi i tranzijenti), a elektrolitski kondenzator filtrira spore smetnje velike snage (šum, brum 50 Hz).

Ovi RC članovi su primenjeni na SVAKOM čipu koji se nalazi u prototipu, kako bi se smanjio uticaj smetnji jer očekujemo grešku merenja reda desetina ppm. Jedan RC član je prikazan samo na šemi bafera, svi ostali su istih vrednosti, pa nisu prikazani u ostalim delovima.



Sl. 33. Šema bafera.

### 7.2.2. SABIRAČI

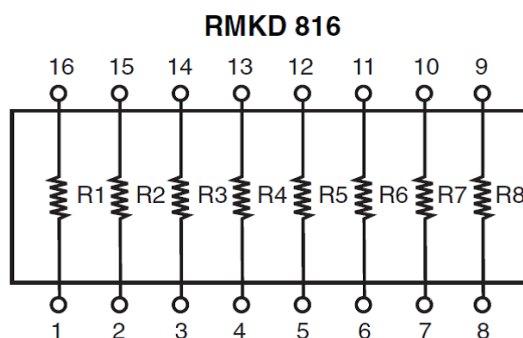
Sabirači su klasični invertorski stepeni sa OP, a otpornička mreža sabirača je ostvarena putem integrisane otporničke mreže otpornika Vishay RMKD816CNP [46] od 10 KΩ.

Na šemi je ova integrisana mreža označena kao RESPACK jer postoji mogućnost da se, ukoliko bude mogućnosti i potrebe, postojeći zameni ekvivalentnim, sa manjim tolerancijama.

Ovi integrisani čipovi imaju:

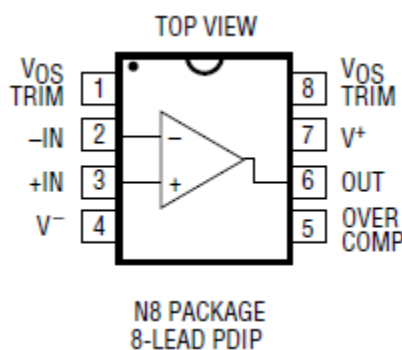
- visoku tačnost 0.05 % - laserski trimovanu vrednost otpornosti,
- visoku međusobnu uparenost otpornika 0.02 % - ovo je bitnija karakteristika od apsolutne tačnosti kada se koristi za naponski razdelnik,
- temperaturni koeficijent je blizak nuli tj. 1 ppm/°C.

Osam nezavisnih uparenih otpornika se nalazi u jednom čipu.



Sl. 34. Izgled unutrašnje arhitekture RMKD816CNP.

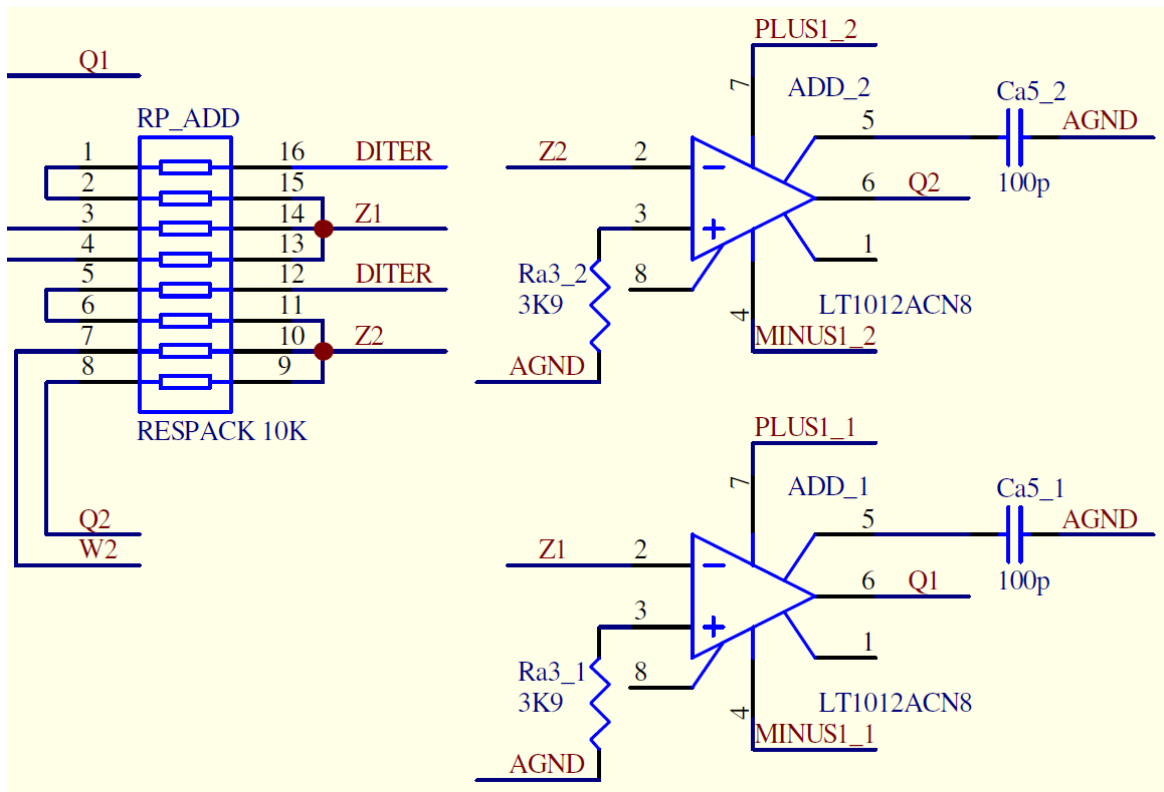
Tačnost i stabilnost naponskih pragova je podrazumevana u uređaju koji projektujemo, pa je potpuno opravdano koristiti otpornike ovako male tolerancije.



Sl. 35. Izgled kućišta LT1012.

Ulazni signali se sabiraju sa signalom ditera. Za sabirač diterovanog signala (suma ulaznog signala niske frekvencije i signala ditera širokog spektra), odabran klasičan linearni OP Linear LT1012 [47] sa:

- niskim šumom - 0.5  $\mu\text{V}$
- malim ofsetom - 25  $\mu\text{V}$
- malim temperaturnim driftom biasa - 0.65  $\mu\text{V}/^\circ\text{C}$
- *slew-rate-om* - 0.2 V/ $\mu\text{s}$
- propusnim opsegom - 1 MHz



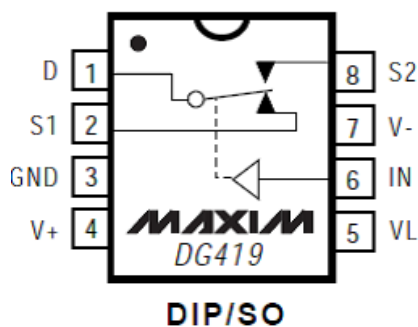
Sl. 36. Šema sabirača.

### 7.2.3. MULTIPLEKSER (MUX)

Osnova multipleksera je integrisani elektronski prekidač Maxim DG419 [48]. Da bi se obezbedilo prilagođavanje naponskog nivoa MUX\_CLK upravljačke linije sa FPGA (0 do +3.3 V) na naponski nivo potreban za ispravan rad prekidača kojim se upravlja ulazom CLK na DG419 (0 do +5 V), između je postavljen tranzistor u prekidačkom režimu. Ovaj tranzistor vrši i promenu faze u odnosu na generisani signal upravljanja, što je kompenzovano u firmveru, tako da je uvek poznato koji ulaz je selektovan.

Glavne karakteristike DG419:

- Otpor uključenog kanala manji od 3  $\Omega$ .
- Brzina uključenja i isključenja manja od 175 ns.
- Brzina prekida pre uključenja (*break before make*) 13 ns.
- Preslušavanje susednih kanala 85 dB.

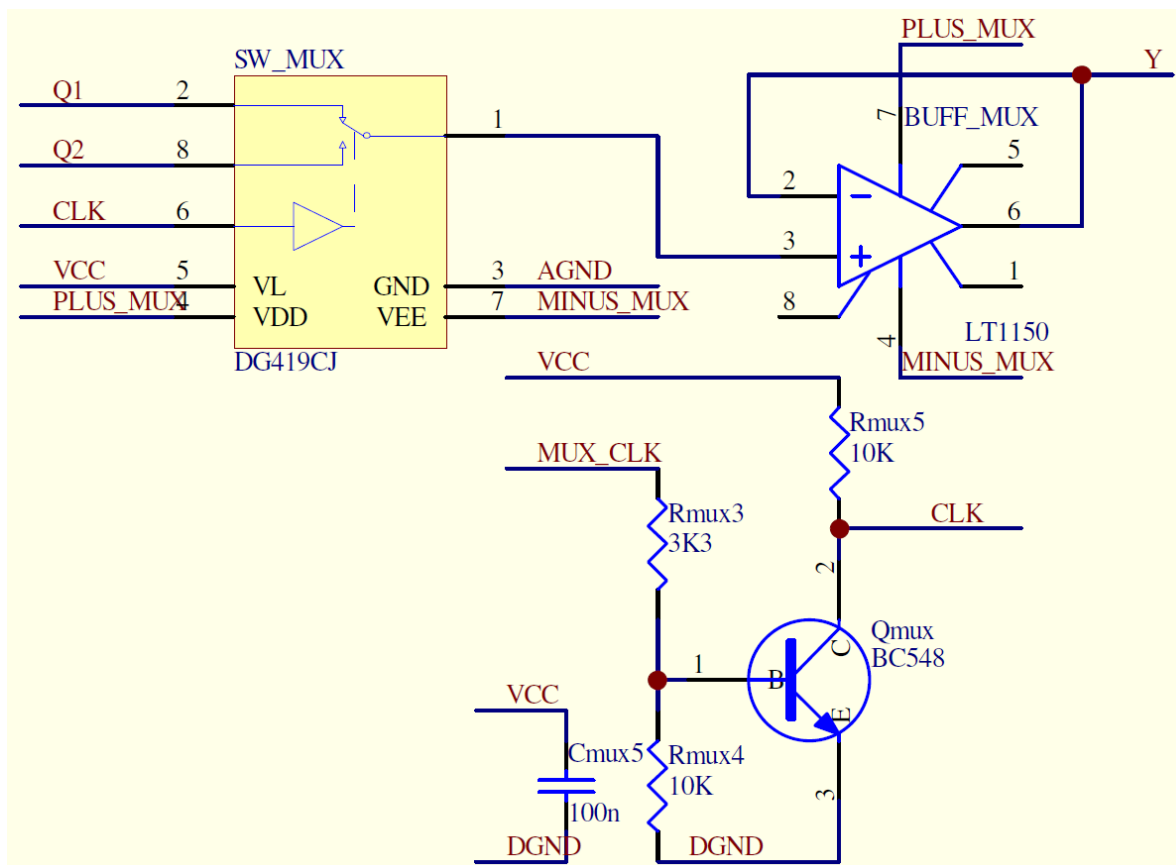


Sl. 37. Izgled kućišta DG419.

MUX_CLK	CLK	selektovan ulaz
1	0	Q1
0	1	Q2

Tabela 6. Tabela logičkih stanja DG419.

Izlaz multipleksera je baferovan još jednim baferom sa širokopoljnim OP Linear TL1150.



Sl. 38. Šema multipleksera.

#### 7.2.4. FLEŠ A/D KONVERTOR (FADC)

FADC se sastoji od 16 jednakih modula, od kojih je jedan prikazan na Sl. 42. Kompletna šema je data u Prilogu 5.

Izlaz multipleksera se dovodi paralelno na svih 16 modula. Svakom modulu je pridodat odgovarajući naponski prag (STEP<sub>i</sub>) komparatora.

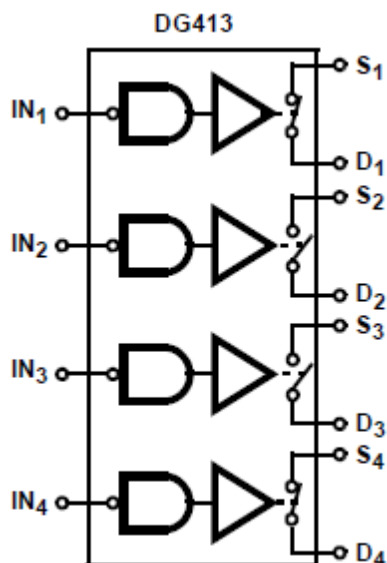
Za ostvarivanje PUP metode upotrebljen je četverostruki integrisani elektronski prekidač Maxim DG413 [49].

Ovaj prekidač je specifičan po tome što sadrži dva prekidača koja su u normalnom (neaktivnom) položaju uključeni, i dva koji su pri tome isključeni. Pri dovođenju visokog logičkog nivoa na upravljačke linije, svi prekidači menjaju stanje u inverzno.



Karakteristike DG413:

- Otpor uključenog kanala manji od  $35 \Omega$ .
- Brzina uključenja i isključenja manja od 175 ns.
- Brzina prekida pre uključenja (*break before make*) 25 ns.
- Preslušavanje susednih kanala 85 dB.



Sl. 39. Unutrašnja konstrukcija DG413.

Ovo je iskorišteno kao prednost u vidu mogućnosti upravljanja samo jednom linijom iz FPGA, pa ne moramo istovremeno koristiti jedan upravljački signal i njegovu invertovanu varijantu koja je neminovno zakašnjena vremenom propagacije kroz logički inverter.

Svi prekidači se istovremeno upravljaju linijom SWITCH. I ovde je potrebno prilagoditi naponski nivo N\_SWITCH (0 do +3.3 V) na nivo SWITCH potreban za DG413 (0 do +5 V), pa je postavljen prilagođavač nivoa sa tranzistorom BC548 [50]. Ovo unosi dodatno invertovanje signala, pa je N\_SWITCH izlaz iz FPGA dodatno invertovan, kako bi se očuvao integritet dalje logike.

N_SWITCH	SWITCH	S1	S2	S3	S4	+CMP	-CMP
1	1	isključen	uključen	uključen	isključen	STEP1	Y
0	0	uključen	isključen	isključen	uključen	Y	STEP1

Tabela 7. Tabela logičkih stanja FADC.

Liniju SWITCH postavlja procesor u direktnoj proporciji sa periodom merenog signala  $T$  koji određuje detektor prolaska signala kroz nulu. Teoretski je zamišljeno da se PUP metodom na svakom  $T$  vrši promena stanja prekidača i time efektivno unakrsno zamene ulazi komparatora kako bi se potisnuo naponski ofset gledano na periodu  $2T$ .

Logička tabela stanja prekidača S1-S4 u čipu, zavisno od upravljačke linije, kao i signali prisutni na komparatoru, data je u Tabeli 7.

Za nizak naponski nivo linije SWITCH:

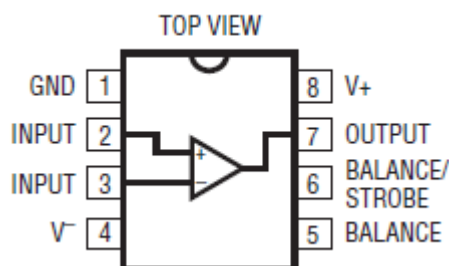
- S2 i S3 su isključeni,
- S1 je uključen i dovodi signal sa multipleksera Y na neinvertujući ulaz komparatora +CMP,
- S2 je uključen i dovodi pripadajući napon praga sa naponskog razdelnika na invertujući ulaz komparatora -CMP.

Za visoki naponski nivo linije SWITCH:

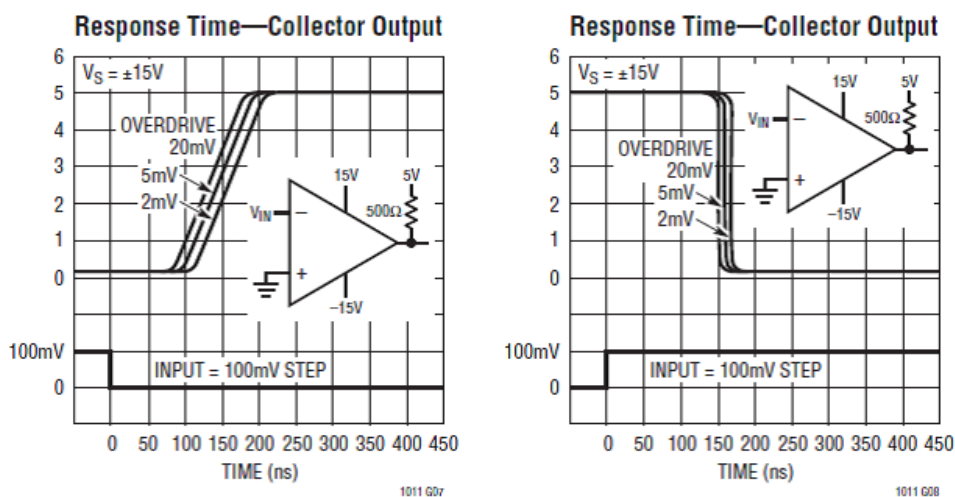
- S1 i S4 su isključeni,
- S2 je uključen i dovodi pripadajući napon praga sa naponskog razdelnika na neinvertujući ulaz komparatora +CMP,
- S3 je uključen i dovodi signal sa multipleksera Y na invertujući ulaz komparatora -CMP.

Komparator koji se koristi je Linear LT1011AC [51]:

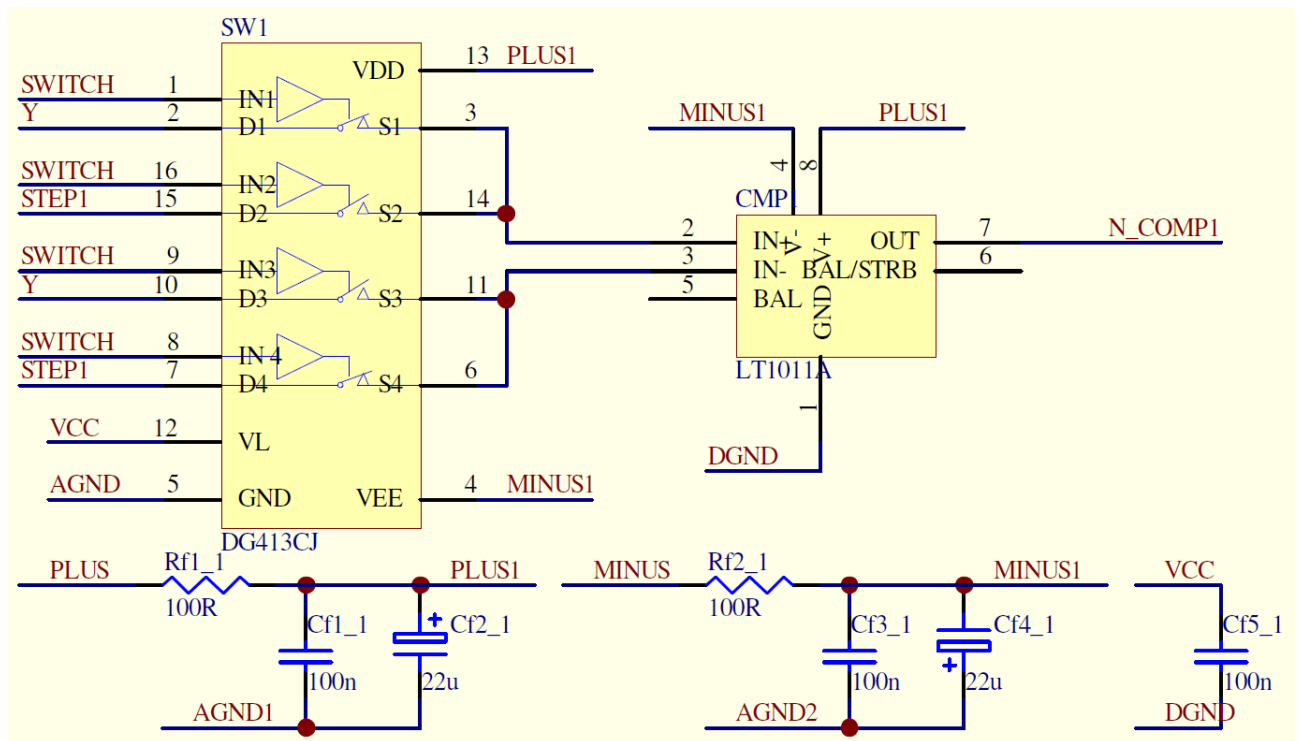
- maksimalni naponski ofset (0.5 - 1.5) mV, zavisno od napajanja, opterećenja i ostalih uslova rada
- drift ofseta (4 – 15)  $\mu\text{V}/^\circ\text{C}$
- brzina odziva (150 – 250) ns
- CMRR 115 dB



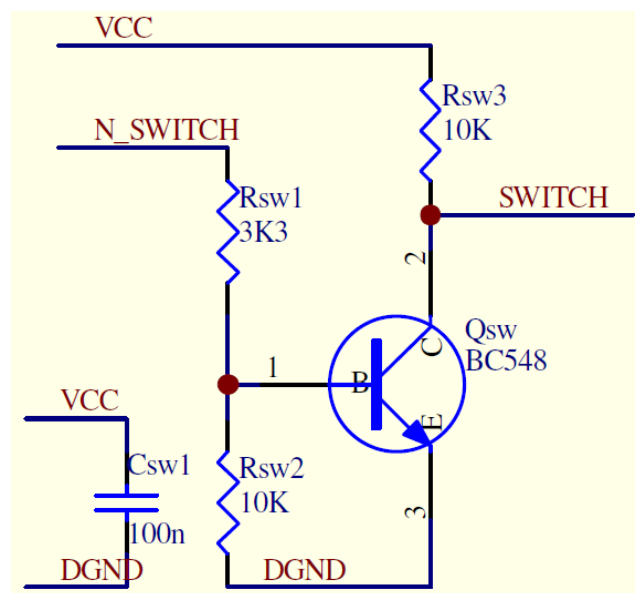
Sl. 40. Izgled kućišta LT1011AC.



Sl. 41. Karakteristična vremena odziva LT1011AC.



Sl. 42. Šema FADC modula sa elektronskim prekidačima.



Sl. 43. Drajver/invertor upravljačkog SWITCH signala.

### 7.2.5. NAPONSKI RAZDELNIK

Pragovi komparatora se generišu naponskim razdelnikom realizovanim pomoću tri integrisane otporničke mreže RMKD816-10K [46], opisane u delu o Sabiraču.

Ovi laserski trimovani, visoko upareni otpornici imaju deklarisanu uparenost na 0.02 %.

Ovo je mnogo bitniji podatak od apsolutne vrednosti otpornika, jer međusobna uparenost otpornosti određuje tačnost naponskih pragova u razdelniku.

Mali temperaturni koeficijent obezbeđuje stabilnost otpornosti tokom rada.

U fazi projektovanja objašnjeno je da matematički model koji je razvijen za višebitni SDEEM omogućava dimenzioniranje komponenti prema realnim uslovima i ograničenjima koja postoje pri dizajniranju uređaja.

Iz relacije (44) vidimo da važi:  $R \approx V_{ref}$

Ovo nam omogućava realnu procenu daljeg projektovanja.

Znamo da je najbolji generator etalonskog AC napona koji imamo na raspolaganju u Laboratoriji opsega amplituda do 7 V. Za potrebe rada sa standardnim nivoima napona, odabiramo maksimalnu amplitudu ispitivanog napona od  $R = 5$  V.

Takođe, OP LT1150 koji planiramo da koristimo na ulazu kola, ima ograničen IZLAZNI napon na 4.85 V kada je priključen na opterećenje od 10 k $\Omega$ , kao u ovom slučaju.

Ovo je uslovalo da se odaberu standardni izvori referentnog napona od +5 V i -5 V.

Ako bi ovaj napon od  $\pm 5$  V uzeli kao najveći prag  $\pm 15g$ , imali bi nekoliko posledica:

- Zbog naponskog ograničenja izlaza LT1150, ovaj prag nikad ne bi mogao biti dostignut, čime bi izgubili na rezoluciji SFADC.
- Najmanji naponski prag koji se očekuje bi bio  $g = 5/15$  V = 0.333333... V, tj. broj sa beskonačnim brojem decimala.
- Vrednost koja nije zaokružena predstavlja problem pri merenju, računanju i postavljanju potrebnih radnih konstanti u softveru koji treba da obrađuje podatke. Da bi izbegli dodatni izvor greške usled zaokruživanja, mora se izabrati "lepši" osnovni prag sa konačnim brojem decimala.

Ako bi imali slučaj  $g = 5/16$  V = 0.3125 V, ovaj prag bi se lakše merio i određivao ostale vrednosti napona. Odavde su  $R_{max}$  i  $V_{ref}$ :

$$g = 0.3125 = \frac{R_{max}}{2^4 - 2} \tag{125}$$

$$R_{max} = 4.3750 \text{ V}$$

$$g = 0.3125 = \frac{V_{ref}}{2^4 - 1} \tag{126}$$

$$V_{ref} = 4.6875 \text{ V}$$

Maksimalna amplituda ulaznog napona koju možemo meriti, sada nije 5 V nego 4.3750 V.

Ovime je i uslov maksimalne izlazne amplitude LT1150 zadovoljen.

Za etalonski generator sinusnog napona EFU to znači da je maksimalna efektivna vrednost prostoperiodičnog napona koji se meri:

$$(V_{RMS\max})_{\sin} = \frac{R_{\max}}{\sqrt{2}} = 3.0936 \text{ V} \quad (127)$$

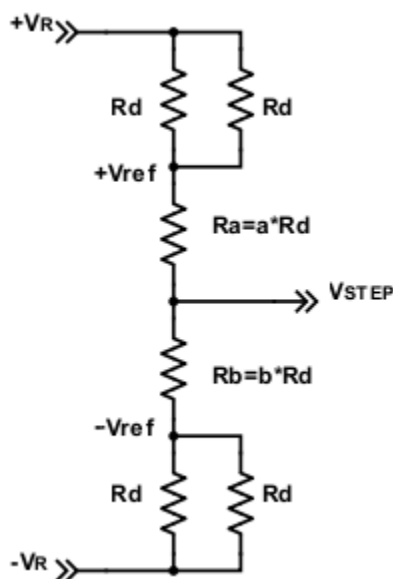
U praksi ovo znači da će se meriti sinusni naponi efektivne vrednosti do  $3 V_{RMS}$ .

Referentni izvor 4.6875 V nije standardne vrednosti napona. Ovo predstavlja problem jer:

- izvori sa velikim opsegom podesivog izlaznog napona nemaju dovoljnu stabilnost,
- precizni izvori jedne vrednosti napona ili nemaju mogućnost podešavanja, ili je omogućen pristup kolu za precizno trimovanje (podešavanje) od najviše  $\pm 6\%$ , a često i manje [23].

Ovo znači da bi standardna naponska referenca od +5V mogla da se podesi do 4.7 V, što nije dovoljno u ovom slučaju.

Zato je osnovni naponski razdelnik sa šeme 4-bitnog SFADC modifikovan kao na sledećoj šemi.



Sl. 44. Modifikovani naponski razdelnik naponske reference (pojednostavljeni prikaz).

Na krajevima razdelnika su dodate dve paralelne veze otpornika  $R_d$  koji se koriste i u ostatku razdelnika, čineći dodatne predotpore  $R_d/2$ .

Otpornici  $R_a$  i  $R_b$  predstavljaju naponski razdelnik kao u originalnoj šemi,  $R_a + R_b = 15 \cdot R_d$ .

Ako znamo da je  $V_{ref} = 4.6875 \text{ V}$ , tada imamo:

$$+V_{ref} = \frac{15R_d + (R_d/2)}{(R_d/2) + 15R_d + (R_d/2)} \cdot (+V_R) + \frac{(R_d/2)}{(R_d/2) + 15R_d + (R_d/2)} \cdot (-V_R) = \frac{15.5R_d - R_d}{16R_d} \cdot (+V_R) \quad (128)$$

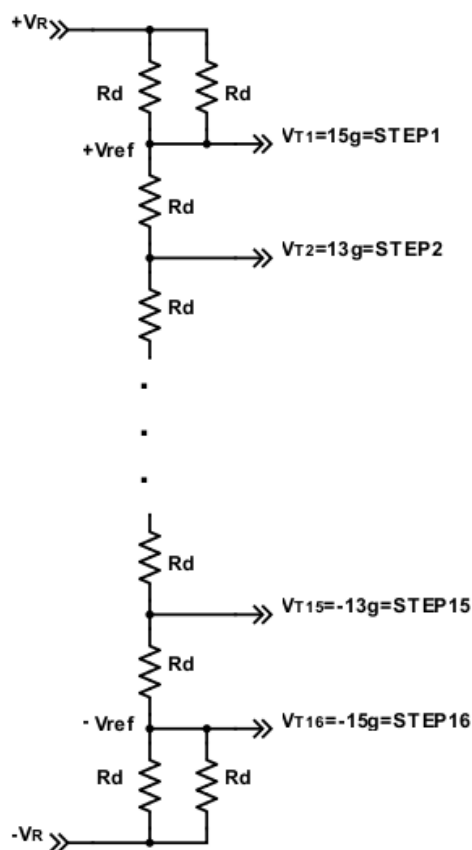
$$+V_{ref} = \frac{15}{16} \cdot (+V_R)$$

$$+V_R = \frac{15}{16} \cdot (+V_{ref}) = \frac{15}{16} \cdot (+4.6875 \text{ V}) = +5 \text{ V}$$

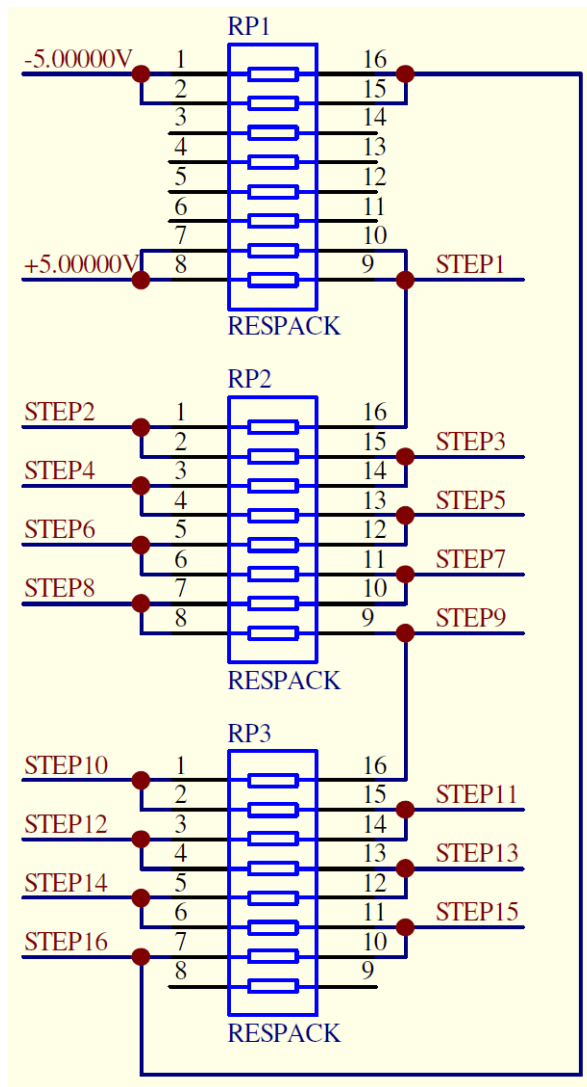
$$+V_R = +5 \text{ V} \quad (129)$$

$$-V_R = -5 \text{ V}$$

Vidimo da se referentni naponski nivoi i nivoi pragova komparatora ne menjaju, a da je na krajeve ovako modifikovanog razdelnika moguće sada dovesti standardne napone sa naponskih referenci od  $\pm 5 \text{ V}$ . Ovime je dalja konstrukcija olakšana, a matematički model je ostao isti. Na osnovu ovoga, moguće je promeniti datu šemu:



Sl. 45. Šema modifikovanog naponskog razdelnika naponske reference sa pripadajućim komparatorским pragovima.



Sl. 46. Konačna šema modifikovanog preciznog naponskog razdelnika sa predotporima, realizovanog sa RMKD816CNP-10K (RESPACK).

Kada je izrađen prototip, postavilo se pitanje o stvarnim naponima pragova koji se generišu na naponskom razdelniku.

Ako uključimo toleranciju naponskih referenci i toleranciju međusobne uparenosti otpornika, potrebno je praktično ustanoviti merenjem vrednost svakog praga.

Vrednosti koje očekujemo su “tačne” jer prezentovani matematički model podrazumeva apsolutno tačno definisane (i stabilne) naponske nivoe i naponske reference.

Merenja su vršena etalonskim laboratorijskim multimetrom HP3458A sa 8 ½ cifara rezolucije. U Tabeli 8 su dati merni naponski opsezi koji su korišćeni, rezolucija u voltima, greška merenja i linearnost u ppm [52].

Naponi su mereni direktno multimetrom u svakoj relevantnoj tački razdelnika.

Procedura merenja je ispoštovana prema uputstvima iz dokumentacije naponskih referenci.

merni opseg V	rezolucija nV	tačnost <sup>1</sup> ppm	linearnost <sup>1</sup> ppm
1.00000000	10	1.5 + 0.3	0.3 + 0.1
10.0000000	100	0.5 + 0.05	0.05 + 0.05

Tabela 8. Merni opsezi, rezolucija, greška merenja i linearnost HP3458A.

<sup>1</sup>Tačnost i linearnost se računaju kao: (ppm od očitane vrednosti) + (ppm od opsega merenja)

Uređaj je barem 24 h stajao u laboratoriji pre merenja. Uključen je i ostavljen 1 h da reference postignu konstantnu radnu temperaturu. Zatim je merenjem izlaza pomoću HP3458A podešen izlazni napon pozitivne reference uz pomoć trimera koji se nalazi u električnom kolu reference. Isto je urađeno i za referencu negativnog napona. Posle 15 minuta je ponovo proverena vrednost izlaza i izvršena eventualna korekcija. Zatim se vrše merenja naponskih pragova.

U Tabeli 9 je dat pregled očekivanih vrednosti napona  $V_{Ti}$  za svaki naponski prag (STEP<sub>i</sub> na šemi) pojedinog komparatora VC<sub>i</sub>.

VC STEP	$V_T$	projektovano V	izmereno V	razlika $\mu V$	greška ppm
1	15g	4.6875	4.6875017	1.70	0.36
2	13g	4.0625	4.0625009	0.90	0.22
3	11g	3.4375	3.4374985	-1.50	-0.44
4	9g	2.8125	2.8125023	2.30	0.82
4	7g	2.1875	2.1875021	2.10	0.96
6	5g	1.5625	1.5624991	-0.90	-0.58
7	3g	0.9375	0.93750214	2.14	2.28
8	g	0.3125	0.31250145	1.45	4.64
9	-g	-0.3125	-0.31249903	1.27	-4.06
10	-3g	-0.9375	-0.93749903	0.97	-1.03
11	-5g	-1.5625	-1.5625019	-1.90	1.22
12	-7g	-2.1875	-2.1875012	-1.20	0.55
13	-9g	-2.8125	-2.8125020	-2.00	0.71
14	-11g	-3.4375	-3.4375011	-1.10	0.32
15	-13g	-4.0625	-4.0625008	-0.80	0.20
16	-15g	-4.6875	-4.6875024	-2.40	0.51

Tabela 9. Naponski pragovi FADC, projektovani i mereni sa HP3458A.

Dobijeni rezultati pokazuju da se naponski pragovi razlikuju od teorijskih za manje od 2.5  $\mu V$  (apsolutna vrednost) i za manje od 5 ppm (relativna vrednost), u svim slučajevima. Najveća odstupanja su naznačena zatamnjanim poljima u Tabeli 9.



Ovo su izuzetni rezultati koji su na granici tačnosti očitavanja čak i vrhunskog etalonskog multimetra kao što je HP3458A.

Konkretno vrednosti otpornosti u integrisanim otporničkim mrežama nisu merene, ali ovi rezultati pokazuju da je njihova međusobna podešenost daleko bolja od deklariranih 0.02 %, i da je proizvođač Vishay dao više nego konzervativnu ocenu ovog parametra.

Autor je kontaktirao Vishay u vezi s ovim (2010.), kako bi se ustanovilo da li je greška u dokumentaciji ili je u pitanju slučajnost. Ovo je bitno ustanoviti za potrebe serijske proizvodnje ovog uređaja, gde nije moguće osloniti se na slučajnost radi uparenosti otpornika na ovom nivou.

Odgovor Vishay-a je da se ova familija čipova proizvodi na nekoliko različitih lokacija, od kojih je jedna sa novim eksperimentalnim pogonom koji ima bolje tolerancije i precizniju tehnologiju koja je još u eksperimentalnoj fazi u jednom pogonu. Kada i ako svi pogoni pređu na novu tehnologiju, promeniće se i navedena cifra.

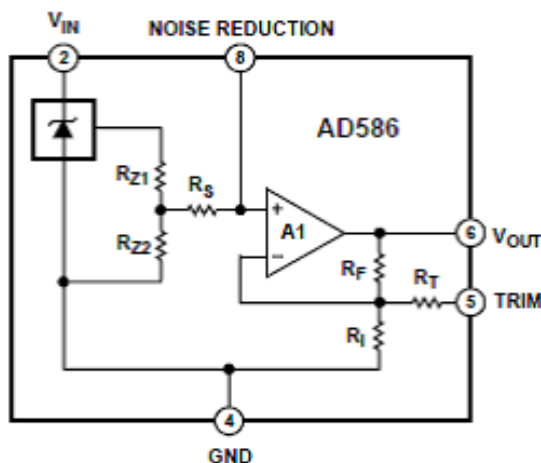
U ovom trenutku (2018.), zvanična deklaracija ovog modela iznosi 0.01 % uparenosti.

### 7.2.6. POZITIVNA NAPONSKA REFERENCA

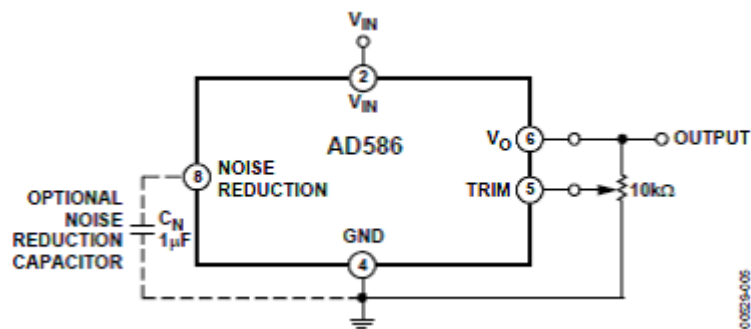
Za preciznu naponsku referencu od +5 V je izabran Analog Devices AD586 [53].

Karakteristike:

- izlazni napon  $+5.000\text{ V} \pm 2\text{ mV}$
- mogućnost trimovanja izlaznog napona  $\pm 300\text{ mV}$
- nizak šum  $100\text{ nV}/\sqrt{2}$  koji se može dodatno suzbiti dodatnim kondenzatorom
- mali temperaturni koeficijent  $2\text{ ppm}/^\circ\text{C}$
- dugoročna stabilnost  $15\text{ ppm}/1000\text{ h}$
- mogućnost konfiguracije za precizni izvor negativnog napona

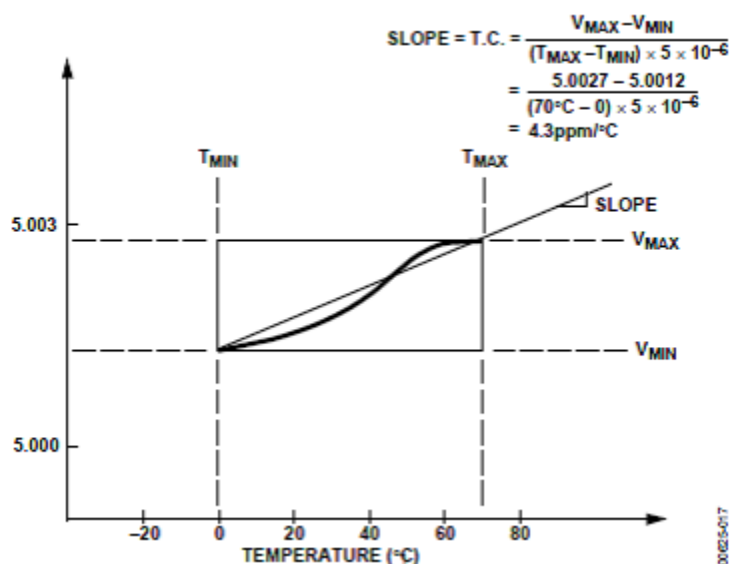


Sl. 47. Unutrašnja arhitektura reference AD586.

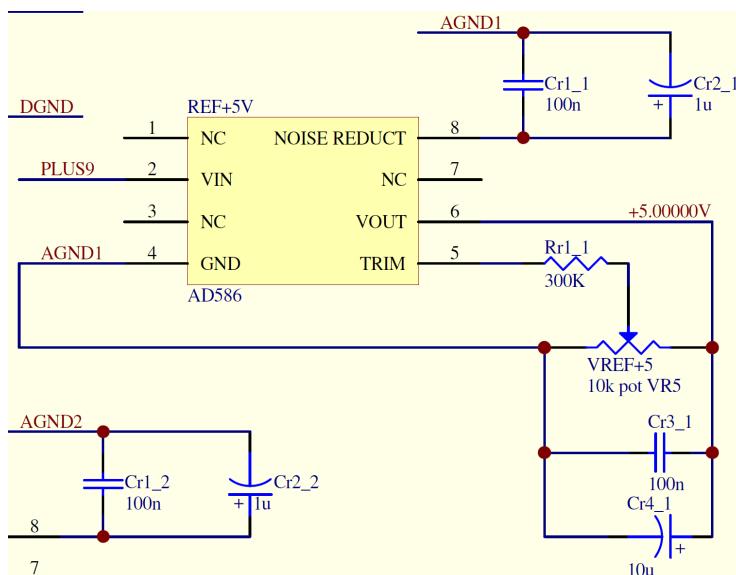


Sl. 48. Konfiguracija za dodatno trimovanje izlaznog napona AD586 i za redukciju šuma kondenzatorom.

Na Sl. 49 je prikazana temperaturna karakteristika koja pokazuje da uz promenu od  $\pm 2$  °C, koliko je dozvoljeno u Laboratoriji, dobijamo maksimalnu promenu od  $\pm 4$  ppm.



Sl. 49. Temperaturna karakteristika AD586.



Sl. 50. Šema naponske reference AD586 u 4-bitnom SMI.

Dodati su blok i elektrolitski kondenzatori za poboljšavanje SNR, kao što je predloženo u dokumentaciji.

Kondenzatori su takođe dodati i paralelno trimeru radi lokalne stabilizacije povratne sprege.

Napon reference se podešava svaki put prilikom uključanja uređaja radi maksimalne tačnosti i preciznosti. Proizvođač preporučuje minimalno 15 minuta zagrevanja čipova pre trimovanja na nivou tačnosti reda ppm, a stabilnost se garantuje posle 30-60 minuta rada, pa je to period koliko treba sačekati pre podešavanja reference.

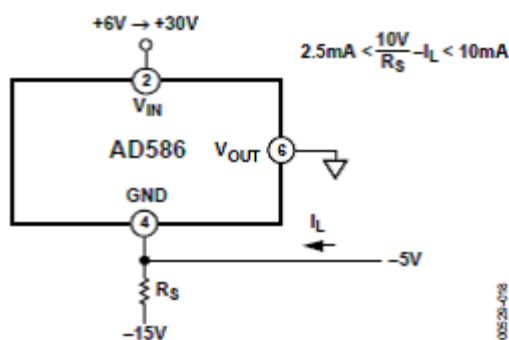
Merenjem HP3458A, referencu je moguće podesiti na +5.000000 V, što znači da samo poslednja cifra očitana na displeju nije stabilna, što je na nivou  $\pm 500$  nV, pri čemu 100 nV predstavlja rezoluciju HP3458A na tom mernom području DC napona.

Merenjem referenci u toku rada, potvrđeno je da nema primetnog odstupanja napona posle 1 sata neprekidnog rada.

### 7.2.7. NEGATIVNA NAPONSKA REFERENCA

AD586 [53] je iskorišten i kao precizna naponska referenca negativnog napona -5 V.

Koristi se šema data u *datasheet*-u:

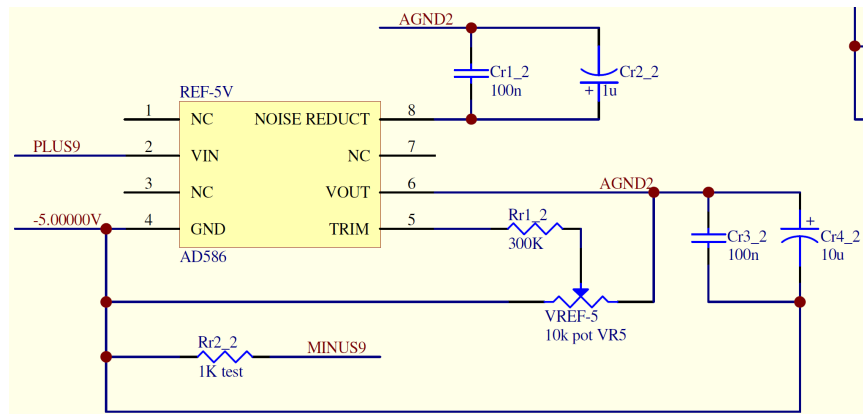


Sl. 51. Negativna naponska referenca sa AD586.

Osnovno kolo je prošireno na način sličan kao za pozitivnu naponsku referencu. Ovaj slučaj nije pokriven zvaničnom dokumentacijom, ali eksperimentalno je potvrđeno da ova topologija zadovoljava potrebe precizne reference za negativan napon.

Primenjena je i metoda smanjivanja šuma eksternim kondenzatorima, kao kod pozitivne reference. Međutim, ovi kondenzatori u spoju negativne reference izazivaju parazitne samooscilacije na izlazu reference, što je potvrđeno posmatranjem izlaza reference osciloskopom. Blok kondenzator uzrokuje visokofrekventne, a elektrolitski kondenzator niskofrekventne oscilacije, pa su oba izbačena.

Prilikom rada, nije primećeno da ovaj spoj ima grešku veću od spoja za pozitivan napon.



Sl. 52. Šema negativne naponske reference sa AD586 u 4-bitnom SMI.

Merenjem pomoću HP3458A, referencu je moguće podesiti na -5.000000 V

### 7.2.8. DETEKTOR PERIODE ULAZNOG SIGNALA

Za funkcionisanje procesa izračunavanja akumulirane vrednosti potrebno je poznavati tačnu vrednost periode  $T$  ulaznog signala.

Ovo je rešeno komparatorom sa histerezisom [23]. Koristi se komparator LT1011A [51] opisan u FADC kolu. Dodata je povratna sprega koja obezbeđuje histerezisnu funkciju kojom je kolo osigurano od lažne detekcije nivoa ulaznog signala.

Sa primenjenim histerezisom, komparator brže prolazi kroz linearni deo prenosne karakteristike i sprečava neželjene oscilacije na svom izlazu.

U ovom slučaju je primenjena AC verzija histerezisa sa blok kondenzatorom ubačenim u povratnu spregu, čime se ne utiče na ofset komparatora.

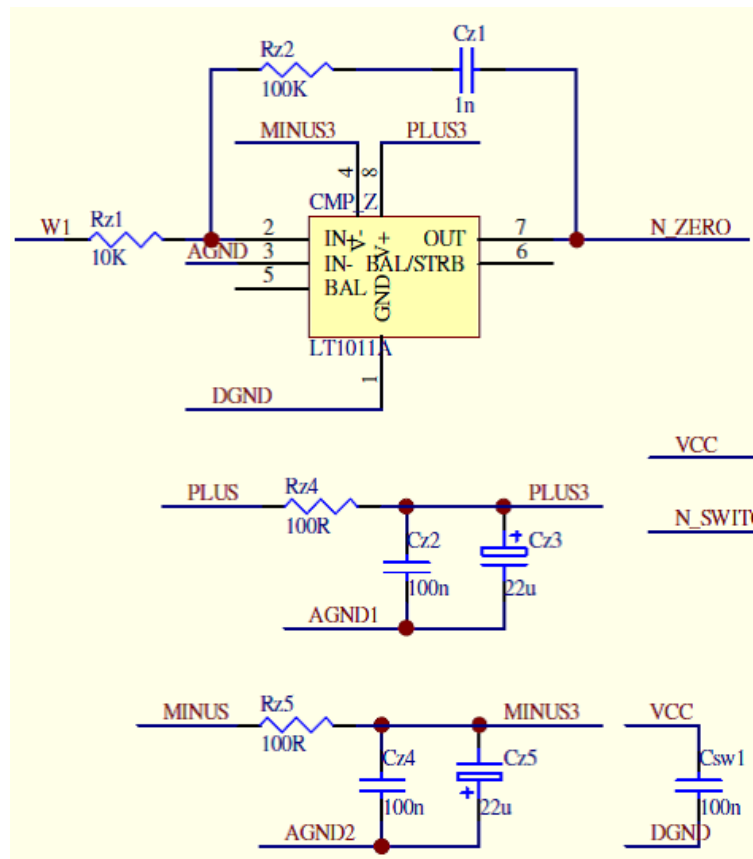
Napajanje komparatora je takođe dekaplovano od izvora napajanja.

Jedan od kompromisa PoC pristupa je da je ovaj detektor povezan samo na prvi kanal.

Iz uslova razmatranja SMI znamo da ulazni signali  $u_1$  i  $u_2$  moraju biti stacionarni tokom merenja, ali i iste frekvencije. Zato je iskorišteno da se sa samo jednog ulaza uzima podatak o frekvenciji, jer će se u merenjima koristiti isti signal na oba ulaza iz EFU ili dva signala jednakih frekvencija iz DGF.

Detektor prolaska kroz nulu šalje signal kada signal prođe kroz nulu, čime započinje (za  $t = 0$ ) i prestaje proces merenja periode (za  $t = T$ ), što je znak procesoru da pošalje paket podataka sa  $(f_s \cdot T)$  odmerka na obradu u računar.

U ulaznom signalu se mogu javiti kratkotrajne smetnje i tranzijenti koji se tokom integracije neće videti u rezultatu, ali bi mogli uneti pogrešno očitavanje dužine periode ulaznog signala i uneti grešku pri izračunavanju vrednosti.



Sl. 53. Šema detektora prolaska signala kroz nulu.

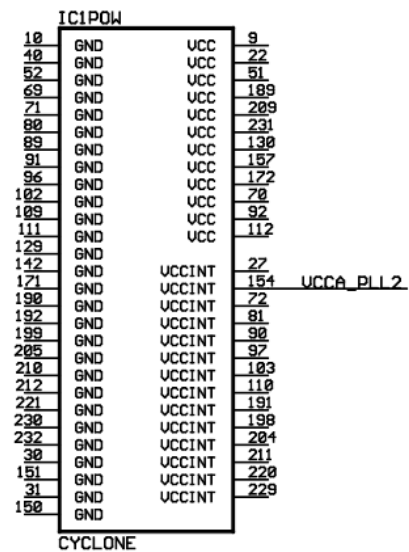
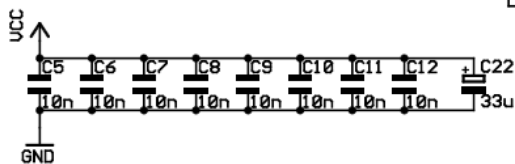
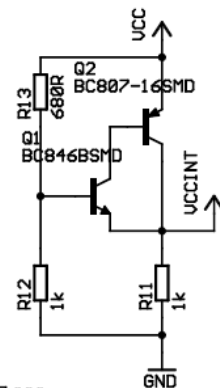
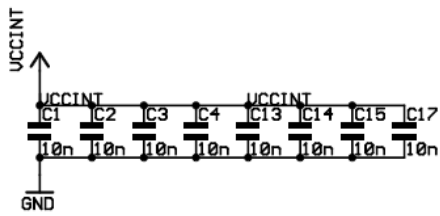
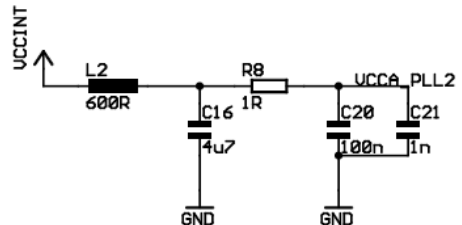
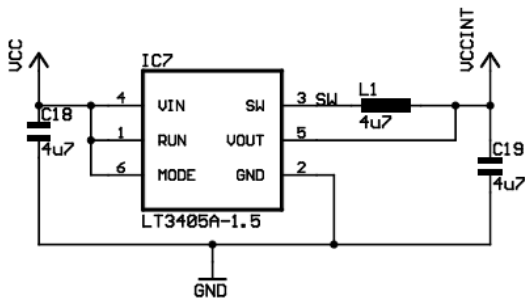
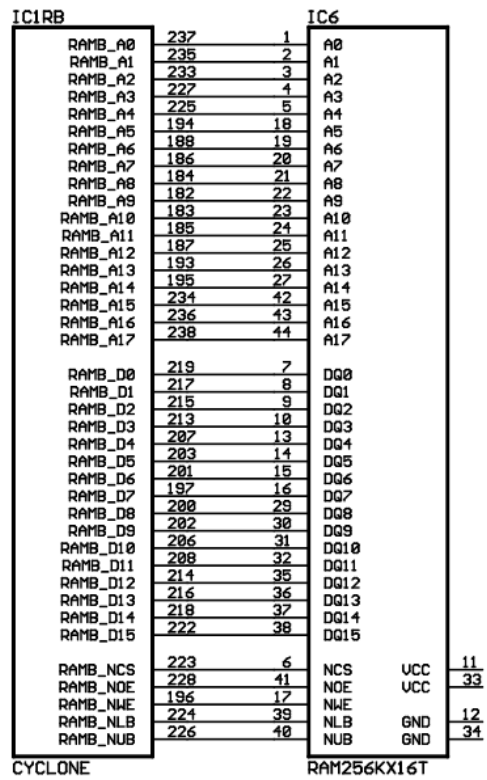
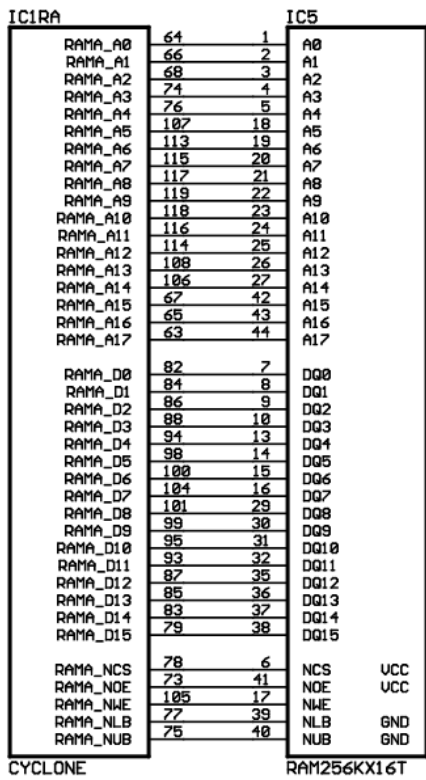
## 7.3. DIZAJN PROTOTIPA – DIGITALNI DEO SMI

### 7.3.1. FPGA ALTERA CYCLONE

Kao glavni procesor se koristi FPGA (*Field Programmable Gate Array*) Altera Cyclone EP1C6 [54], [55].

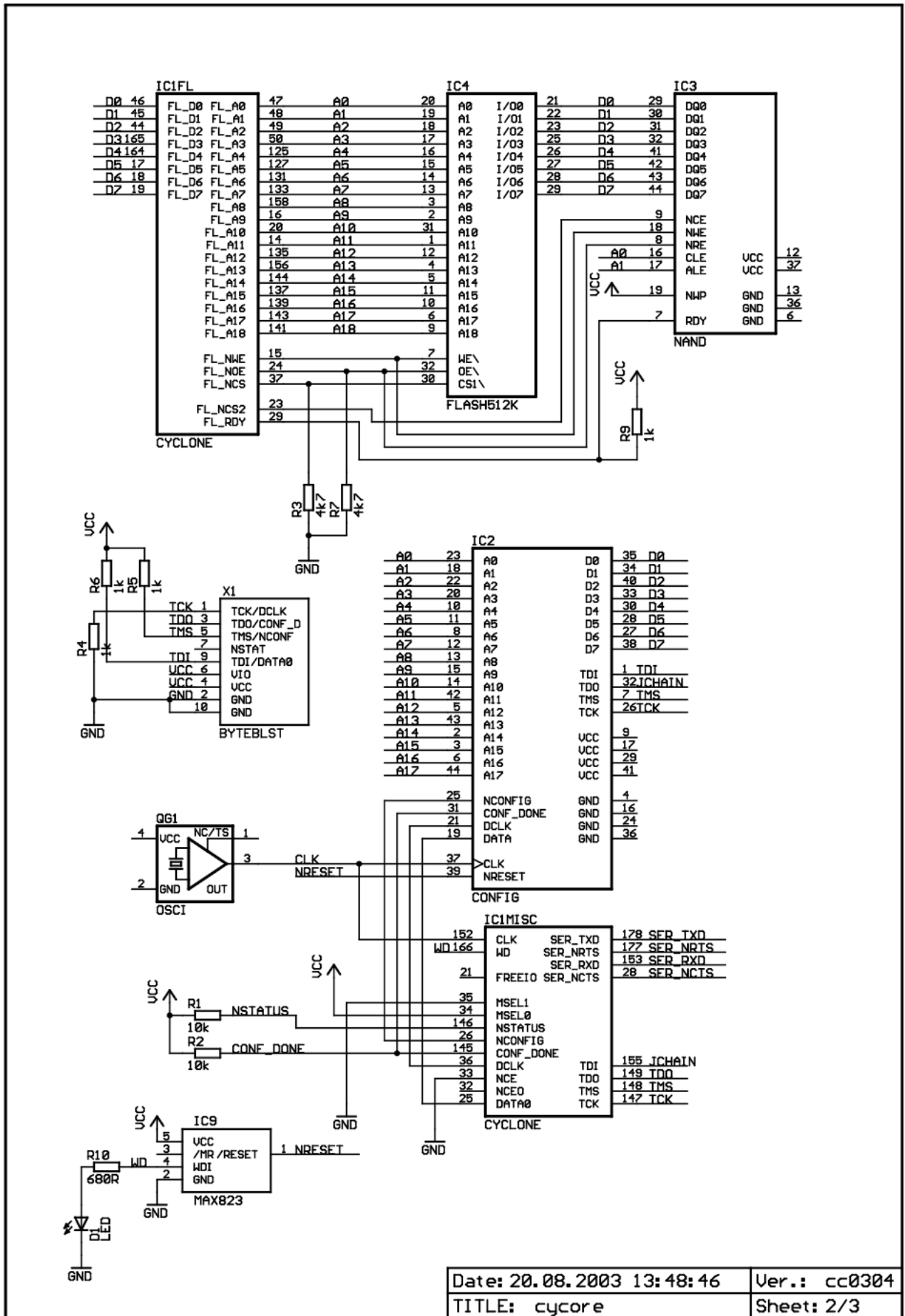
Karakteristike:

- 5980 logičkih elemenata
- 92160-bitni RAM
- 20 M4K RAM blokova sa  $128 \times 36$  bita
- 185 I/O pinova
- podržava LVTTL, LVCMOS, SSTL-2 i SSTL-3 I/O standarde
- podržava 66/33-MHz, 64/32-bitne PCI standarde
- podržava 640 i 311 Mbps LVDS I/O
- podržava 311-Mbps RSDS I/O
- 2 PLL za množenje frekvencije takta i pomeranje faze
- 8 globalnih takt linija



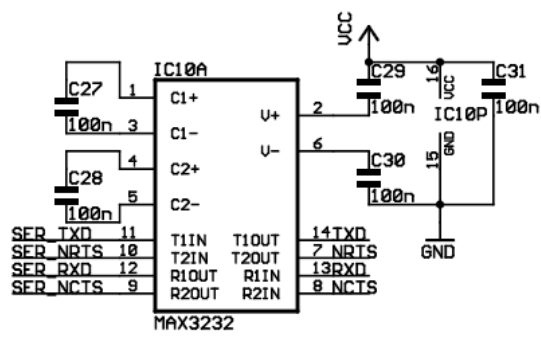
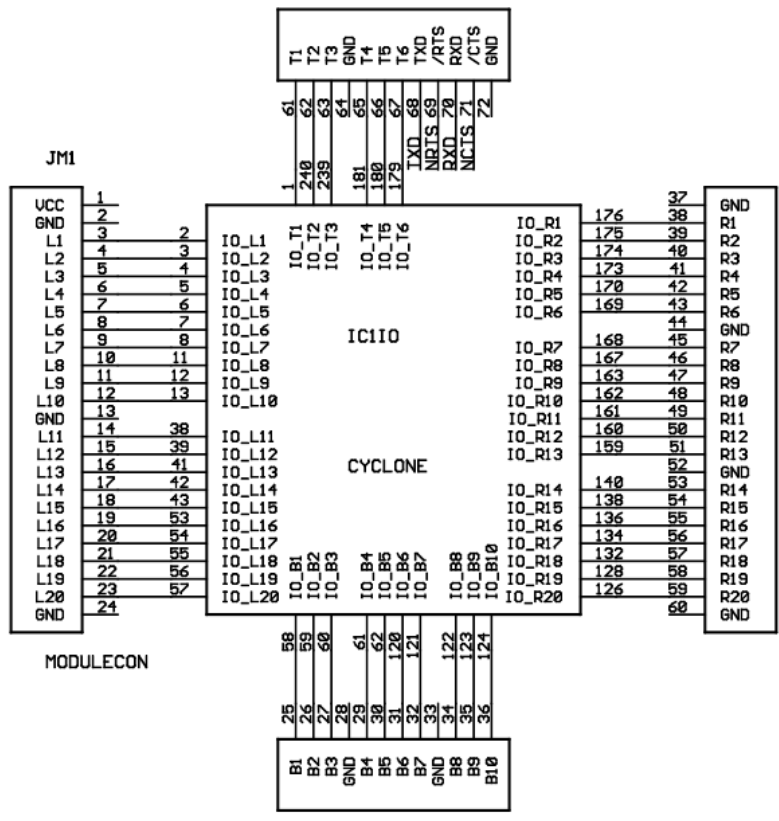
Date: 20.08.2003 13:48:46	Ver.: cc0304
TITLE: cycore	Sheet: 1/3

Sl. 54a. Organizacija priključaka Altera Cyclone EP1C6.



Date: 20.08.2003 13:48:46	Ver.: cc0304
TITLE: ccore	Sheet: 2/3

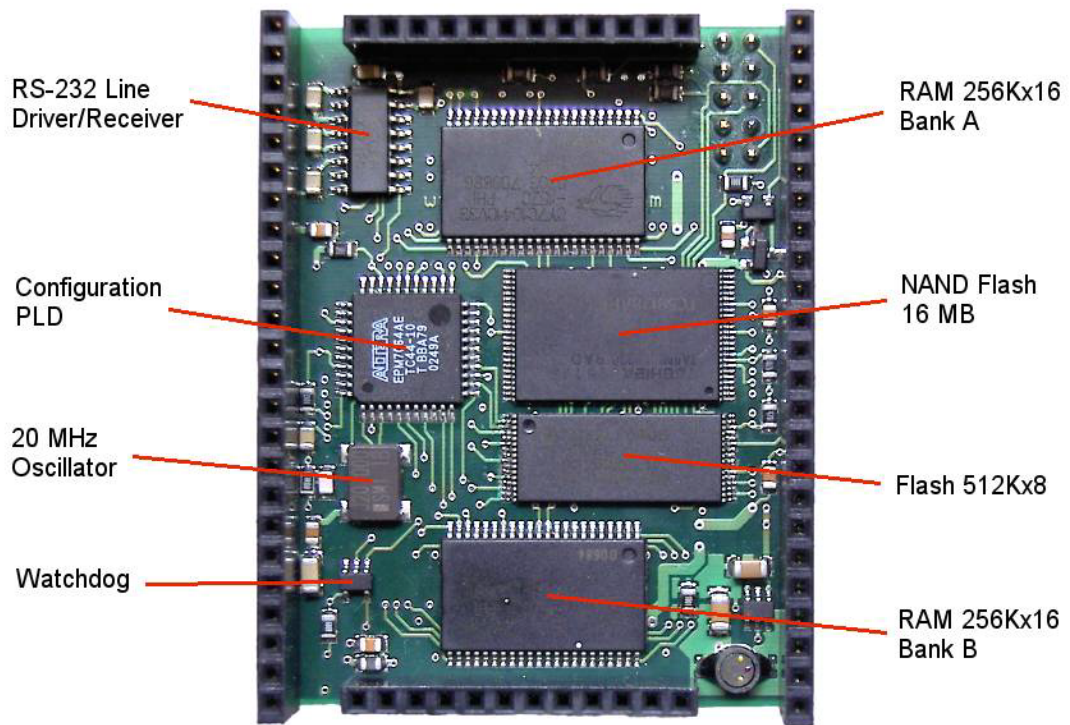
Sl. 54b. Organizacija periferija u sklopu Altera Cyclone EP1C6.



Date: 20.08.2003 13:48:46	Ver.: cc0304
TITLE: cycore	Sheet: 3/3

Sl. 54c. Glavni modul Altera Cyclone EP1C6 i UART.

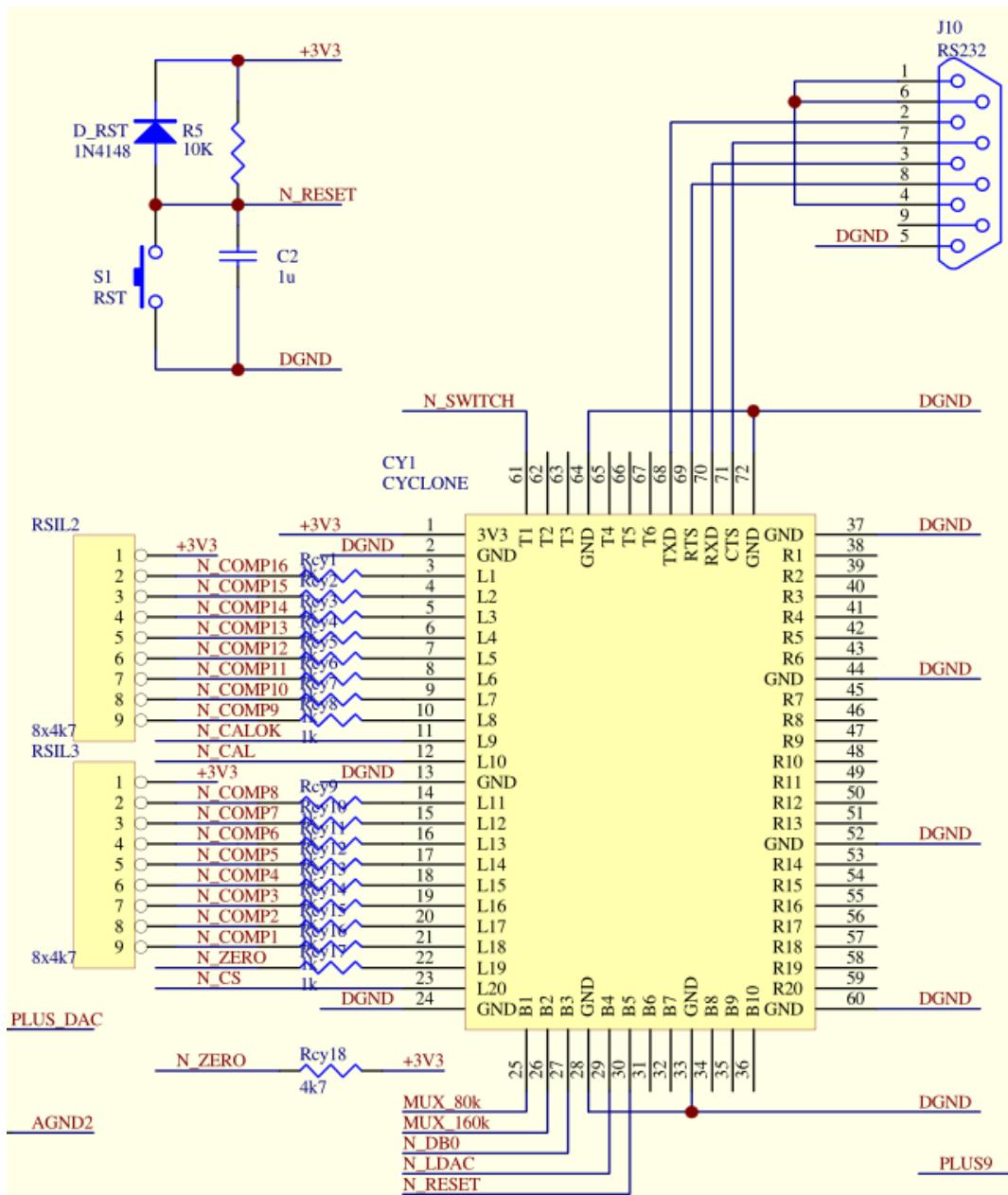




Sl. 55. Izgled modula FPGA sa donje strane [56].



Sl. 56. Izgled modula FPGA sa gornje strane [56].



Sl. 57. Šema sa FPGA primenjena u SMI.

Ulazne linije FPGA sa izlaza komparatora su podignuti (*pull-up*) na visoki logički nivo +3.3 V sa standardnom integrisanom mrežom otpornika RSIL-4k7.

Dodato je kolo i taster za resetovanje (RESET) FPGA.

FPGA se programira u VHDL programskom okruženju.

Cyclone istovremeno generiše i deterski signal koristeći šift registar velike dužine kako bi se dobila slučajna sekvenca koja se ponavlja tek nakon jako dugačkog perioda (reda godina). Digitalni oblik ditera se pretvara u analogni pomoću D/A konvertora.

Ovaj dizajn je preuzet sa 2-bitnog SDEEM bez izmena i detaljno je opisan u [21].

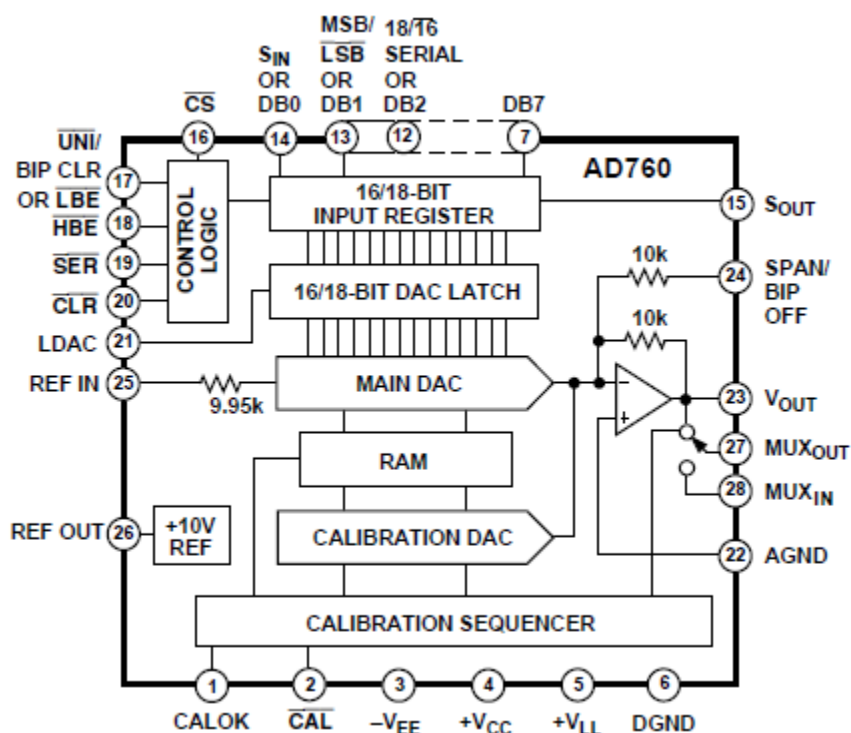
### 7.3.2. D/A KONVERTOR (DAC)

Konstrukcija D/A konvertora (DAC) je takođe preuzeta iz 2-bitnog SDEEM.

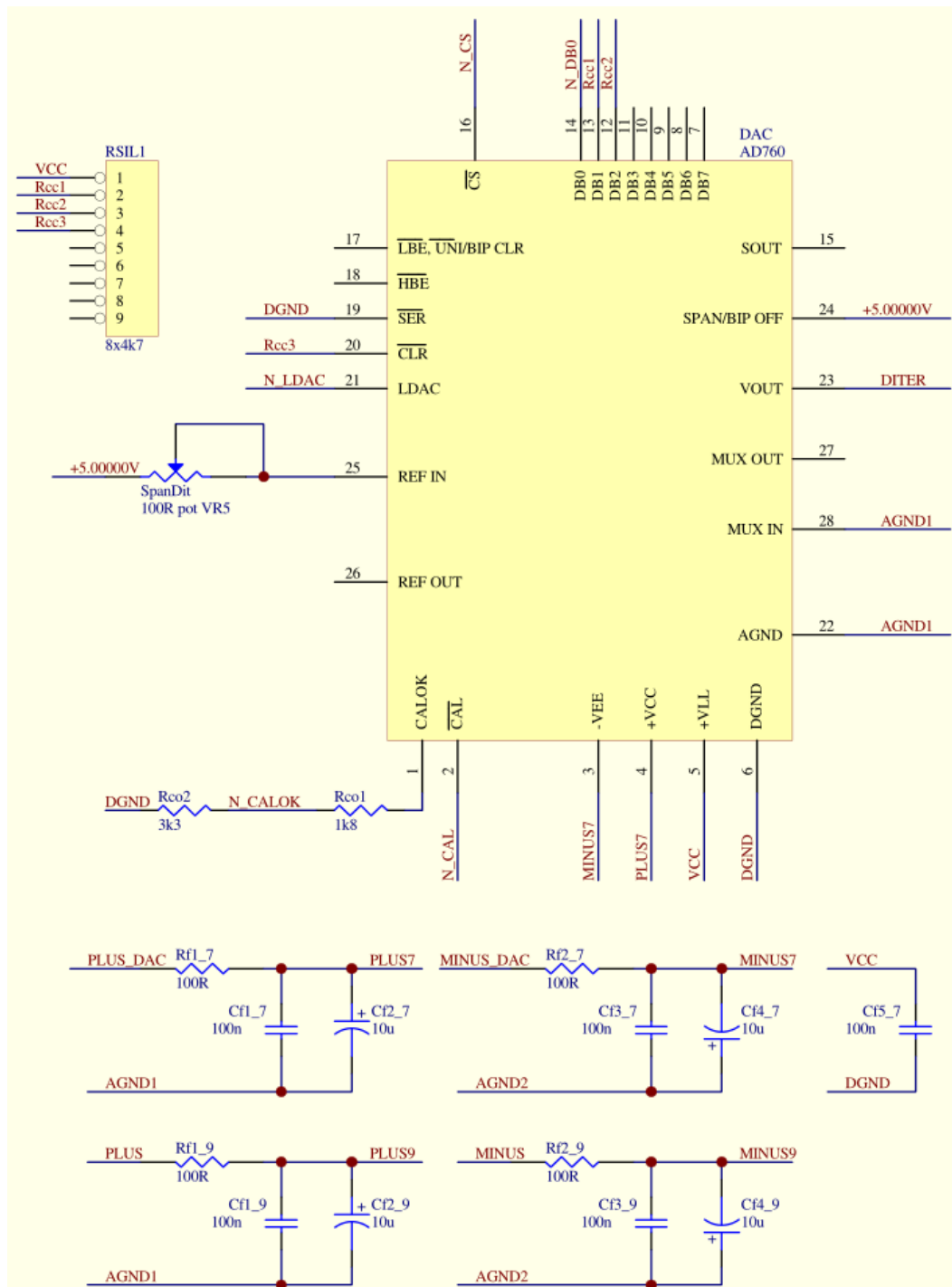
Pošto je precizno generisanje ditera jedan od najbitnijih uslova za ispravan rad SMI, iskorišćen je najbolji DAC dostupan autoru: Analog Devices AD760AQ [57], predviđen za rad u audio aplikacijama, tj. sa širokim propusnim opsegom i prilagođen za AC režim.

Karakteristike:

- 18-bitna rezolucija u serijskom modu
- 17-bitna monolitnost
- mali koeficijent izobličenja THD ispod 0.005 %
- odnos signal šum 94 dB
- temperaturni drift 25 ppm/°C
- dugoročna stabilnost 50 ppm/1000 h
- bipolarni izlaz do  $\pm 10$  V
- vreme smirivanja posle promene ulaza (2.5 - 8)  $\mu$ s
- propusni opseg preko 1 MHz
- nelinearnost  $\pm 0.2$  LSB
- ofset  $\pm 0.5$  LSB
- samokalibracija



Sl. 58. Blok šema unutrašnje konstrukcije AD760AQ.

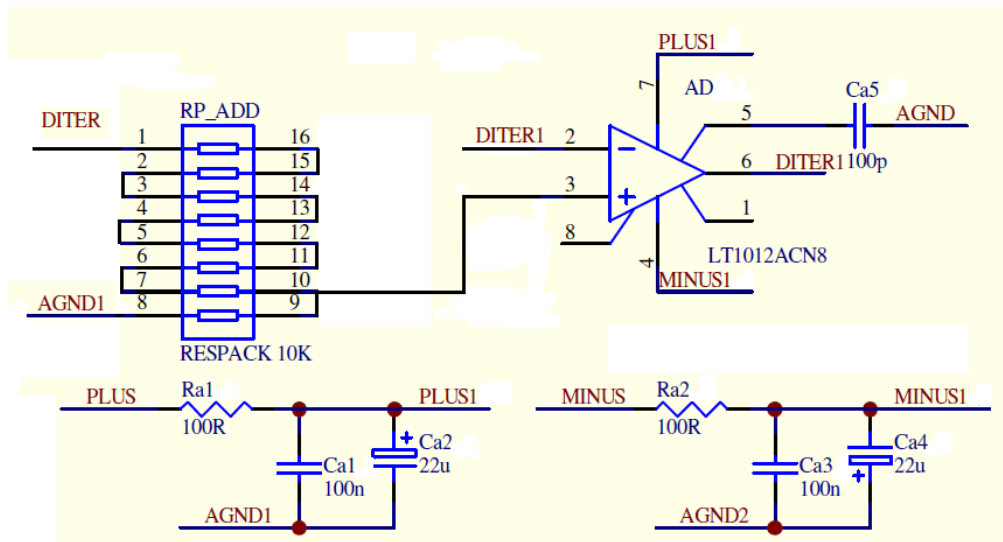


Sl. 59. Šema primene DAC AD760AQ.

Sa DAC izlaza, signal DITER se vodi na precizni razdelnik napona kojim se nivo ditera  $\pm 5$  V svodi na potreban nivo.

Otporna mreža RMKD816 je konfigurisana tako da radi kao 1:8 razdelnik napona. Ovaj signal se zatim baferuje preciznim OP sa malim ofsetom LT1012A [47]. Izlaz bafera je signal DITER1 koji se vodi na ulazni sabirač. Kako je u sabiraču jedan otpornik iz RMKD816 u povratnoj sprezi, a dva su redno vezana na ulazu kojim se sabira signal DITER1, on se dodatno slabi 2 puta.

Ovako je signal ditera  $h$  sveden na potrebni nivo  $\pm h = \pm g = \pm 5/16$  V =  $\pm 0.3125$  V.



Sl. 60. Šema bloka za slabljenje ditera.

Ovaj DAC poseduje tzv. autokalibraciju kojom se greška nule (izlazni ofset) eliminiše.

Procedura kalibracije se vrši iz tri koraka:

Korak 1:

- Pokreće se autokalibracija aktiviranjem odgovarajućeg pina.

Korak 2:

- Zadaje se naredba koja postavlja sve *data* bitove na "1" što odgovara maksimalnom izlaznom naponu DAC.
- Za opseg  $\pm 5$  V, to je  $U_g = 4.999847$  V.
- Naredba se šalje putem digitalne reči u heksadecimalnom obliku broja pomoću softvera Terminal Br@y [58] koji emulira virtuelni serijski (COM) port i služi za komunikaciju sa FPGA preko kog se zadaje naredba za DAC.
- Izmeri se napon  $U_{g1}$  na izlazu. U *datasheet*-u nije napomenuto da je za takav nivo merenja potrebno posedovati voltmetar sa rezolucijom od najmanje  $7 \frac{1}{2}$  cifara!
- Trimerom RV5 se podesi da napon bude smanjen za dvostruku vrednost razlike ova dva napona na novi napon  $U_{g2}$ :

$$U_{g2} = U_g - 2(U_{g1} - U_g) \quad (130)$$

- Ovime je podešeno pojačanje (*gain*) DAC.

Korak 3:

- Ponovo se pokreće autokalibracija, koja podešava grešku nule (*zero adjust*) tj. ofset izlaza DAC. Pri tome će greška pojačanja (*gain error*) postati zanemariva, kako se tvrdi.

Korak 4:

- Pokreće se redovna funkcija DAC. U ovom slučaju je to generisanje ditera.

Autoru su na raspolaganju bila 4 komada AD760.

Zvanična procedura kalibracije je primenjena sa svakim čipom na mestu DAC, kako bi se proverilo realno stanje opsega ofseta DAC i efektivnost kalibracije.

Da bi se proverila tačnost nule, tj. ofset, posle Koraka 3, zadata je *hex* naredba kojom se vrednost ulaza DAC postavlja na sredinu bipolarnog opsega, a analogni izlaz na vrednost koja odgovara tom nivou, idealno 0 V. Napon koji se pojavi na izlazu različit od nule, predstavlja ofset.

Zatim je poslana *hex* naredba za pun opseg i izmerena vrednost za koju se očekuje da je  $U_g$ .

Izlaz DAC je meren sa HP3458A. Probane su dve varijante podešavanja  $U_g$ , na propisani nivo 4.999847 V i na 5.000000 V.

DAC #	izlaz DAC (ofset) za zadatu bipolarnu nulu na ulazu, kada je $U_g=4.999847$ V mV	izlaz DAC (ofset) za zadatu bipolarnu nulu na ulazu, kada je $U_g=5.000000$ V mV	izlaz DAC (greška pojačanja) za zadat pun ulazni bipolarni opseg, za obe vrednosti $U_g$ V
1	-0.63	-0.54	+5.00112
2	-0.25	-0.15	+5.00034
3	-5.20	-5.10	+5.01021
4	-1.86	-1.77	+5.00339

Tabela 10. Naponi ofseta i punog opsega posle procesa kalibracije u tri koraka, za sve raspoložive primerke DAC.

Dobijeni rezultati u Tabeli 10 se vrlo razlikuju od deklariranih.

Ako je LSB 18-bitnog DAC na opsegu  $\pm 5$  V približno 0.3815 mV, tada deklarirana greška nule (ofset) od  $\pm 0.5$  LSB iznosi 0.1907 mV. Dobijene vrednosti su mnogo veće, jedino je DAC #2 približan toj vrednosti, pa je on i izabran za dalji rad.

Osim što DAC ne zadovoljava deklarirane vrednosti ofseta, vidimo i da se pojedinačni primerci međusobno dosta razlikuju, a DAC #3 odstupa skoro 30 puta više od dozvoljene vrednosti.

Ovako velika odstupanja ofseta su posledica namene ovog DAC, a to je audio reprodukcija kod koje DC komponenta, tj. ofset, nije bitan faktor u tačnosti reprodukcije signala.

Vidimo da deklaracije proizvođača i performanse postignute u uslovima fabričke laboratorije za ispitivanje, ne moraju da se poklapaju sa stvarnim stanjem.

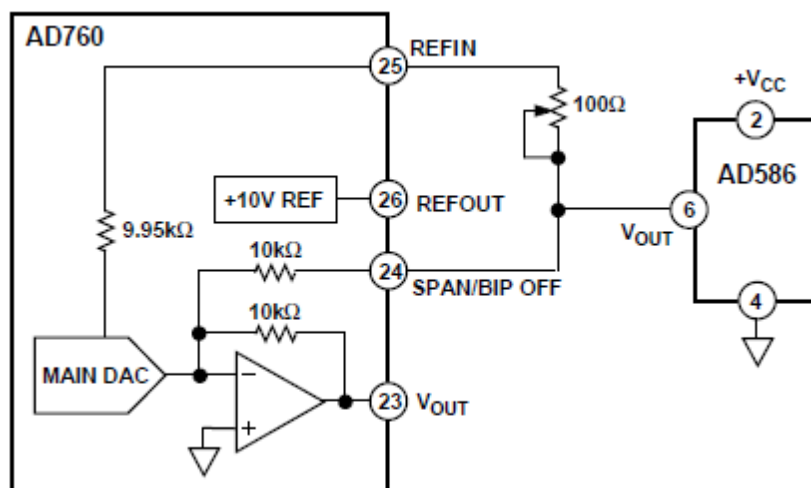
Drugi problem je greška punog opsega, koja odstupa za 0.5 mV kod DAC #2, pri čemu je prisutan i značajan ofset.

Iz izloženog je jasno da propisana procedura kalibracije nije adekvatna u ovoj primeni. Problem nastaje što se zapravo podešavaju dve stvari: nagib linearne karakteristike i prolazak kroz nulu te karakteristike. Pri tome, podešavanje nule je automatizovano i bez uticaja korisnika.

U procesu autokalibracije se verovatno pokušava napraviti kompromis između tri stvari: da krajevi karakteristike budu poklopljeni sa gornje strane sa maksimalnom vrednošću bipolarnog opsega, sa donje strane sa minimalnom vrednošću bipolarnog opsega, kao i da linija prolazi kroz koordinatni početak.

Mnogo bolja varijanta bi bila da autokalibracija podesi nulu, a da potom nezavisno možemo da podesimo maksimalnu i minimalnu vrednost izlaza, čime bi se podesio i ofset na minimum.

Ovo je izvedeno primenom eksterne precizne naponske reference, kao što je prikazano u dokumentaciji.



Sl. 61. Povezivanje DAC u bipolarnom modu rada na eksternu naponsku referencu sa podešavanjem *gain*-a.

U početnoj izvedbi DAC, na pin #25 je preko trimera doveden referentni napon sa precizne reference AD586, koja služi i za generisanje naponskih pragova.

Analizom unutrašnje konstrukcije DAC, vidimo da trimenom na DAC podešavamo nagib (*gain*) prema referentnom naponu koji je doveden. Ovaj napon se podešava da bude +5.000000 V za potrebe generisanja tačnih naponskih pragova.

Posle tog podešavanja, podešava se DAC trimer. On utiče samo na prolazak linije kroz gornji opseg izlaza DAC.

Referentni napon je direktno vezan na pin #24 i njime je određen prolazak kroz minimum opsega izlaza DAC. Trimer na DAC ne utiče na ovaj opseg, samo autokalibracija i podešavanje AD586 za potrebe naponskih pragova.

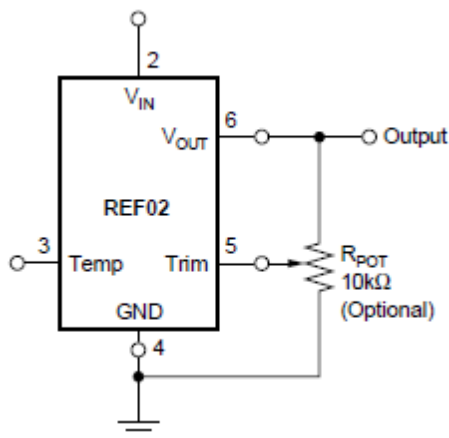
Zato je dodata posebna referenca samo za AD760 koja ima mogućnost podešavanja napona.

Ovime je postignuto da se podešavanjem trimera nove reference podesi minimum, što utiče i na gornji opseg, ali to će se ispraviti u sledećem koraku. Zatim, podešava se originalni DAC trimer, kojim se podešava pun opseg. Ova regulacija ne utiče na minimum opsega.

Upotrebljena je referenca Texas Instruments REF02 [59]:

- izlazni napon  $5.0\text{ V} \pm 0.2\%$
- temperaturni koeficijent  $10\text{ ppm}/^\circ\text{C}$
- nizak šum  $10\text{ }\mu\text{V}$
- dugoročna stabilnost  $100\text{ ppm}/1000\text{ h}$

Data je mogućnost dodavanja spoljnog trimera kojim je moguće podešavati izlaz u opsegu  $\pm 150\text{ mV}$ .



Sl. 62. Dodatna naponska referenca REF02 za podešavanje negativnog opsega DAC.

Metodom pokušaja je ustanovljena bolja modifikovana i manuelna procedura kalibracije DAC:

Korak 1:

- Pokreće se standardna autokalibracija.

Korak 2:

- Zadaje se *hex* naredba za minimalni izlaz DAC, pa se sa trimenom  $R_{POT}$  na REF02 podešava izlazni napon na  $-5.000000\text{ V}$  (izmereno).



Korak 3:

- Zadaje se *hex* naredba za maksimalni izlaz DAC, pa se sa DAC trimerom podešava izlazni napon na +4.999847 V (izmereno).

Korak 4:

- Zadaje se *hex* naredba za bipolarnu nulu i meri se napon ofseta. Pokazuje se da se ovom metodom ofset može smanjiti na 0.001 mV.
- Ako je izmereni napon veći, ponavljaju se Koraci 2 i 3 dok se ne postigne minimalna vrednost ofseta.

Korak 5:

- NE pokreće se autokalibracija!
- Pokreće se generisanje ditera putem *hex* komande ka FPGA za početak regularnog rada.

Ovo podešavanje je sada nezavisno od referenci za naponske pragove, ali važi isto pravilo, treba da prođe 1 h rada dok se reference toplotno stabilizuju.

Ovu proceduru je neophodno ponoviti svaki put kada se uključi napajanje uređaja posle isključenja ili posle svake autokalibracije.

Na ovaj način je obezbeđeno generisanje precizne amplitude ditera, što je potvrđeno merenjima raspoloživom instrumentacijom, sa greškom manjom od 50  $\mu$ V.

## 7.4. DIZAJN PROTOTIPA – NAPAJANJA SMI

### 7.4.1. NAPAJANJE ANALOGNOG DELA SMI

#### Ispravljač i stabilizator pozitivnih napona napajanja

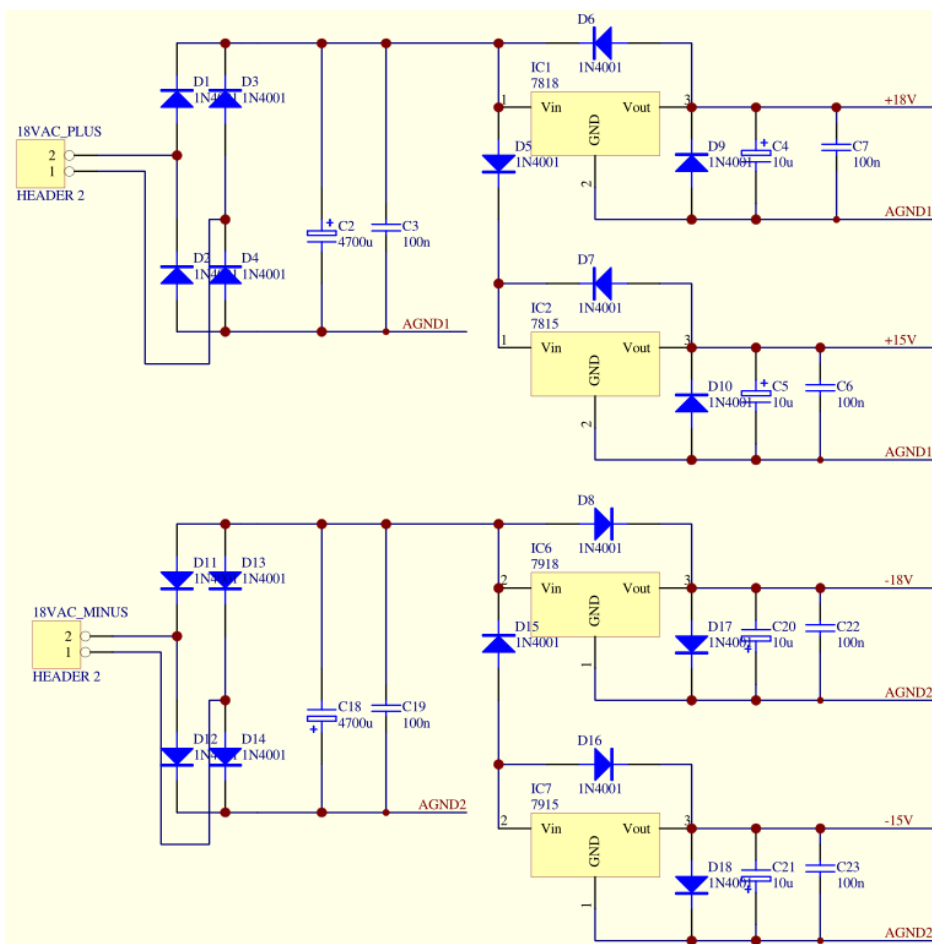
Sa prvog sekundara transformatora se napon vodi na četiri ispravljačke diode i filtarski elektrolitski kondenzator od 4700  $\mu$ F koji ispravlja pulsirajući jednosmerni napon. Dodatni blok kondenzator filtrira brze promene u napajanju (naponske pikove i tranzijente). Za ova napajanja je izvučena posebna linija mase AGND1.

Za stabilizaciju se koriste standardni naponski stabilizatori sa tri pina: LM7818 za +18 V i LM7815 za +15 V, [60], [61].

Osnovne karakteristike:

- tolerancija izlaznog napona  $\pm 2$  %
- izlazna regulacija 0.3 %
- zaštita od kratkog spoja i termalnog preopterećenja

- maksimalna izlazna struja 1.5 A
- temperaturni drift 1 mV/°C



Sl. 63. Ispravljač i stabilizator pozitivnih i negativnih napona napajanjaSDEEM.

### Ispravljač i stabilizator negativnih napona napajanja

Sa drugog sekundara transformatora se napon vodi na ispravljački deo sličan prvom.

Za stabilizaciju se koriste standardni naponski stabilizatori negativnog napona sa tri pina:

LM7918 za -18 V i LM7915 za -15 V, [62], [63].

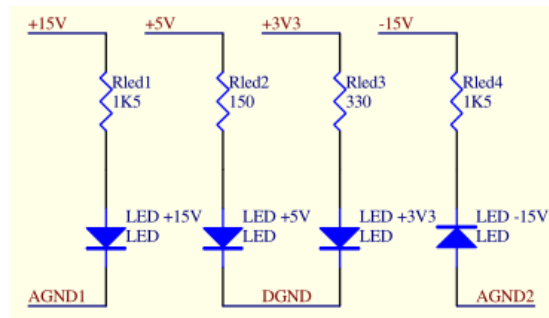
Za ova napajanja je izvučena posebna linija mase AGND2.

Sve linije mase na štampanoj ploči veza (PCB) su izvedene posebno radi smanjivanja međusobnih smetnji analognog i digitalnog dela. Usled naglih promena u struji jednog dela, može doći do preslušavanja ili trenutnog porasta potencijala na nekom delu povratnog voda, što može izazvati pogrešnu detekciju logičkih stanja kod digitalnog dela ili veliki ofset analognog dela usled promene referentne tačke potencijala.

Osnovne karakteristike:

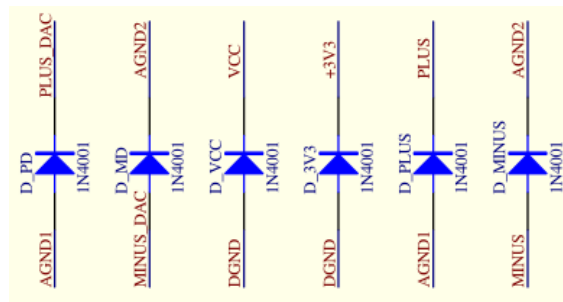
- tolerancija izlaznog napona  $\pm 4\%$

- ostatak karakteristika je isti kao kod familije 78xx



Sl. 64. Indikacija svake linije napajanja se vrši preko četiri LED diode.

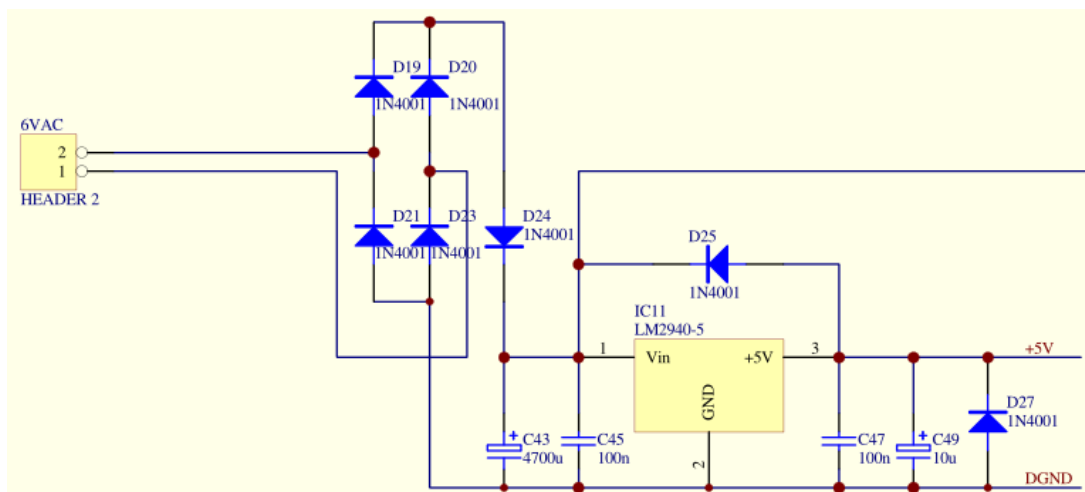
Sve linije napajanja imaju i zaštitne diode velike snage koje štite ostatak kola ukoliko se pojavi napon negativnog polariteta. U tom slučaju diode provode i usmeravaju svu struju kroz masu, a ne kroz ostale komponente.



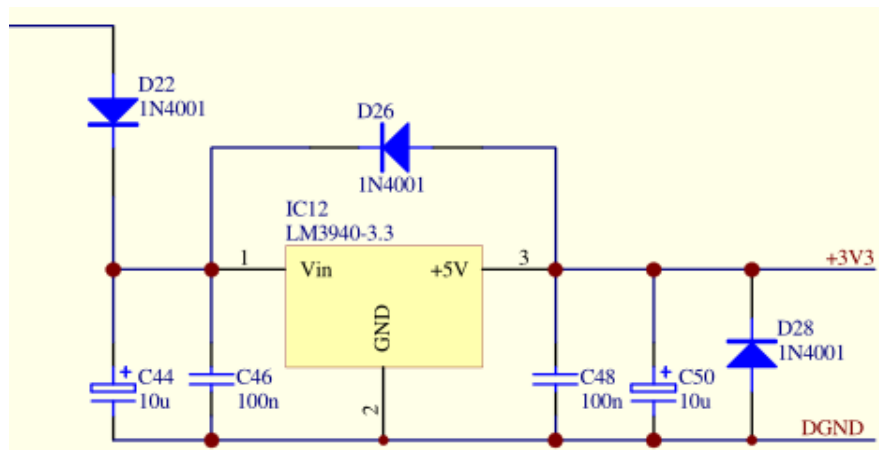
Sl. 65. Zaštitne diode.

## 7.4.2. NAPAJANJE DIGITALNOG DELA SMI

Za napon +5V je iskorišten LM2940-5 [64], a za +3.3V LM3940-3.3 [65], *low-dropout* verzije familije stabilizatora LM340/78xx [66]. Glavna odlika im je da razlika između ulaznog i izlaznog napona ne mora biti veća od 3 V, već veća od 0.5 V, dok su ostale karakteristike iste.



Sl. 66a. Šema napajanja digitalnog dela sa LM2940-5.



Sl. 66b. Šema napajanja digitalnog dela sa LM3940-3.3.

Ovo su stabilizatori napona za digitalni deo uređaja, pa imaju izvučenu posebnu liniju mase DGND (tzv. “prljava masa”), koja se u samo jednoj tački (zvezdištu) spaja sa ostalim (analognim) masama.

### 7.4.3. NAPAJANJE ZA DAC

Za DAC kao najosetljiviju komponentu je izvedeno posebno napajanje, kako bi se izvršila potpuna izolacija od svih mogućih smetnji koje mogu doći kroz linije napajanja.

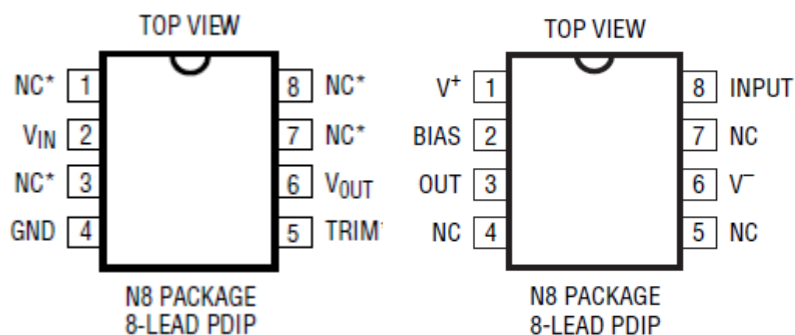
Vrednost napajanja nije kritična za ostale komponente u opsegu nekoliko procenata, međutim nivo ditera zavisi od stabilnosti i tačnosti napajanja DAC.

Da bi se napajao sa stabilnih  $\pm 10$  V, za DAC je napravljen kompozitni izvor napona.

Precizna naponska referenca Linear LT1236-10 [67] obezbeđuje tačnih i stabilnih +10 V.

Karakteristike:

- tačnost 0.05 %
- mali temperaturni drift 5 ppm/°C
- maksimalna izlazna struja 1.2 mA
- nizak šum 1 ppm



Sl. 67. Izgled kućišta LT1236-10 i LT1010.

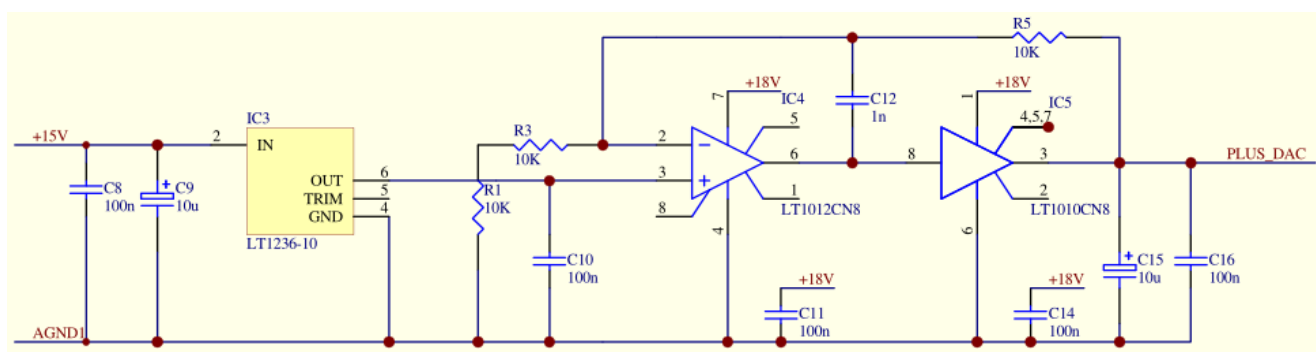
AD760 zahteva 21 mA iz svake linije napajanja, pa je jasno da referenca, iako veoma tačna i stabilna, ne može da obezbedi dovoljno struje za DAC.

Zato je napravljen precizni strujni pojačavač sa brzim baferom Linear LT1010 [68].

Karakteristike:

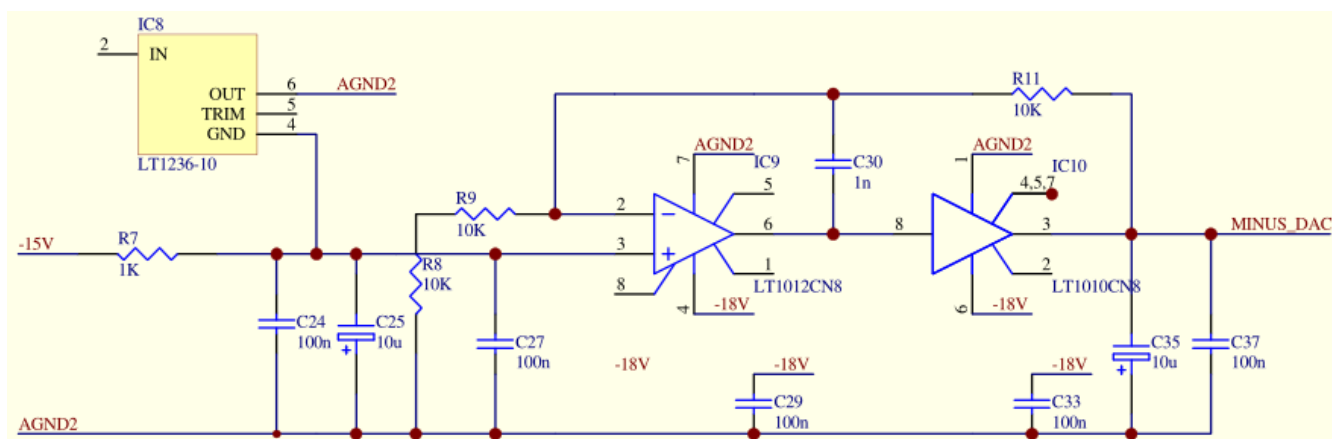
- sa jediničnim pojačanjem
- izlazna struja  $\pm 150$  mA

Ovaj OP je predviđen da pojačava strujne izlaze brzih OP. Ovde je povezan sa linearnim OP LT1012 u regulisanu povratnu spregu [69], čime se obezbeđuje stabilan rad bez izobličenja usled pojave tranzijentnih smetnji u napajanju. Dodatni kondenzatori stabilizuju i filtriraju DC napone.



Sl. 68. Šema pozitivnog izvora napajanja za DAC.

Negativno napajanje za DAC je ostvareno na sličan način, primenom topologije LT1236-10 za negativni stabilizator koja je data u proizvođačkoj dokumentaciji [67].



Sl. 69. Šema negativnog izvora napajanja za DAC.

## 7.5. USB-TO-UART BRIDGE MODUL ZA KOMUNIKACIJU

Modul komunikacijskog mosta Silicon Labs CP2102 [70] za povezivanje UART protokola RS-232 na SDEEM sa računarom, putem USB, dat je blok šemom na Sl. 70.

Modul je priključen na postojeći prototip kao *daughterboard*, tj. kao dodatna pločica koja nije integrisana u PCB uređaja.

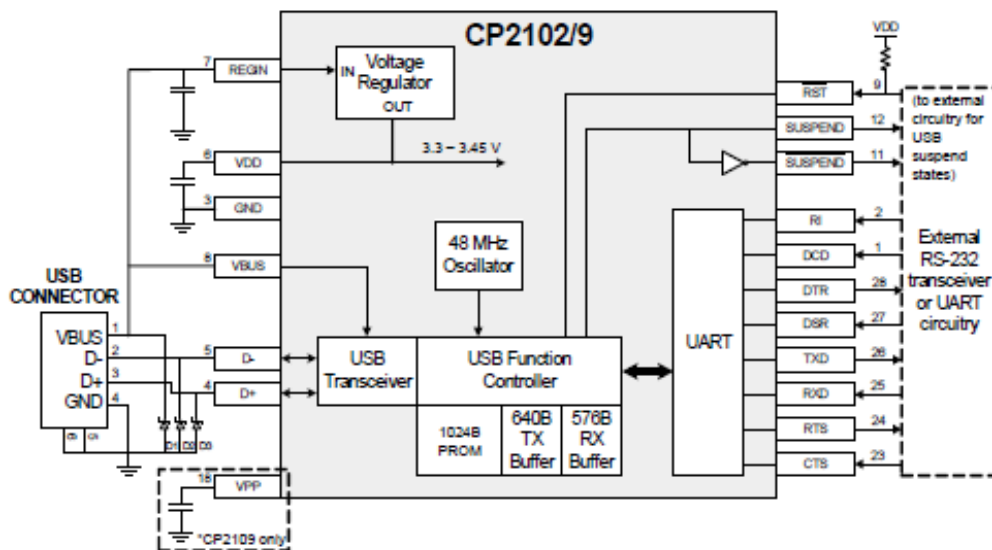
Veza između SDEEM i CP2102 je ostvarena povezivanjem samo tri linije: Tx, Rx i DGND.

Modul poseduje i mogućnost da se napaja iz eksternog izvora napona +3.3 V, koji se koristi i za napajanje Cyclone kontrolera.

Da bi se izbeglo međusobno ometanje putem zajedničke linije napajanja, odlučeno je da se modul napaja linijom +5 V u samom USB priključku računara.

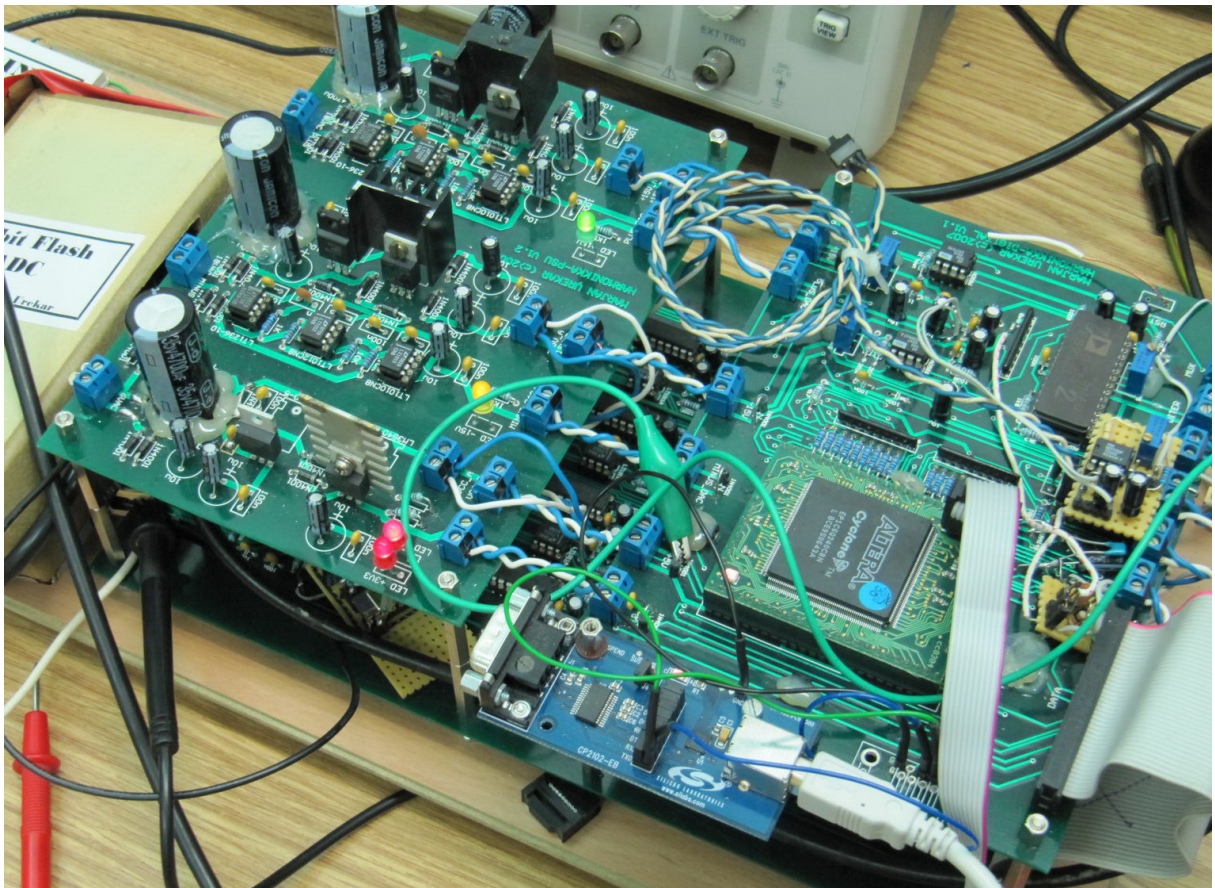
Osnovne karakteristike:

- kompatibilan sa USB 2.0
- brzina do 12 Mbps (USB)
- brzina do 1 Mbps (UART)
- simulira virtuelni COM port
- mala potrošnja: oko 20 mA u aktivnom stanju, 100  $\mu$ A u stanju mirovanja

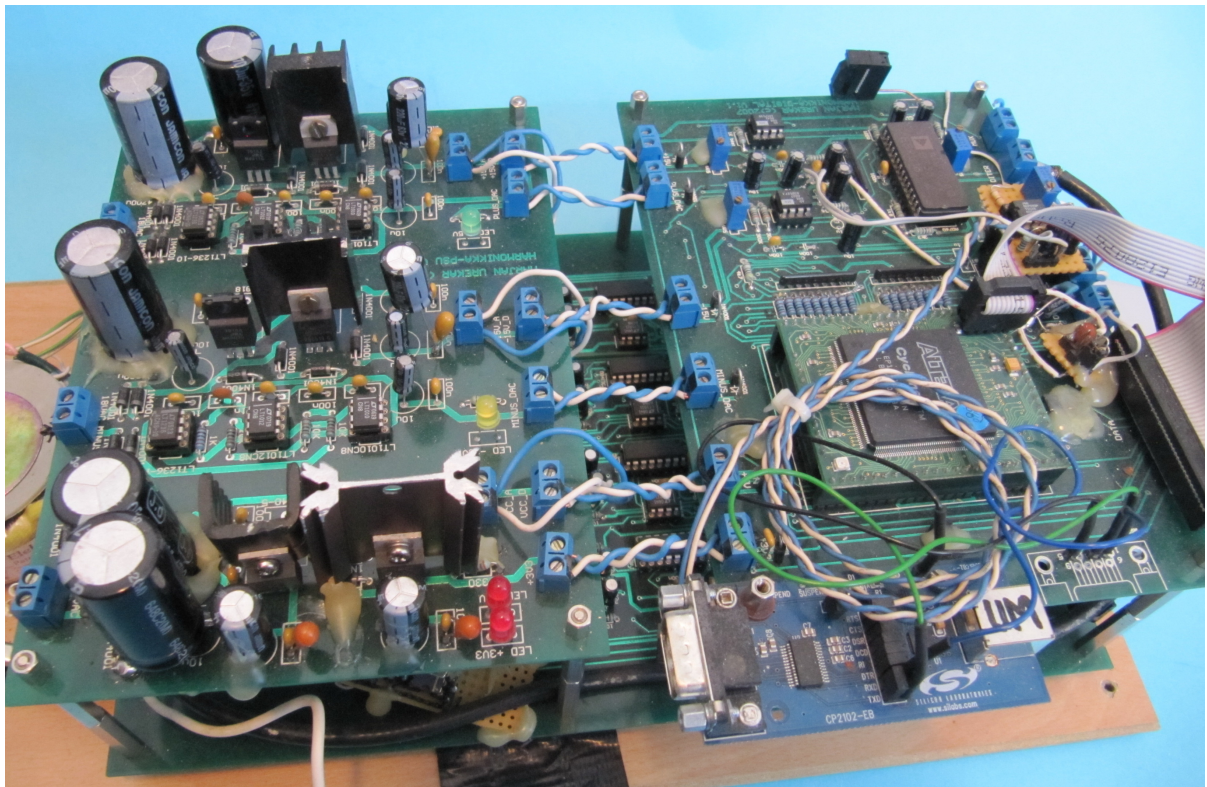


Sl. 70. Blok šema CP2102.

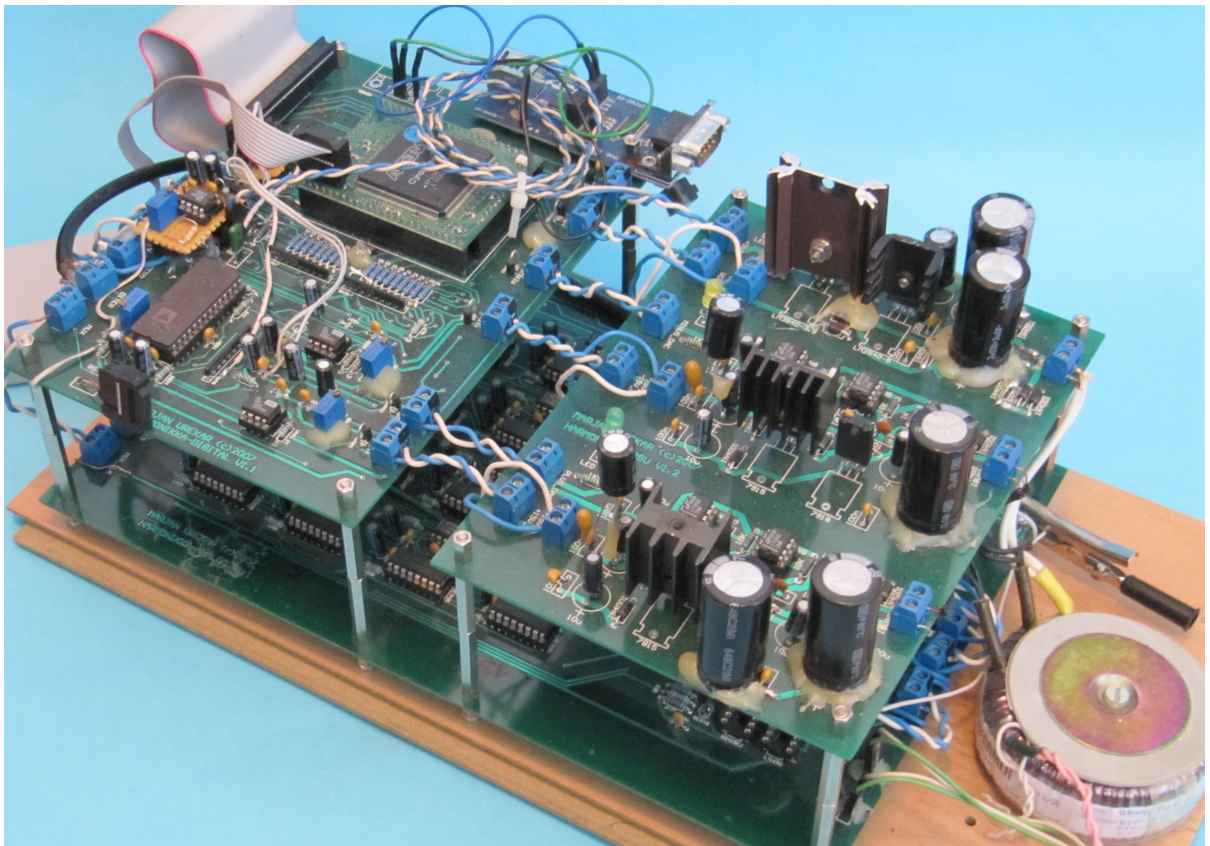
## 7.6. IZGLED PROTOTIPA 4-BITNOG SMI



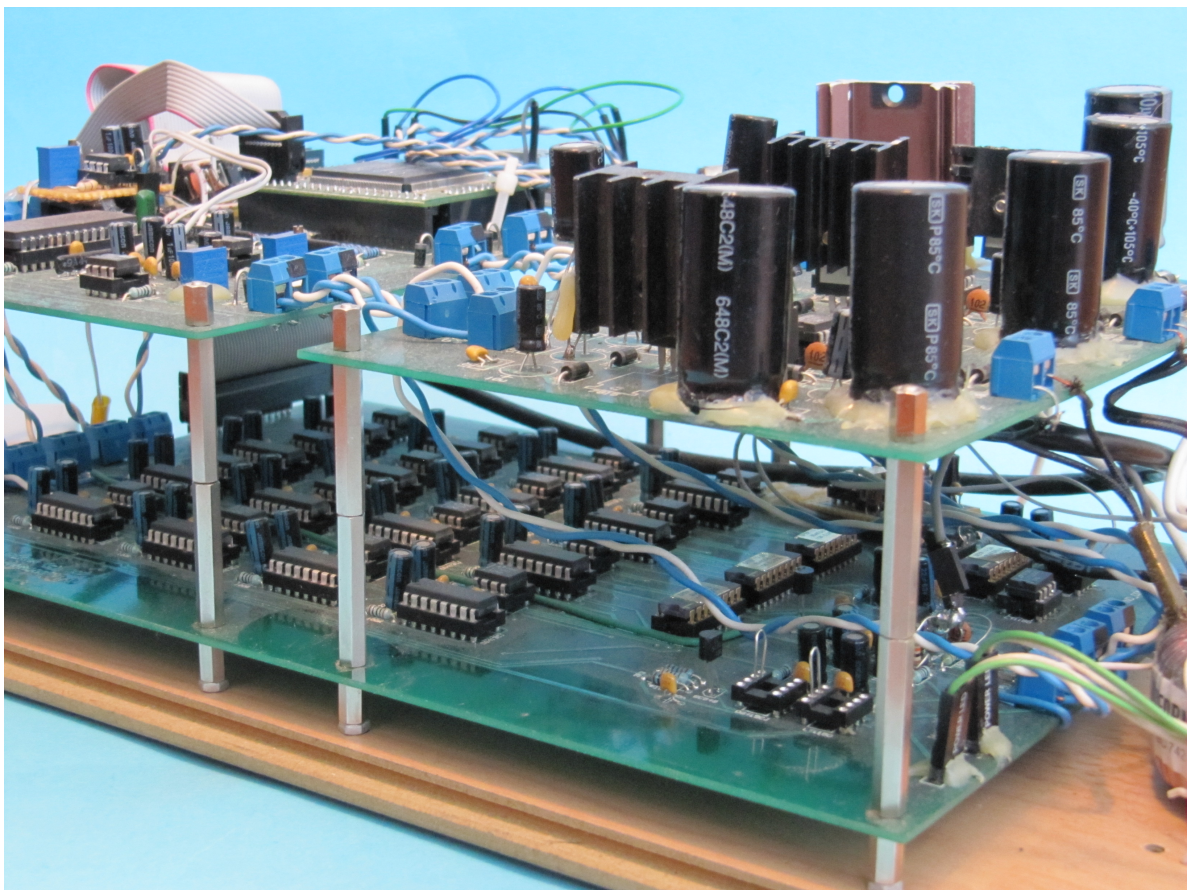
Sl. 71a. Izgled hardverskog prototipa 4-bitnog SMI.



Sl. 71b. Izgled hardverskog prototipa 4-bitnog SMI.



Sl. 72a. Izgled hardverskog prototipa 4-bitnog SMI.



Sl. 72b. Izgled hardverskog prototipa 4-bitnog SMI.

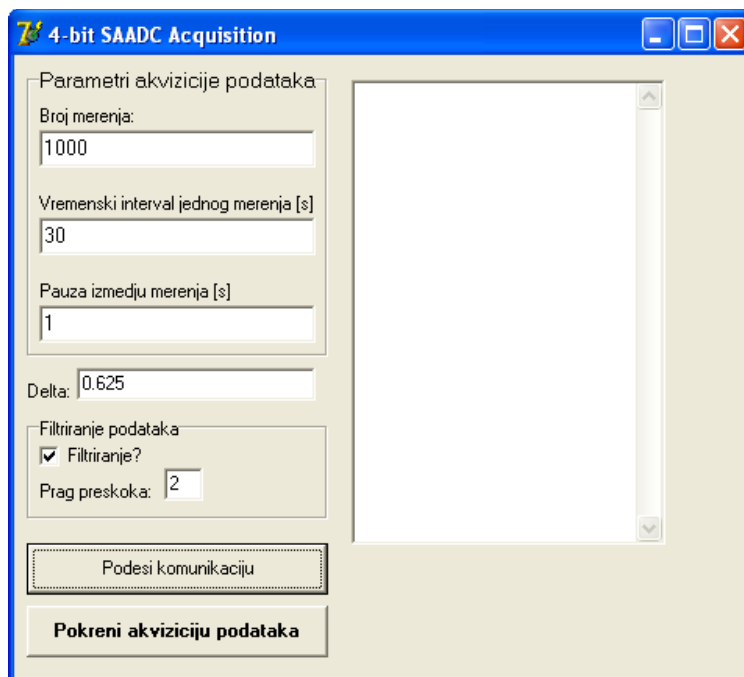


## 7.7. SOFTVERSKA APLIKACIJA ZA OBRADU PODATAKA

Razvijen je program koji prikuplja svaki niz podataka koji pošalje procesor posle merenja jedne periode signala na dva ulazna kanala. Ovaj softver akumulira ove vrednosti, izračunava vrednost  $\Psi$ , a broj odmeraka čini broj  $N$ .

Oznake u Tabeli 11:

- $U_{in}$  - opseg merenog ulaznog napona  $V_{max}$
- SW - upravljački signal za svičevanje 0/1 koji daje Cyclone, posle se invertuje
- O1-O16 - izlazi komparatora MSB-LSB
- OF+ - *overflow* (prebačaj), izbacuje se taj podatak iz sume
- OF- - *underflow* (podbačaj), izbacuje se taj podatak iz sume
- 7 ... -7 - izlazne kodne reči

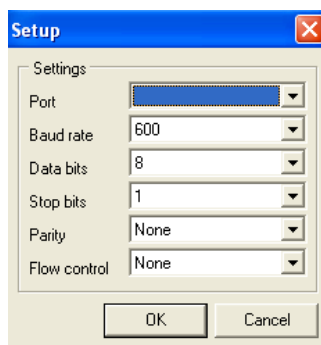


Sl. 73. Program za upravljanje merenjem 4-bitnog SDEEM.

Zadaju se sledeći parametri:

- broj ponovljenih merenja u nizu
- interval jednog merenja (u sekundama)
- pauza između dva uzastopna merenja (u sekundama) – objašnjeno u poglavlju Rezultati merenja
- filtriranje podataka i prag preskoka kao kriterijum za filtriranje – objašnjeno u poglavlju Rezultati merenja
- vrednost Delta se ne podešava, služi kao podsetnik
- podešavanje parametara komunikacije u posebnom prozoru

- pokretanje procesa merenja



Sl. 74. Programski modul za podešavanje komunikacije SDEEM sa računarem preko USB.

U okviru prozora glavnog programa se vrši ispis rednog broja merenja, proteklo vreme i rezultat merenja izražen u vidu RMS ulaznih napona na dva kanala. Isti podaci se zapisuju u fajl u TXT formatu, zajedno sa log fajlom u kom su zapisani zadati parametri u komandnom prozoru.

### Primer dela fajla sa rezultatima merenja:

Redni broj merenja:1  
 Kanal A Veff: 3.00250577351049  
 Broj overflow-a na kanalu A: 0  
 Broj preskoka na kanalu A: 61

Kanal B Veff: 3.00255779222288  
 Broj overflow-a na kanalu B: 0  
 Broj preskoka na kanalu B: 61

-----  
 Redni broj merenja:2  
 Kanal A Veff: 3.00215527701621  
 Broj overflow-a na kanalu A: 0  
 Broj preskoka na kanalu A: 53

Kanal B Veff: 3.00264688900713  
 Broj overflow-a na kanalu B: 0  
 Broj preskoka na kanalu B: 54

-----  
 Redni broj merenja:3  
 Kanal A Veff: 3.0028219148138  
 Broj overflow-a na kanalu A: 0  
 Broj preskoka na kanalu A: 60

Kanal B Veff: 3.00243400597971  
 Broj overflow-a na kanalu B: 0  
 Broj preskoka na kanalu B: 53

## Pripadajući log fajl:

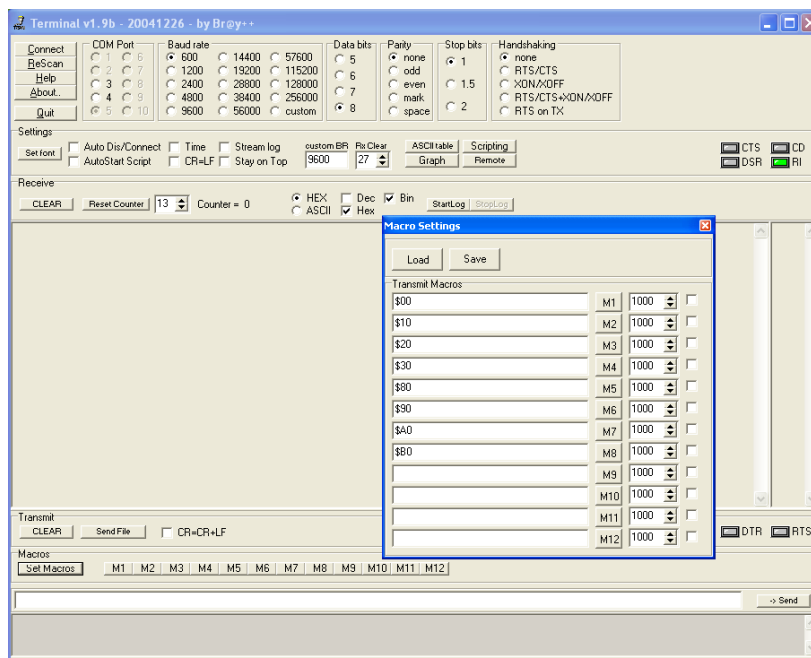
Vreme pocetka merenja:21:34:02  
 Datum pocetka merenja:09/11/2014  
 Broj merenja:100  
 Vremenski interval jednog merenja:180  
 Pauza izmedju merenja:1

Logička stanja 4-bitnog SMI sa kojima radi softver data su u Tabeli 11.

Uin >	Uin <=	SW	O1	O2	O3	O4	O5	O6	O7	O8	O9	O10	O11	O12	O13	O14	O15	O16	kod	kod	
V max	V max	pin61	pin21	pin20	pin19	pin18	pin17	pin16	pin15	pin14	pin14	pin10	pin9	pin8	pin7	pin6	pin5	pin4	pin3	bin	dec
4.6875	5.0000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1000	-OF
4.0625	4.6875	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0111	-7
3.4375	4.0625	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0110	-6
2.8125	3.4375	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0101	-5
2.1875	2.8125	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0100	-4
1.5625	2.1875	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0011	-3
0.9375	1.5625	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0010	-2
0.3125	0.9375	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0001	-1
-0.3125	0.3125	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0000	0
-0.9375	-0.3125	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1111	+1
-1.5625	-0.9375	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	1110	+2
-2.1875	-1.5625	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	1101	+3
-2.8125	-2.1875	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	1100	+4
-3.4375	-2.8125	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	1011	+5
-4.0625	-3.4375	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	1010	+6
-4.6875	-4.0625	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1001	+7
-5.0000	-4.6875	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1000	+OF
4.6875	5.0000	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1000	-OF
4.0625	4.6875	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0111	-7
3.4375	4.0625	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0110	-6
2.8125	3.4375	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0101	-5
2.1875	2.8125	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0100	-4
1.5625	2.1875	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0011	-3
0.9375	1.5625	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	0010	-2
0.3125	0.9375	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0001	-1
-0.3125	-0.3125	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0000	0
-0.9375	-0.3125	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1111	+1
-1.5625	-0.9375	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1110	+2
-2.1875	-1.5625	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1101	+3
-2.8125	-2.1875	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1100	+4
-3.4375	-2.8125	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1011	+5
-4.0625	-3.4375	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1010	+6
-4.6875	-4.0625	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1001	+7
-5.0000	-4.6875	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1000	+OF

Tabela 11. Logička stanja 4-bitnog SMI.

Upravljanje DAC funkcijama se vrši putem programa Terminal Br@y, Sl. 75.



Sl. 75. Izgled komandnog prozora programa Terminal Br@y kojim se upravlja radom DAC.

## 7.8. LISTA KOMPONENTI (*BILL OF MATERIALS*)

Kao još jedan od pokazatelja magnitude složenosti uređaja, u smislu dupliranja hardvera, korisno je imati pregled broja svih komponenti koje su upotrebljene u prototipu.

Part Type	Description	pcs.
100n	Capacitor	90
100p	Capacitor	3
1n	Capacitor	3
1u	Capacitor	2
10u	Capacitor Electrolytic	17
1u	Capacitor Electrolytic	2
22u	Capacitor Electrolytic	43
4700u	Capacitor Electrolytic	3
DB9FL	Connector	1
SIP16	Connector	2
SIP2	Connector	38
1N4001	Diode	34
1N4148	Diode	1
Odstojnici 8 kompleta	Hardware	40
Ribbon 24line Wiring	Hardware	1
AD760AQ	IC DAC	1
LT1010CN8	IC Fast ± 150mA Power Buffer	2
LT1012ACN8	IC OPAMP	4
LT1150CN8	IC OPAMP	3
AD586MN	IC Prec Volt Ref	2
LT1236ACN8-10	IC Prec Volt Ref	2
REF02DP	IC Quad, SPST Analog	1
DG413CJ	Switches	16
DG419CJ	IC Single, SPDT Analog Switch	1
7815	IC TO220 Volt Reg	1

7818	IC TO220 Volt Reg	1
7915	IC TO220 Volt Reg	1
7918	IC TO220 Volt Reg	1
LM2940-5	IC TO220 Volt Reg	1
LM3940-3.3	IC TO220 Volt Reg	1
CYCLONE	IC uPC	1
LT1011ACN8	IC Voltage Comparator	17
LED Red 20mA	LED	4
BC548	NPN Transistor	2
100K	Resistor Metal Film	1
100R	Resistor Metal Film	46
10K	Resistor Metal Film	12
150R	Resistor Metal Film	1
1K	Resistor Metal Film	20
1K5	Resistor Metal Film	2
1K8	Resistor Metal Film	1
300K	Resistor Metal Film	3
330R	Resistor Metal Film	1
3K3	Resistor Metal Film	3
3K9	Resistor Metal Film	2
4K7	Resistor Metal Film	1
Vishay RMKD 816/TDP1603 10K	Respack DIL16	5
8x4K7	Respack SIP9	3
CYCLONE 72pin	Socket	1
DIL16	Socket	20
DIL28	Socket	1
DIL8	Socket	31
Diode Socket	Socket	4
2x2	Switch 220V	1
1x1	Taster	1
100R	Trimmer (vertical)	1
10K	Trimmer (vertical)	3

## 8. REZULTATI MERENJA

Realizovani SMI je moguće konfigurisati na nekoliko načina, gde se jedina promena vrši na ulazima SMI i u softveru za obradu podataka:

### **OPCIJA 1:** Merenje energije potrošača (SDEEM).

Ovo je osnovna konfiguracija i namena prototipa 4-bitnog SMI. Na ulaze se dovode dva napona koji su proporcionalni naponu i struji energetskog potrošača. Merni pretvarači na ulazu SDEEM pretvaraju merene veličine u skalirane niske napone.

Softver računa srednju vrednost proizvoda dva ulaza tokom vremenskog perioda, sa rezultatom izraženim u Wh ili kWh.

### **OPCIJA 2:** Merenje energije u osnovnom opsegu (Laboratorijski SDEEM).

Na ulaz SDEEM se dovode etalonski niski naponi, bez mernih pretvarača. Ovo je opcija za laboratorijski rad uređaja, prilikom ispitivanja, kalibrisanja, etaloniranja i podešavanja.

Softver daje rezultat izražen u  $V \cdot V \cdot s$ .

### **OPCIJA 3:** Merenje snage (Stochastic Digital Electrical Power Meter – SDEPM).

Jedina izmena u odnosu na Opciju 1 je izmena u softveru, gde se dodatnom linijom koda rezultat merenja energije deli periodom merenja (brojem semplova) da bi se odredila snaga.

Rezultat je u W ili kW.

### **OPCIJA 4:** Merenje snage u osnovnom opsegu (Laboratorijski SDEPM).

Kombinacija Opcija 2 i 3.

Softver je kao u opciji 3, rezultat je u  $V \cdot V$ .

### **OPCIJA 5:** Merenje kvadrata efektivne vrednosti (RMS) ulaznog napona (Simulacioni SDEEM).

Na oba ulaza SMI se dovodi isti signal.

Rezultat se nalazi u istom opsegu kao softverske simulacije koje su rađene. Ova opcija je pogodna za istraživanja podudaranja simulacionih i merenih rezultata jer imaju istu veličinu i jedinicu.

Softver je kao u opciji 3 i 4, a rezultat je u  $V \cdot V$ .

**OPCIJA 6:** Merenje RMS ulaznog napona (SDRMSVM – Stochastic Digital RMS Voltage Meter).

Postavka identična Opciji 5.

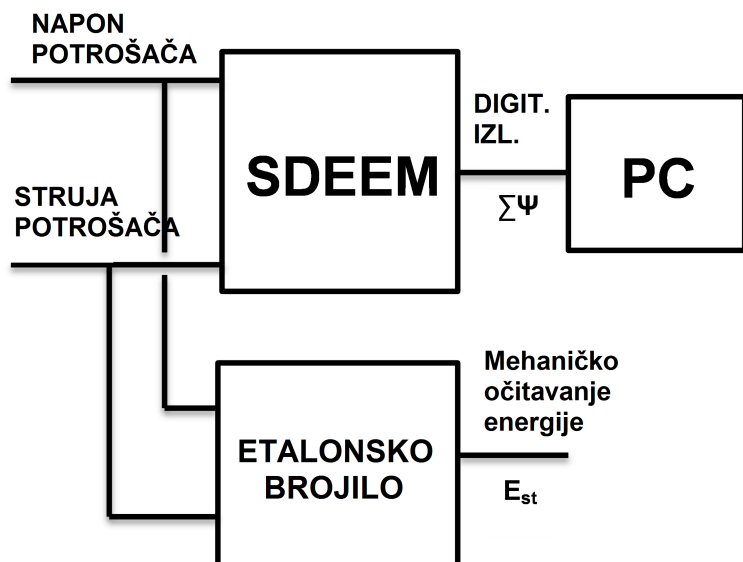
Softver je izmenjen dodatnom linijom koda koja na kraju merenja izračunava kvadratni koren iz dobijenog rezultata, čime se dobija RMS vrednost ulaznog napona.

## PRAKTIČNA REALIZACIJA

Za konačnu realizaciju odabrana je Opcija 6 iz praktičnih razloga (PoC pristup).

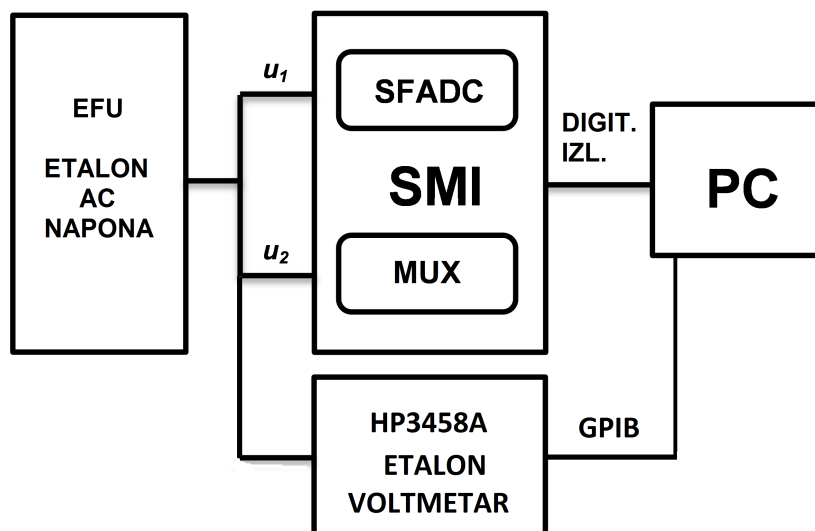
Najbolja laboratorijska oprema za ispitivanje i etaloniranje koja je na raspolaganju autoru, omogućava direktno merenje RMS niskih napona sa najvećom tačnošću i preciznošću, pa je u svim daljim eksperimentima korišćena ova postavka.

Etaloniranje Opcije 1 (SDEEM) se u idealnom slučaju sprovodi prema Sl. 76, korišćenjem etalonskog brojila, koje autoru nije bilo na raspolaganju.



Sl. 76. Šema za etaloniranje Opcije 1.

Etaloniranje Opcije 6 se sprovodi prema Sl. 77, korišćenjem etalona AC napona (EFU) i etalonskog AC voltmetra (multimetar HP3458A).



Sl. 77. Šema za etaloniranje Opcije 6.

## 8.1. DEBAGOVANJE

### 8.1.1. KOMPENZACIONA FUNKCIJA

Nakon inicijalnog perioda podešavanja uređaja i poboljšavanja pojedinih delova hardvera (dodavanje posebne reference za DAC, izmena procedure podešavanja nule za DAC), izvršen je set od 60 merenja po 10 sekundi sinusnog napona opsega (0.1 – 3.0)  $V_{RMS}$ , a rezultati su dati u Tabeli 12.

Zadata vrednost RMS V	Srednja vrednost merenja V	Relativna greška merenja %	Standardna devijacija za 10 s ppm	Standardna devijacija za 60 s ppm
0.1	0.030	-100	3667	189
0.5	0.507	+1.4	254	89
1.0	1.003	+0.3	167	81
1.5	1.503	+0.2	162	85
2.0	2.003	+0.15	65	98
2.5	2.523	+0.92	189	90
3.0	3.003	+0.1	112	73

Tabela 12. Rezultati prvog eksperimenta, set od 60 merenja po 10 sekundi sinusnog napona.

Dobijeni rezultati pokazuju da izmerene vrednosti imaju preciznost u granicama očekivanog za period merenja od 10 sekundi, osim za napone ispod 0.5 V.

Tačnost merenja, koja je trebalo da bude svedena na red 100 ppm upotrebom PUP metode, se ne slaže u potpunosti sa očekivanim vrednostima.



Relativna greška je nekoliko puta veća od očekivane, dok za 0.1 V greška postaje ogromna, ali i menja znak.

Logično bi bilo očekivati da se tačnost poboljšava približavanjem punom opsegu (*full scale* – FS) ulaznog napona, međutim greška varira zavisno od nivoa ulaznog napona. Za 0.5 V i 2.5 V greška je za red veličine veća od ostalih.

Eksperiment je ponovljen, sa identičnim rezultatima. Sledeći eksperiment je urađen na periodu od 60 sekundi.

Rezultati su pokazali da je tačnost ostala nepromenjena, kao što je i očekivano prema matematičkom modelu gde tačnost ne zavisi od perioda merenja. Promenila se vrednost preciznosti, što se potpuno slaže sa matematičkim modelom.

Očigledno je da u sistemu postoji neki izvor sistematske greške, pri čemu greška ima kontradiktorne karakteristike: ima veliku ponovljivost i nelinearnu zavisnost od ulaznog signala.

Vidljiva je velika promena u odstupanju dobijenih rezultata preciznosti od teorijskih, za period merenja od 10 s i 60 s. Kraći period merenja ima veće odstupanje od teorijskog zbog kraćeg vremena integraljenja i manjeg vremena za “aproksimiranje” ulazne veličine.

Očekivano je da sa povećanjem vremena merenja, preciznost bude sve približnija teorijskoj.

Posle dužeg perioda bezuspešnih pokušaja da se pronade izvor ove sistematske greške, odlučeno je da se problemu pristupi na drugačiji način: Efekat će se kvantifikovati i odrediti zavisnost *ulazni napon/relativna greška*, u što više tačaka.

Referentni izvor napona EFU omogućava stabilan digitalno generisan sinusni napon koji je moguće kontrolisati u malim inkrementima amplitude.

Zadavani su naponi od 10.000000 mV<sub>RMS</sub> sve do 3.0000000 V<sub>RMS</sub>, u koracima od 10 mV, čime je generisano oko 300 mernih tačaka. Za svaki zadati napon, izvršeno je 240 ponovljenih merenja dužine od po 3 minute.

S obzirom da je merenje jedne tačke trajalo 12 sati, za merenje celog opsega je trebalo skoro pola godine (150 dana) neprestanih merenja!

Veliki broj ponavljanja je uzet radi što bolje statističke procene rezultata. Sam broj od 240 ponavljanja je uzet namerno da bi svaki eksperiment počeo u večernjim časovima i završio se u približno isto vreme tokom jutra.

Dva su razloga za ovaj pristup:

1. Banalni razlog – Laboratorija je bila slobodna tokom noći i jutra, a tokom radnog dana nije bilo moguće redovno vršiti eksperimente.
2. Uslovljeni razlog – U istoj zgradi sa Laboratorijom nalazio se energetski pogon koji je tokom radnog dana generisao značajne elektromagnetne smetnje. Takođe, mrežno napajanje je tokom noći mnogo stabilnije i manje su smetnje i tranzijenti koji se javljaju na faznom naponu mreže od 230 V, koji takođe utiču na rad uređaja.

Jedan od zanimljivijih rezultata je i podatak da su merenja tokom noći i vikendom uvek rezultirala sa greškom koja je 2-5 puta manja od greške koja je dobijana tokom radnog dana.

Plotovanjem dobijenih rezultata u programu *MS Excel* i interpolacijom vrednosti između tačaka sa 10 mV razmaka, dobijena je kriva kao na Sl. 78.

Na horizontalnoj osi se nalazi efektivna vrednost zadatog ulaznog napona (merena sa HP3458A), a na horizontalnoj osi Apsolutna Greška efektivnog napona merenog 4-bitnim SMI.

Ponovljivost rezultata na 240 ponavljanja trominutnih merenja je na nivou 30 ppm.

Apsolutna Greška je uvek sa pozitivnim predznakom (izmereni napon je veći od zadatog). Ispod 0.25 V, greška postaje jako nelinearna.

Ova kriva je iskorištena kao Kompenzaciona Funkcija (KF) za suzbijanje sistematske greške merenja.

Izmerena vrednost napona se ubacuje u funkciju i određuje se koliki napon je potrebno oduzeti od izmerene vrednosti da bi se dobila tačna vrednost i efektivno suzbila postojeća sistematska greška na nivou ispod 0.007 % (70 ppm).

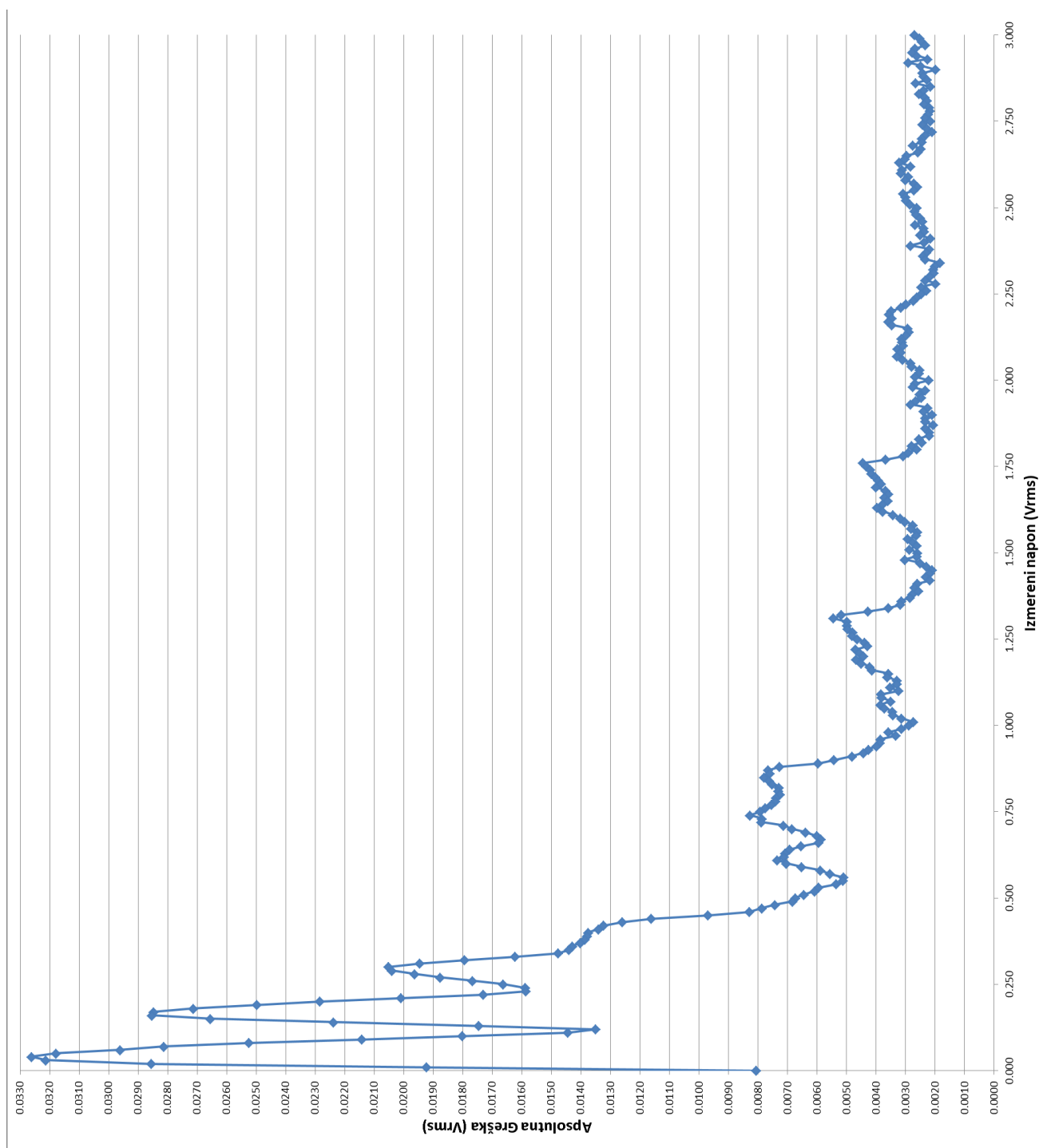
U eksperimentalnoj fazi ispitivanja, ovo se vrši ručnim unosom u *Excel*, ali s obzirom na visoku ponovljivost rezultata na KF, ovu krivu je potrebno uneti u Komandni program, kako bi se automatizovao proces kompenzacije sistematske greške.

Izvor ove greške nije poznat. Ne pojavljuje se u teorijskom modelu, niti u softverskim simulacijama. Na prvi pogled, mogao bi se izvući zaključak da je ovaj pojava vezana za grešku koju izaziva razdešenost opsega ditera, kao na Sl. 22. Međutim, oblik, tačke preseka i doprinos grešci razdešenosti ditera se ne poklapa sa KF.

Ovo je upravo i razlog zašto je ova kriva nazvana Kompenzaciona Funkcija, a ne Korekciona Funkcija. Korekciona funkcija implicira da nam je poznat izvor sistematske greške (koji nije moguće ukloniti) i mehanizam kako on utiče na grešku merenja, pa je time i moguće izvršiti korekciju rezultata.

Kako nam ovde, za sada, nisu poznati ni pravi izvor ni mehanizam nastajanja greške, kvantifikovanje ovog uticaja možemo oceniti samo eksperimentalno i uvesti samo kompenzaciju uočenog efekta. Kada se ovaj efekat u potpunosti objasni i opiše, tada će biti poznato šta je i koliko potrebno korigovati. Za sada, nije nam

poznato šta korigujemo, pa možemo samo kompenzovati uočene emanacije nekog, za sada nepoznatog, procesa.



Sl. 78. Kompenzaciona Funkcija prototipa 4-bitnog SMI.

Pošto se KF ne javlja kod 2-bitnog SMI, dolazi se do zanimljivog zaključka:

Ova greška očigledno ima deterministički uzrok, što je pokazano velikom ponovljivošću. Međutim, iako ima deterministički uzrok, ova greška je istovremeno, najverovatnije, posledica stohastičke prirode SFADC koji se koriste u SMI i uticaja ditera na rezultate merenja. Prolazak diterisanog signala kroz više pragova očigledno stvara neki oblik “modulacije” izlazne vrednosti, koji na neki način zavisi i od tačnog podešavanja amplitude ditera, ali nije utvrđeno po kojoj matematičkoj zakonitosti.

Kako ne postoji ni jedan način da upotrebljene komponente na ovakav način nekom svojom manom utiču na rezultate, dolazi se do zaključka da deterministički mehanizam funkcionisanja SFADC pokreće određenu interakciju pojedinih parametara. Koji parametri i kako interaguju, do sada nije otkriveno. Ovo je jedna od stavki koje je potrebno razmatrati u daljim istraživanjima SDMM i SMI.

### 8.1.2. FPGA

Značajno vreme je posvećeno debugovanju rada FPGA.

Ustanovljeno je da tajming pojedinih funkcija u FPGA izaziva razna sudaranja internih procesa, nepravilno funkcionisanje, “zamrzavanje” rada generatora slučajnih brojeva, pogrešno adresiranje DAC, nepravilno dekodovanje ulaznih signala...

Ovo je bio period klasičnog *trial and error* pristupa rešavanju problema. Isprobane su razne kombinacije podešavanja unutrašnjih signala FPGA programiranjem u VHDL-u, jer nije bila moguća veća promena arhitekture logičkih elemenata koji čine osnovne digitalne blokove SMI, Prilog 3.

Potrebno je naglasiti da ovo nije problem vezan za SDMM i SFADC, već je isključivo problem neprikladnosti Cyclone FPGA za ovu svrhu. Kako je prototip već u potpunosti realizovan, nije bilo moguće promeniti ga.

Jedna od glavnih stavki budućeg razvoja SMI je da se pronade adekvatniji FPGA za primenu u SMI.

Primer jednog od mnogobrojnih problema ovog FPGA je problem sa naponskim pikovima u digitalnoj liniji mase FPGA.

U potrazi za uzročnicima velike greške merenja, analiziran je .txt fajl sa vrednostima svakog odmerka. Primećen je veliki broj *Overflow/OverVoltage* stanja, gde je ulazni napon prešao dozvoljeni naponski opseg. Ovo je vrlo čudna pojava, s obzirom na stabilnost amplitude DFU. Talasni oblik signala je posmatran na digitalnom osciloskopu (DSO), ali nisu uočeni skokovi napona na njemu, koji bi trebalo da su dosta izraženi s obzirom na veliki broj prekoračenja ulaznog opsega.

Problem se nije smanjio ni sa merenjem manjih amplituda signala. Isprobani su i drugi izvori sinusnog napona (DGF i Tektronix AFG3000C Arbitrary Function Generator [71]), ali bez promena.

Prvi zaključak je da postoji neki problem u analognoj elektronici koja je deo FADC modula.

Drugi zaključak je da ovi prestupi ulaznog opsega nemaju uticaj na grešku i da su to nepovezani događaji. Razlog ovakvog rezonovanja je to što je Kontrolni softver tako isprogramiran da ne unosi odmerke u akumulator ako je došlo do *Overflow* (OF) situacije, i smanjuje broj odmeraka za taj broj.

Iz Tabele 11 vidi se da sam prototip SMI ne pravi razliku između odmeraka kako bi se uštedelo na procesorskom vremenu, već sve odmerke šalje ka računaru. Radi racionalizacije, SMI šalje samo jedan

dotatni bit sa podatkom da li je došlo do OF, bez oznake da li je u pitanju +OF ili -OF, što je nebitna informacija, jer se oba takva odmerka svakako odbacuju.

Međutim, ispostavlja se da su oba prethodna zaključka pogrešna.

Ispitivanjem linija napajanja pomoću DSO, ustanovljeno je da na liniji digitalne mase Cyclone FPGA postoji gusta povorka oštih naponskih pikova. Pojavljuju se u nepravilnim ciklusima, imaju pozitivne i negativne skokove, sa amplitudom od nekoliko desetina mV do reda volta.

Ustanovljeno je da je uzrok ovih pikova sam Cyclone i da se problem pogoršava kada počne da radi generator slučajnih brojeva.

Raznim dodatnim analizama rada, optimizacijama tajminga i funkcionisanja FPGA arhitekture (Prilog 3), broj ovih pikova je sveden na približno 5 po sekundu merenja. Na amplitude i polaritet pikova nije moguće uticati.

Naknadnim detaljnim čitanjem vrlo obimnog uputstva za Cyclone (385 strana) [54], uočena je napomena proizvođača da pod određenim uslovima FPGA može da proizvede tzv. *ground bouncing* efekat, koji u potpunosti odgovara uočenoj pojavi.

Proizvođač tvrdi da “u većini slučajeva ove smetnje ne utiču na rad ostatka kola”, i da je potrebno primeniti metode za eliminaciju opisane u *white paper*-u [72] koji se bavi upravo ovim problemom.

Isprobane su sve predložene tehnike uklanjanja ovog problema, kao i razne tehnike otklanjanja smetnji u analognom domenu [73], [74], [75], [76], ali bez efekta.

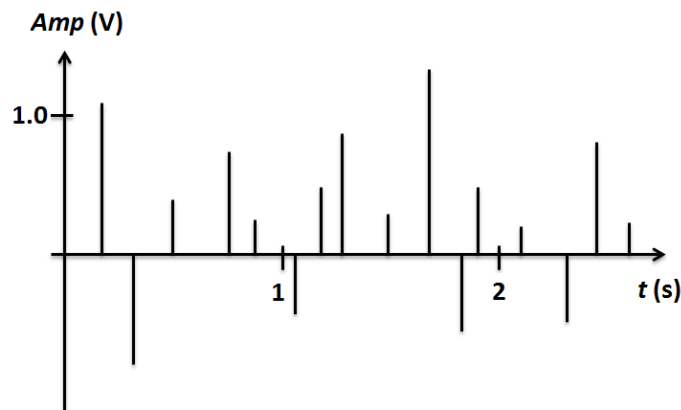
Dodatna posledica ovog problema je da samo pikovi reda volta dovode do sigurne aktivacije OF logike. Manji pikovi reda stotina mV ne moraju u zbiru sa merenim signalom dati napon koji je veći od dozvoljenog, ali će uneti ogromnu grešku merenja. Npr. u nekom trenutku se meri napon 1.2 V, a usled dejstva pikova imamo napon od npr. 1.5 V!

Ovo je rešeno softverski. Pošto se za potrebe ispitivanja koristi samo sinusni napon od 50-60 Hz, znamo da takav signal ne može u jednom trenutku da “preskoči” nekoliko delta pragova SFADC. Sporopromenljivi sinusni signal može u nekom kratkom trenutku da pređe samo u susedni delta prag pri frekvenciji semplovanja od 100 kHz (dok za signal npr. povorke četvrtki ovo ne važi).

Sada možemo da uvedemo i pojam Filtriranja pojedinačnih semplova. Program upoređuje svaka dva susedna odmerka. Ako je njihova razlika veća od  $k$  delta pragova, to znači da se taj odmerak odbacuje i ne računa (čak iako nije došlo do OF).

U Kontrolnom programu podešavamo prag filtriranja, obično je  $k = 2$  dovoljno. Samo filtriranje možemo da uključimo ili isključimo za svako merenje. Ovo je korisno ako merimo brze signale ili signale sa brzim promenama (povorka četvrtki).

U tekstualnom fajlu se beleži podatak koliko se puta desio OF tokom merenja, kao i poseban podatak koliko odmeraka je odbačeno usled aktiviranja praga filtera. Primer je dat u odeljku 7.4.



Sl. 79. Ilustracija pojave impulsa *ground bouncing*-a u liniji mase (0 V) Cyclone FPGA.

Za merenje od 30 sekundi, desi se oko 300-500 aktivacija filtera (pikova), od čega oko 50 dodatno aktivira i OF liniju.

Primenom ove softverske metode, greška usled pojave pikova u masi FPGA je smanjena na minimalni nivo.

## 8.2. STATISTIČKA ANALIZA REZULTATA MERENJA

Kada su primenjena sva poboljšanja i metode smanjenja greške, moguće je izvršiti veliki broj merenja kako bi se mogla dobiti statistički pouzdana ocena karakteristika 4-bitnog SMI.

### 8.2.1. MERENJE AC NAPONA

Rezultati merenja sprovedenih prototipom 4-bitnog SMI (Opcija 6) su upoređeni sa vrednostima dobijenim izračunavanjem prema matematičkom modelu i sa rezultatima dobijenim softverskom simulacijom, za različite dužine perioda merenja. Mogu se doneti sledeći zaključci:

- Matematički model daje vrednosti preciznosti “idealnog” slučaja (ekvivalent beskonačnog broja ponavljanja merenja), koji daje dobru polaznu osnovu za kalibraciju hardverskog uređaja (red veličine rezultata koji se očekuje).
- Simulacioni model konzistentno daje lošije rezultate od matematičkog modela i merenja na prototipu. Ovde je potrebno naglasiti da su simulacije rađene samo sa 10 ponavljanja merenja (zbog dužine rada simulacije na računaru), dok su ovde navedena merenja prototipa rađena u serijama od 60 ponavljanja. Očigledno je da je mali broj ponavljanja uticao na lošije rezultate simulacije. S obzirom da se dobijaju greške koje su od 1.50 do 1.75 puta veće od teoretskih, jasno je da bi, sa povećanjem broja ponavljanja simulacionih merenja, rezultat bio sve bliži matematičkom modelu.
- Rezultati merenja na prototipu se dobro slažu sa matematičkim modelom. Odstupanja koja se javljaju, tj. preciznost koja je čak i veća od teorijske, su posledica merne nesigurnosti etalonskog

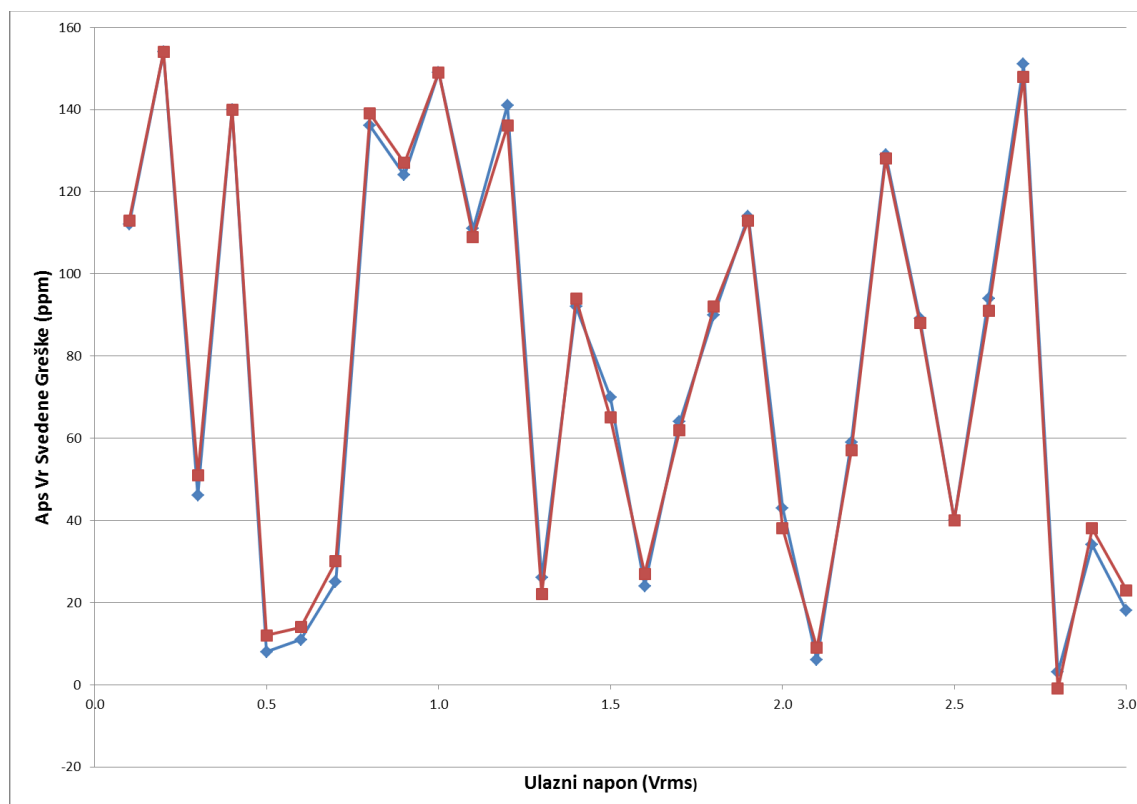
izvora i voltmetra koji je korišćen. S obzirom da je korišćena najbolja dostupna oprema nivoa referentne laboratorije, jasno je da su ovo najbolji mogući rezultati.

period merenja s	preciznost prema matematičkom modelu ppm	preciznost prema simulacionom modelu ppm	preciznost izmerena na prototipu ppm
10	143	235	156
30	82	142	76
40	71	124	69
60	58	99	57
120	41	68	48
180	34	54	29

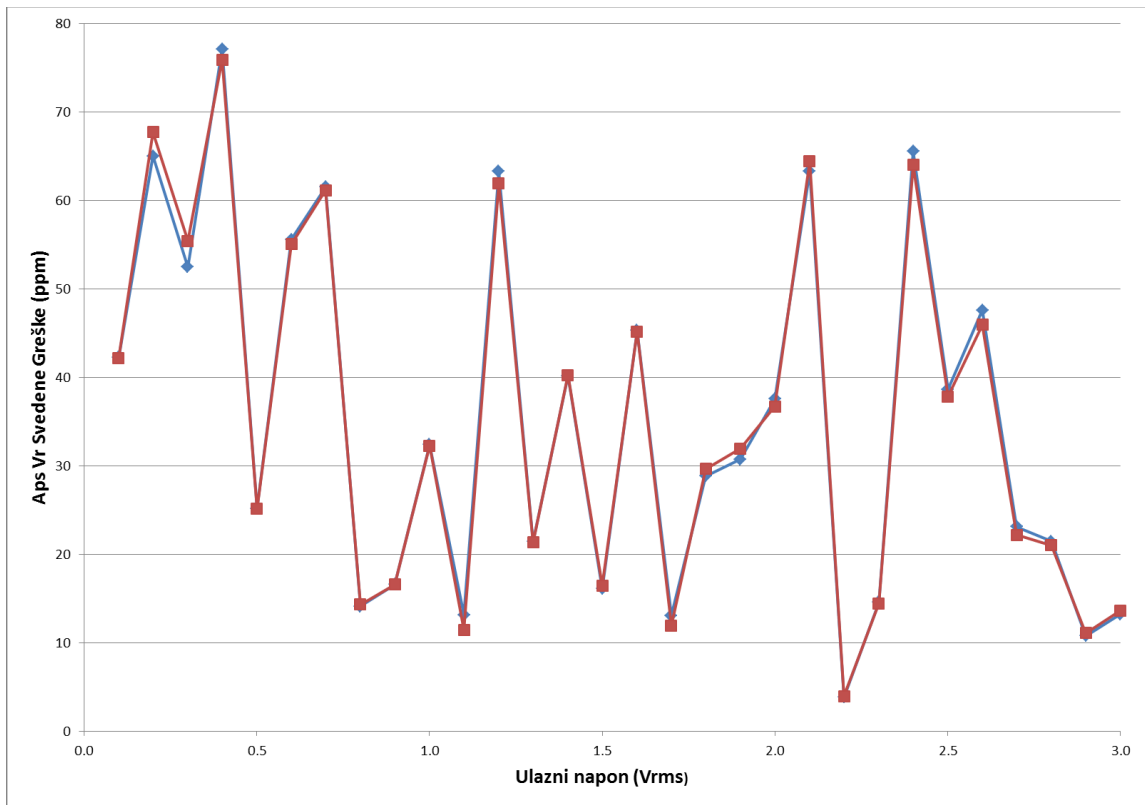
Tabela 13. Pregled rezultata matematičkog modela, simulacija i merenja na prototipu.

U Tabeli 13 je dato nekoliko konkretnih rezultata merenja prototipom 4-bitnog SMI.

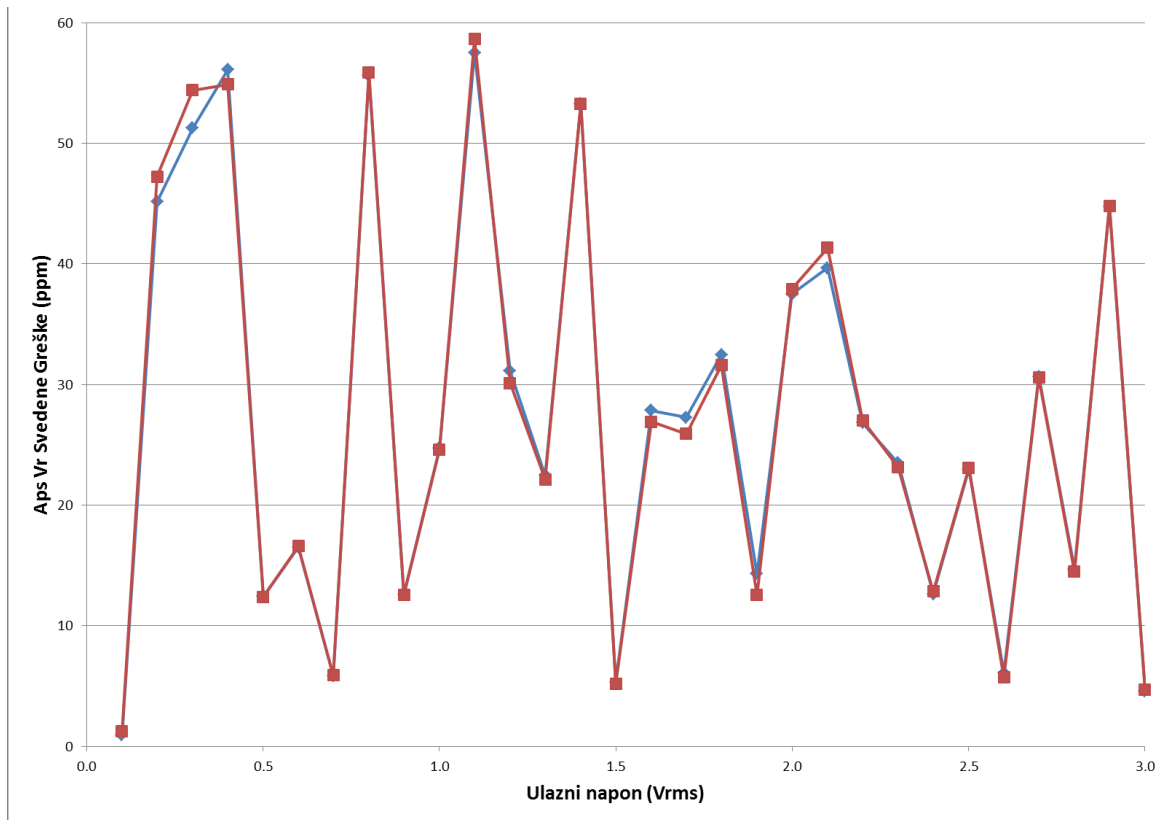
Rezultati u grafičkom obliku su dati u vidu apsolutne vrednosti Svedene greške merenja (izraženo u ppm), u zavisnosti od RMS ulaznog napona. Crvena i plava linija označavaju paralelno merenje istog napona na dva kanala (ulaza) SMI.



Sl. 80. Apsolutna vrednost Svedene greške merenja efektivne vrednosti sinusnog napona EFU, 50 Hz, 60 ponavljanja, period merenja 10 sekundi.

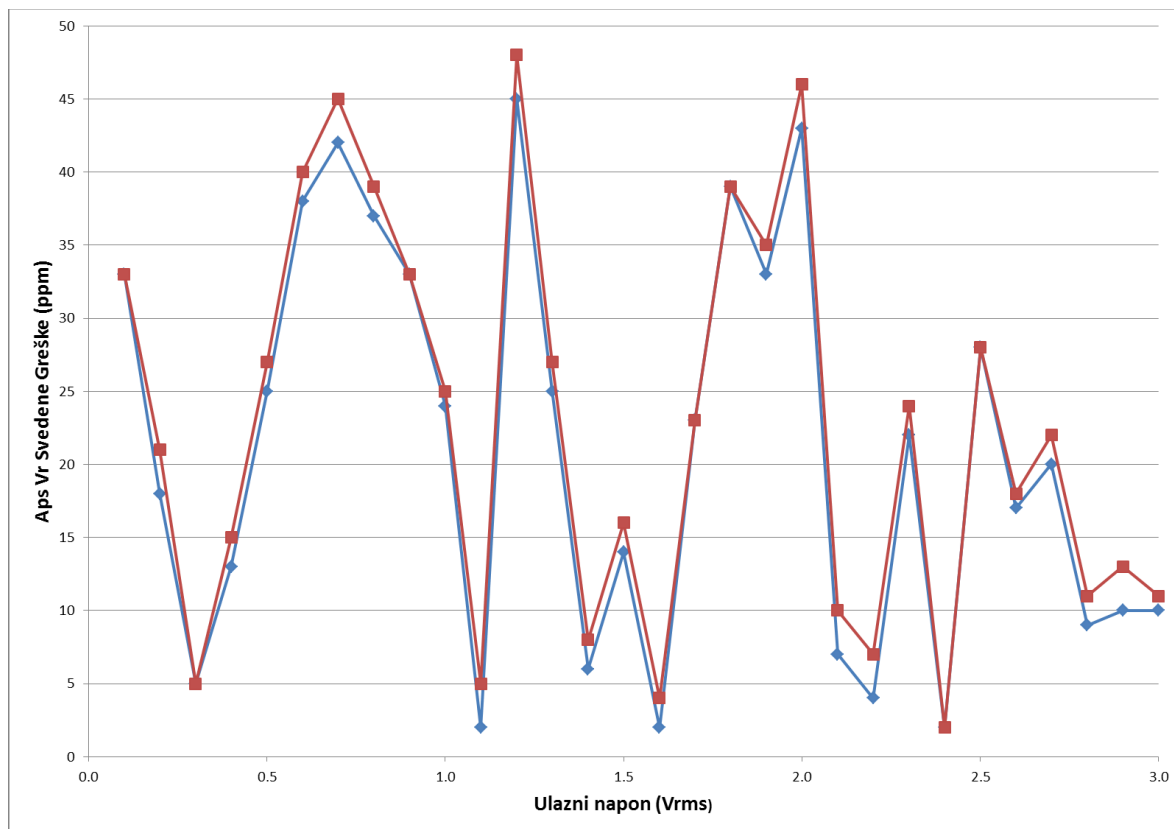


Sl. 81. Apsolutna vrednost Svedene greške merjenja efektivne vrednosti sinusnog napona EFU, 50 Hz, 60 ponavljanja, period merjenja 30 sekundi.

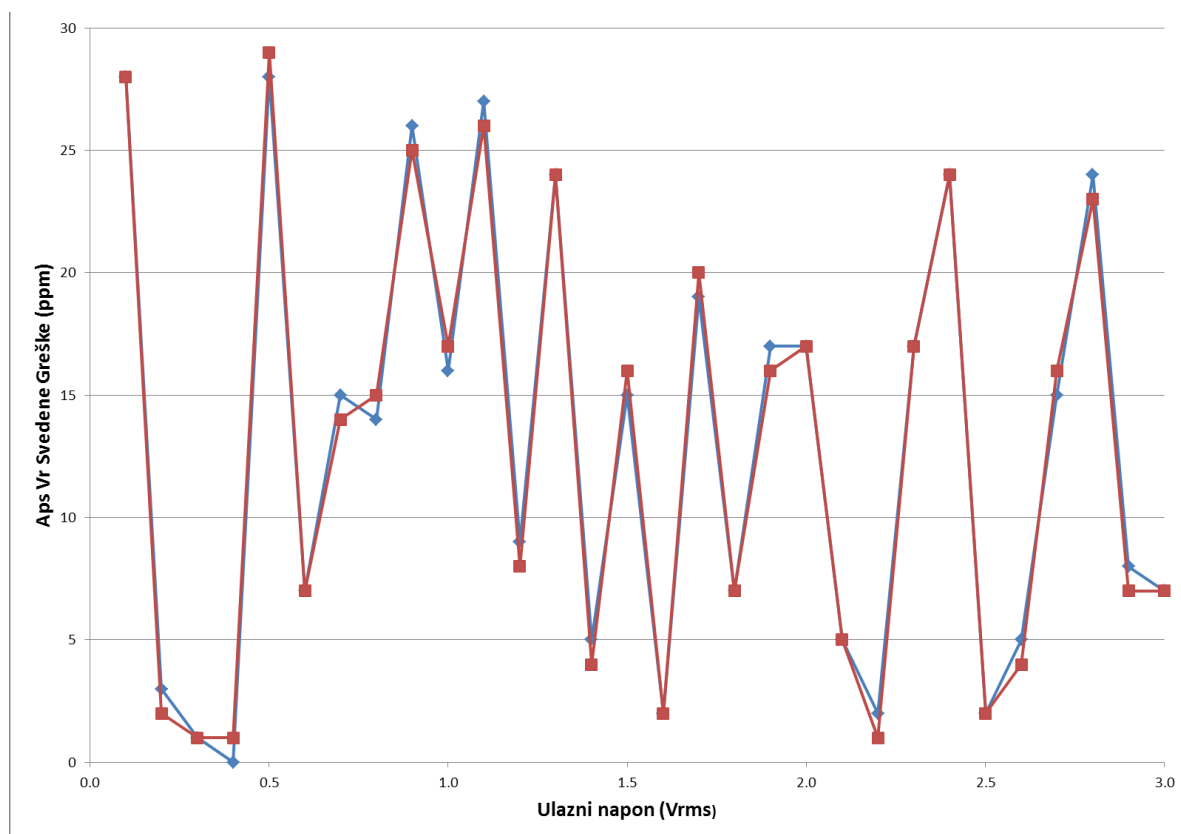


Sl. 82. Apsolutna vrednost Svedene greške merjenja efektivne vrednosti sinusnog napona EFU, 50 Hz, 60 ponavljanja, period merjenja 60 sekundi.





Sl. 83. Apsolutna vrednost Svedene greške merenja efektivne vrednosti sinusnog napona EFU, 50 Hz, 60 ponavljanja, period merenja 120 sekundi.



Sl. 84. Apsolutna vrednost Svedene greške merenja efektivne vrednosti sinusnog napona EFU, 50 Hz, 60 ponavljanja, period merenja 180 sekundi.

### 8.2.2. MERENJE DC NAPONA

Merenja DC napona daju preciznost na nivou rezultata AC napona, međutim njihova tačnost je do 10 puta lošija od merenja AC napona.

Isprobano je merenje sa i bez primene KF, ali sistematska greška se uvek javlja i nije linearna.

Odavde možemo da zaključimo da se DC napon menja po nekoj drugoj KF koja se razlikuje od KF za AC napon.

Zamena krajeva komparatora (PUP metoda) je matematički dokazana uz pretpostavku da je ulazni signal prostoperiodičan, pa stoga nije opravdano očekivati poboljšanje rada usled zamene ulaza kod DC napona. Urađen je set merenja DC napona sa i bez PUP metode, ali je efekat specifičnog KF ostao isti.

Pošto su rezultati merenja loši, a samo za određivanje nove KF je potrebno minimalno još pola godine merenja u laboratoriji, u tezi se nije razmatralo merenje DC napona.

I ova pojava je jedna od stavki koje je potrebno matematički opisati i istražiti zašto se AC i DC napon ponašaju po različitim pravilima nekog procesa koji takođe nije utvrđen zašto se (i kako) uopšte javlja. Sam proces je, kako se pretpostavlja, vezan na neki način za razdešenost amplitude (opsega) ditera.

## 9. DISKUSIJA

Dva hardverska prototipa SMI brojila za aktivnu električnu energiju su razvijena na Fakultetu tehničkih nauka, 2-bitna [14], [21] i 4-bitna verzija [26], [43], [77]. Njihove karakteristike je sada moguće uporediti i postaviti naspram 3-bitnog SMI koji je ocenjen kao optimalan.

Oba instrumenta imaju frekvenciju uzorkovanja od 100 kHz, kao i opseg ulaznog napona od  $\pm 5$  V.

Prema (29), vidimo je greška merenja 4-bitnog 7 puta niža u odnosu na 2-bitni prototip, za isti period merenja, tokom kojeg se uzima  $N$  uzoraka, kao u (131).

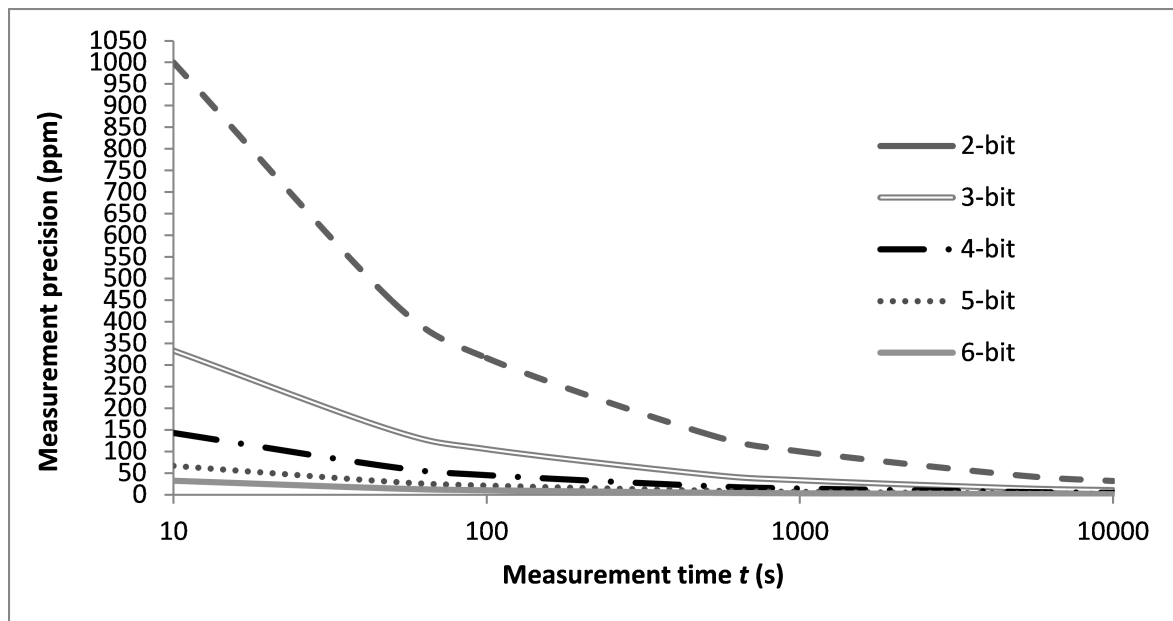
$$\frac{|\Gamma|_{\%(2-bit)}}{|\Gamma|_{\%(q-bit)}} = \frac{|\Gamma|_{\%(2-bit)}}{|\Gamma|_{\%(4-bit)}} = \frac{(2^{4-1} - 1)}{(2^{2-1} - 1)} = 7 \quad (131)$$

Kako bi direktno uporedili greške merenja 2-bitnog i 4-bitnog SMI, pretpostavljamo merenje čistog sinusnog signala (104) u intervalu merenja od 100 s i sa frekvencijom uzorkovanja od 100 kHz.

Iz (120) se može utvrditi da 4-bitni SMI ima grešku merenja od 0.0045% (45 ppm), dok 2-bitni SMI ima grešku od 0.0316% (316 ppm).

Matematički model (122) takođe pokazuje da je 4-bitni SMI 49 puta brži od 2-bitne verzije (132), sa istom gornjom granicom greške. To znači da će merenje od 100 s sa 2-bitnim SMI proizvesti gotovo istu grešku kao i 2 sekunde merenja pomoću 4-bitnog SMI.

$$\frac{t_{m \min(2-bit)}}{t_{m \min(q-bit)}} = \frac{t_{m \min(2-bit)}}{t_{m \min(4-bit)}} = 49 \quad (132)$$

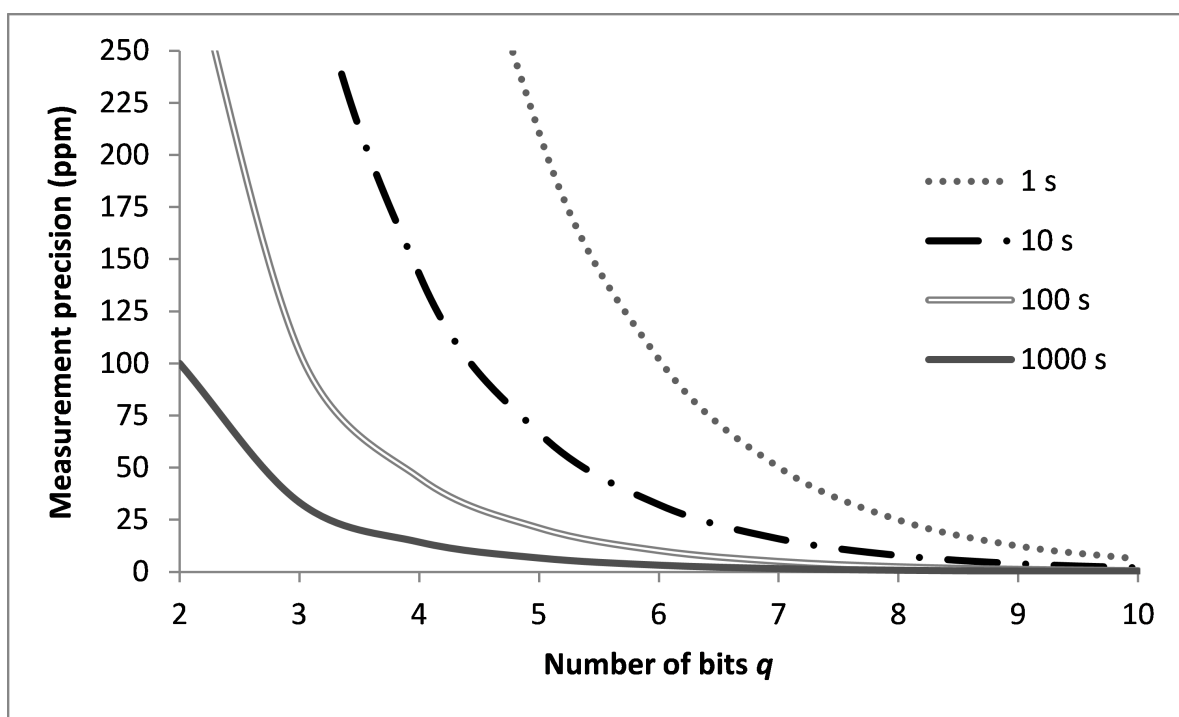


Sl. 85. Preciznost (izražena u ppm) kao funkcija dužine perioda merenja za  $q$ -bitni SMI.

Sl. 85 pokazuje kako se preciznost merenja povećava sa produženjem vremenskog intervala merenja. Vidimo da za SMI sa rezolucijom većom od 6 bita, greška teži nuli čak i za kratke vremenske intervale merenja.

Sl. 85 omogućava jasan pregled međusobne povezanosti preciznosti i dužine perioda merenja, što omogućava lakše odlučivanje o potrebnim performansama SMI tokom faze dizajna uređaja.

U Prilogu 4 se nalazi tabela P.2 vrednosti preciznosti u zavisnosti od perioda merenja za  $q$ -bitni SMI, kao i detaljan grafik te funkcije (Sl. P.13), čiji je jedan deo prikazan na Sl. 85.



Sl. 86. Preciznost (izražena u ppm)  $q$ -bitnog SMI u funkciji od dužine perioda merenja (u sekundama) i broja bita rezolucije  $q$ .

Etaloni električne energije koji se koriste za kalibrisanje električnih brojila u EDM, imaju preciznost bolju od 0.025 % (250 ppm).

Grafikon na Sl. 86 je skaliran tako da prikazuje samo vrednosti ispod 250 ppm da bi se procenio najbolji mogući odnos perioda merenja i preciznosti SFADC, kako bi se dobio nivo greške u klasi etalona.

Sl. 85 omogućava jasan pregled međusobne povezanosti preciznosti i broja bita rezolucije SMI, što takođe olakšava proces dizajna SMI.

U Prilogu 4 se nalazi tabela P.3 vrednosti preciznosti u zavisnosti od broja bita rezolucije SMI za različite dužine perioda merenja, kao i detaljan grafik (Sl. P.14) funkcije sa Sl. 86.

$q$	$\frac{ \Gamma _{\%(2-bit)}}{ \Gamma _{\%(q-bit)}}$	$ \Gamma _{\%(\sin-100\text{sec})}$	$\frac{t_{m\min(2-bit)}}{t_{m\min(q-bit)}}$
bit	ppm / ppm	ppm	s / s
2	1	316.2	1
3	3	105.4	9
4	7	45.2	49
5	15	21.1	225
6	31	10.2	961
7	63	5.0	3969
8	127	2.5	16129
9	255	1.2	65025
10	511	0.6	261121

Tabela 14. Povećanje količnika preciznosti, relativne preciznosti merenja sinusa i relativne brzine.

Praktična granica SFADC rezolucije je 10 bitova, tako da iz (76), (81) i (83) možemo odrediti, kao u Tabeli 14:

- povećanje količnika preciznosti  $q$ -bitnog SMI u odnosu na 2-bitnu verziju,
- relativna preciznost merenja sinusnog signala za  $t_m = 100$  s i  $f_s = 100$  kHz,
- relativno ubrzanje SMI u odnosu na 2-bitnu verziju, u smislu koliko puta je kraće vreme merenja.

Pregled ishoda istraživanja predstavljenog u ovoj tezi:

1. Preciznost SMI se zaista poboljšava sa povećanjem broja bita rezolucije.
2. Metoda PUP je u potpunosti ispunila zadatak na oba prototipa i povećala tačnost merenja.
3. 2-bitni SMI, iako sa jednostavnim hardverom, zahteva dugačke periode merenja kako bi se postigla etalonska preciznost.
4. 4-bitni SMI pokazuje poboljšanje u preciznosti i ubrzanje efektivne brzine tehnologije prema postavljenom matematičkom modelu.
5. Podešavanje i merenje 4-bitnog SMI zahteva vrhunsku laboratorijsku opremu.

6. 4-bitni SMI je izuzetno kompleksan i sa puno hardverskih delova. Jedina realna opcija za korišćenje višebitnih SMI je razvijanje ASIC čipa u koji bi se integrisao veći deo analognog i digitalnog hardvera SFADC.
7. Povećanje rezolucije tj. broja bita, ne znači samo dupliranje hardvera nego i povećanje cene svake komponente, jer su potrebne kvalitetnije komponente (brži OP i VC, precizniji otpornici i naponske reference u razdelniku).

Ako sa  $C_2$  označimo cenu komponenti 2-bitnog SMI, i procenimo da za jedan bit rezolucije treba duplo veći hardver sa duplo boljim (tj. duplo skupljim) komponentama, dobijamo procenjeno eksponencijalno povećanje cene SMI.

$q$	2	3	4	5	6	7	8	9	10
cena	$C_2$	$4C_2$	$16C_2$	$64C_2$	$256C_2$	$1024C_2$	$4096C_2$	$16384C_2$	$65536C_2$

Tabela 15. Cena komponenti SMI u zavisnosti od broja bita  $q$ , u odnosu na 2-bitni SMI.

8. Veliki broj komponenti 4-bitnog SMI je uneo dodatne izvore grešaka i problema u radu.
9. Veća rezolucija uređaja znači i veću izloženost smetnjama iz okoline – elektromagnetnoj interferenciji (EMI) i iz mreže (50 Hz, tranzijenti).
10. Sa povećanjem rezolucije, zahteva se i jači procesor/FPGA koji može da podrži obradu velikog broja podataka bez unošenja smetnji u kolo.
11. Pojava Kompenzacione Funkcije koja nije postojala kod 2-bitnog SMI, čiji uzrok još uvek nije objašnjen. Ova pojava zahteva dodatno istraživanje i matematičku postavku mehanizma nastajanja greške.
12. Greška merenja DC napona je veća nego kod AC. Razlog je drugačiji oblik Kompenzacione Funkcije za AC i DC, a KF je u eksperimentalnoj proveri određena samo za AC područje. Ovo je dodatni razlog neophodnosti postavljanja matematičkog objašnjenja nastanka uzroka KF, kao i veze KF sa amplitudom ditera.
13. Preciznost merenja se naglo pogoršava kada nivo merenog signala opadne ispod 10 % punog opsega. Rešenje je primena mernih pretvarača na ulazima SDEEM koji imaju Adaptivne Koeficijente Pretvaranja (AKP) ulazno/izlazne veličine.

U trenutku kada napon padne ispod 10 % FS, SDEEM aktivira promenu AKP kako bi ulaznu veličinu skalirao da se nađe u gornjoj polovini adekvatnog ulaznog opsega napona SDEEM.

14. Ulaganje u 3-bitni SMI se pokazuje kao najbolja opcija, jer 4-bitni SMI ima nepovoljan odnos cena/dobit, a 2-bitni je suviše spor/neprecizan, pa nam preostaje 3-bitni kao najisplativija opcija.

## 10. ZAKLJUČAK I PREDLOG

U radu je postavljen problem metodološkog prevazilaženja kontradikcije između što veće tačnosti i što veće rezolucije SFADC u digitalnim merenjima SDMM metodom, posebno u primeni u SMI za merenja efektivne vrednosti napona, aktivne snage i energije na širokom spektru frekvencija, merenjem na konačnom vremenskom intervalu.

To je problem nalaženja optimalne rezolucije SFADC primenjenog u SDEEM. On je rešen teorijski i potvrđen simulaciono i eksperimentalno na hardverskom prototipu 4-bitnog SMI.

Do sada neobrađivani kriterijum optimizacije je izražen kao najbolji mogući odnos između preciznosti merenja i hardverske složenosti (broja bitova rezolucije) stohastičkog uređaja. Kao optimalna rezolucija SMI određena je i dokazana vrednost od 3 bita po ceni dupliranja hardvera za svaki sledeći bit rezolucije.

Praktični efekat je 3 puta veća rezolucija od 2-bitnog SFADC, pri standardnoj ceni dupliranja njegovog hardvera. Pokazano je da je rezultat isti kao da se koristi 2-bitni SFADC, ali realizovan u 9 puta bržoj tehnologiji, a 9 puta brža tehnologija praktično znači unapređenje tehnologije za jednu generaciju, tako da dobijeni rezultat pokazuje da je moguće dugotrajna, komplikovana i skupa tehnološka istraživanja zameniti znatno jednostavnijim i jeftinijim metodološkim istraživanjima.

Optimalni instrumenti u kojima je primenjena SDMM imaju prihvatljivo nizak broj izvora sistematske greške, tako da su oni u pogledu tačnosti superiorniji od SSM rešenja, posebno u tačnim dugotrajnim merenjima, kakva su merenja električne snage i energije, a imaju uporediv nivo preciznosti sa SSM rešenjima. Preciznost prototipa 4-bitnog SDEEM tokom perioda merenja od 180 s, procenjena je na 0.003 %, dok je tačnost 0.007 %, što omogućava njegovu upotrebu kao nacionalnog etalona električne energije (postojeći ima 0.01 % greške). SMI baziran na SFADC takođe omogućava i brzu obradu signala sa malim resursima, koristeći jednostavne proračune i pruža ekonomično rešenje sa izuzetno povoljnim odnosom cena/dobit (10 puta niža cena od standardne izvedbe) za pouzdan hardver koji se može implementirati u složenom mernom sistemu sa više digitalno povezanih SMI koji rade paralelno (npr. u "pametnim" distributivnim mrežama).

Ustanovljen je matematički model višebitnog SMI. Gornja granica greške SMI se može izračunati koristeći parametre određene unapred tokom procesa projektovanja SMI (broj bita rezolucije, ulazni naponski opseg, vrednost kvanta, broj odmeraka, najmanji naponski prag) i parametre ulaznog signala (efektivnu vrednost napona, krest faktora, PAPR). Odavde se dobija jedinstvena osobina SMI da se dužinom perioda merenja bira željeni nivo preciznosti, da bude jednak ili bolji od zadate vrednosti.

Može se reći da je hipoteza ove teze da: „Postoji optimalna rezolucija SFADC primenjenog u digitalnim merenjima, koja se može naći metodološkim sredstvima i postupcima.“ – u potpunosti potvrđena i dobijena je nova, korisna i vrlo upotrebljiva informacija.

Zaključni predlog je da se kao optimalna verzija izabere 3-bitni SMI za dalja istraživanja i komercijalnu eksploataciju.

# 11. LITERATURA

- [1] G. D'Antona, A. Ferrero, "Digital Signal Processing for Measurement Systems", Springer US, 2006.
- [2] V. Vujičić, I. Župunski, Z. Mitrović, M. Sokola, "Measurement in a Point versus Measurement over an Interval", Proc. of the IMEKO XIX World Congress, Paper No. 480, Lisbon, Portugal, September 2009.
- [3] V. Vujičić, S. Milovančev, "Digitalni instrument za merenje srednje vrednosti proizvoda dva analogna periodična signala", Patentni spis YU 48195 B, 1997.
- [4] V. Vujičić, "Digitalni instrument za merenje harmonika", Patentni spis YU 48640 B, 1999.
- [5] G. Bucci, E. Fiorucci, F. Ciancetta, D. Gallo, C. Landi, M. Luiso, "Embedded Power and Energy Measurement System Based on an Analog Multiplier", IEEE Transactions on Instrumentation and Measurement, Vol. 62, Iss. 8, Aug. 2013.
- [6] E. M. Petriu, L. Zhao, S. R. Das, V. Z. Groza, A. Cornell, "Instrumentation applications of multibit random-data representation", IEEE Trans. Instrum. Meas. vol. 52, pp. 175–181, 2003.
- [7] C.E. Shannon, "Communication in the presence of noise". Proceedings of the Institute of Radio Engineers, 37 (1): 10–21. doi:10.1109/jrproc.1949.232969, Jan 1949.
- [8] S. Evanczuk, "Highly Integrated Solutions for Embedded Power Meter Designs", Electronic Products magazine, Mar 2015. Online: <http://www.digikey.com/en/articles/techzone/2015/mar/highly-integrated-solutions-for-embedded-power-meter-designs>
- [9] "ADC32RF42 Dual-Channel, 14-Bit, 1.5-GSPS Analog-to-Digital Converter", Texas Instruments, May 2017.
- [10] B. D. Brown, H. C. Card, "Stochastic neural computation I: Computational elements", IEEE Trans. Comput. vol. 50, pp. 891–905, 2001.
- [11] D. G. Manolakis, V. K. Ingle, "Applied Digital Signal Processing - Theory and Practice", Cambridge University Press, 2011.
- [12] A. D. Whalen, "Detection of Signals in Noise", 1<sup>st</sup> Edition, Academic Press, May 1971.
- [13] S. M. Kay, "Fundamentals of Statistical Signal Processing, Volume I: Estimation Theory (v. 1)", 1<sup>st</sup> Edition, Prentice Hall, April 1993.
- [14] D. Pejić, M. Urekar, V. Vujičić, S. Avramov-Zamurović, "Comparator Offset Error Suppression in Stochastic Converters used in a Watt-Hour Meter", CPEM 2010, Daejeon, Korea, June 2010.
- [15] "Nacrt Strategije Razvoja Energetike Republike Srbije za period do 2025. godine sa projekcijom do 2030. godine", Ministarstvo energetike, razvoja i zaštite životne sredine, Republika Srbija, 2013, Online: [http://energetskiportal.rs/dokumenta/Strategije/Nacrt\\_strategije\\_razvoja\\_energetike\\_Republike\\_Srbije\\_za\\_period\\_do\\_2025.\\_godine\\_sa\\_projekcijama\\_do\\_2030.\\_godine.pdf](http://energetskiportal.rs/dokumenta/Strategije/Nacrt_strategije_razvoja_energetike_Republike_Srbije_za_period_do_2025._godine_sa_projekcijama_do_2030._godine.pdf)
- [16] "Electricity production, consumption and market overview", European Commission EUROSTAT, June 2017. Online: [http://ec.europa.eu/eurostat/statistics-explained/index.php/Electricity\\_production,\\_consumption\\_and\\_market\\_overview](http://ec.europa.eu/eurostat/statistics-explained/index.php/Electricity_production,_consumption_and_market_overview)



- [17] "Calibration: Philosophy in Practice", 2nd ed., Fluke Corp., 1994.
- [18] "MSP430x5xx and MSP430x6xx Family User's Guide", Texas Instruments, Oct 2016.
- [19] "Implementation of a Single-Phase Electronic Watt-Hour Meter Using the MSP430F6736(A)", Application Report, Texas Instruments, Aug 2015.
- [20] V. Vujicic, "Generalized Low Frequency Stochastic True RMS Instrument", IEEE Trans. Instrum. Meas., Vol. 50, No 5, pp 1089-1092, 2001.
- [21] D. Pejić, „Stohastičko merenje električne snage i energije“, Doktorska disertacija, FTN, Novi Sad, 2010.
- [22] V. Pjevalica, V. Vujičić, "Further generalization of the low frequency true RMS instrument", IEEE Trans. Instrum. Meas., vol. 59, No.3, pp. 736-744, March. 2010.
- [23] P. Horowitz and W. Hill, "The Art of Electronics", 3<sup>rd</sup> Edition, Cambridge University Press, 2015.
- [24] A. Papoulis and S. U. Pillai, "Probability, Random Variables and Stochastic Processes", 4th Edition, McGraw-Hill, 2002.
- [25] I. Zupunski, V. Vujicic, Z. Mitrovic, S. Milovancev and M. Pesaljevic, "Online determination of the measurement uncertainty of stochastic measurement method", Proceedings of the IMEKO XIX World Congress, paper no. 278, Lisbon, Portugal, Sep. 2009.
- [26] M. Urekar, D. Pejic, V. Vujicic, S. Avramov-Zamurovic, "Accuracy improvement of the stochastic digital electrical energy meter", Measurement, Volume 98, pp. 139-150, Elsevier, Feb. 2017.
- [27] D. Pejić, V. Vujičić, "Accuracy limit of high-precision stochastic Watthour meter", IEEE Trans. Instrum. Meas., vol. 49, no. 3, pp. 617–620, June 2000.
- [28] "JCGM 100:2008 Evaluation of measurement data — Guide to the expression of uncertainty in measurement", JCGM, BIPM, 2010.
- [29] T. J. Roupahel, "RF and Digital Signal Processing for Software-Defined Radio", Newnes, 2008.
- [30] Y. Kou, Wu-Sheng Lu and A. Antoniou, "New peak-to-average power-ratio reduction algorithms for multicarrier communications", IEEE Transactions on Circuits and Systems-I, Vol. 51, Iss. 9, 2004.
- [31] R. J. van de Plassche, "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters", Springer, 2003.
- [32] H. Zumbahlen (Editor), "Linear Circuit Design Handbook", Newnes/Elsevier, 2008.
- [33] W. Jung (Editor), "Op Amp Applications Handbook", Newnes/Elsevier, 2005.
- [34] R. Wu, J. H. Huijsing and K. A. A. Makinwa, "Dynamic Offset Cancellation Techniques for Operational Amplifiers". Precision Instrumentation Amplifiers and Read-Out Integrated Circuits, pp. 21-49, Springer, 2013.
- [35] "Chopper Stabilized (Auto-Zero) Precision Op Amps", MT-055 Tutorial, Analog Devices, 2009.

- [36] Walt Kester (Editor), "Practical Design Techniques for Sensor Signal Conditioning", Analog Devices, 1999.
- [37] "AD8571/AD8572/AD8574 Data Sheet", Rev. F, Analog Devices, 2015.
- [38] "AD8468 Rail-to-Rail, Fast, Low Power 2.5 V to 5.5 V, Single-Supply TTL/CMOS Comparator Data Sheet", Rev. A, Analog Devices, 2015.
- [39] D. C. Brock, G. E. Moore, "Understanding Moore's Law: Four Decades of Innovation", Chemical Heritage Foundation, 2006.
- [40] A. Mulay, "Sustaining Moore's Law: Uncertainty Leading to a Certainty of IoT Revolution", Morgan & Claypool Publishers, 2015.
- [41] C. C. M. Mody, "The Long Arm of Moore's Law: Microelectronics and American Science", MIT Press, 2016.
- [42] [https://en.wikipedia.org/wiki/Moore's\\_law](https://en.wikipedia.org/wiki/Moore's_law)
- [43] M. Urekar, V. Vujičić, "Optimal Resolution of a Flash ADC for the High Precision Electrical Energy Stochastic Digital Measurement Method", 17. IEEE International Conference on Smart Technologies IEEE EUROCON, Ohrid, 5-8 Jul, 2017.
- [44] Z. Mitrović, "Prilog razvoju etalona faznog ugla", Doktorska disertacija, FTN, Novi Sad, 2004.
- [45] "LTC1150,  $\pm 15\text{V}$  Zero-Drift Operational Amplifier with Internal Capacitors", Rev. B, Linear Technology, 1991.
- [46] "RMKD (CNP), Hermetic, Dual-In-Line Packaged Thin Film Resistor, Through Hole Networks", Vishay, 2012.
- [47] "LT1012A/LT1012, Picoamp Input Current, Microvolt Offset, Low Noise Op Amp", Rev. B, Linear Technology, 1991.
- [48] "DG417/DG418/DG419, Improved, SPST/SPDT Analog Switches", Rev. 2, Maxim Integrated, 1996.
- [49] "DG411/DG412/DG413, Improved, Quad, SPST Analog Switches", Rev. 7, Maxim Integrated, 2008.
- [50] "BC548, BC548A, BC548B, BC548C, NPN General Purpose Amplifier", Rev. B, Fairchild Semiconductor, 1997.
- [51] "LT1011/LT1011A, Voltage Comparator", Rev. E, Linear Technology, 1991.
- [52] "Keysight 3458A Multimeter", Keysight, 2014.
- [53] "AD586, High Precision 5 V Reference", Rev. G, Analog Devices, 2005.
- [54] "Cyclone Device Handbook, Volume 1", Altera, 2008.
- [55] "Cyclone FPGA Family", Ver. 1.2, Altera, 2003.

- [56] <http://www.jopdesign.com/cyclone/>
- [57] “AD760, 16/18-Bit Self-Calibrating Serial/Byte DACPORT”, Rev. A, 1995.
- [58] <https://sites.google.com/site/terminalbpp/>
- [59] “REF02, +5V Precision VOLTAGE REFERENCE”, Burr-Brown Products from Texas Instruments, 2005.
- [60] “LM78XX Series Voltage Regulators”, National Semiconductor, 1995.
- [61] “LM78XX/LM78XXA 3-Terminal 1A Positive Voltage Regulator”, Rev. 1.0.1, Fairchild Semiconductor, 2006.
- [62] “LM79XX Series 3-Terminal Negative Regulators”, Texas Instruments, 2013.
- [63] “LM79XX/A (KA79XX, MC79XX) FIXED VOLTAGE REGULATOR (NEGATIVE)”, Rev. B, Fairchild Semiconductor, 1999.
- [64] “LM2940x 1-A Low Dropout Regulator”, Texas Instruments, 2014.
- [65] “LM3940 1-A Low-Dropout Regulator for 5-V to 3.3-V Conversion”, Texas Instruments, 2015.
- [66] “LM340, LM340A and LM7805 Family Wide  $V_{IN}$  1.5-A Fixed Voltage Regulators”, Texas Instruments, 2016.
- [67] “LT1236 Precision Reference”, Linear Technology, 1995.
- [68] “LT1010, Fast  $\pm 150\text{mA}$  Power Buffer”, Rev. E, Linear Technology, 1991.
- [69] J. Williams, “Applications for a New Power Buffer”, Application Note, Linear Technology, 1984.
- [70] “CP2102/9, Single-Chip USB-to-UART Bridge”, Silicon Labs, Rev. 1.8, 2017.
- [71] “AFG3000 and AFG3000C Series Arbitrary Function Generators User Manual”, Tektronix, 2015.
- [72] “Minimizing Ground Bounce & VCC Sag”, White Paper, Ver 1.0, Altera, 2001.
- [73] R. A. Pease, “Troubleshooting Analog Circuits”, 1<sup>st</sup> Edition, EDN Series for Design Engineers, Newnes, 1991.
- [74] R. A. Pease (Editor), “Analog Circuits (World Class Designs)”, 1<sup>st</sup> Edition, Newnes, 2008.
- [75] J. Williams (Editor), “The Art and Science of Analog Circuit Design” 1<sup>st</sup> Edition, EDN Series for Design Engineers, Newnes, 1998.
- [76] B. Dobkin (Editor), J. Williams (Editor), “Analog Circuit Design: A Tutorial Guide to Applications and Solutions”, 1<sup>st</sup> Edition, Newnes, 2011.
- [77] M. Urekar, P. Sovilj, “EEG dynamic noise floor measurement with stochastic flash A/D converter”, Biomedical Signal Processing and Control, Vol. 38, pp. 337-345, 2017. ISSN 1746-8094

# 12. PRILOZI

1. Lista korišćenih skraćenica
2. DELPHI kod za simulaciju rada 4-bitnog SMI/SDEEM sa primenjenom PUP metodom i simuliranim ofsetima na svim komparatorima.
3. Debugovanje smetnji u Altera Cyclone, dodatni detalji sa simulacionim vremenskim dijagramima ključnih procesa u FPGA.
4. Preciznost višebitnog SMI (dodatni grafici i tabele)
5. Šeme i izgled štampanih ploča prototipa 4-bitnog SMI
  - Šema analognog dela 4-bitnog SMI (strana 166)
  - Šema digitalnog dela 4-bitnog SMI (strana 167)
  - Šema kola za napajanje 4-bitnog SMI (strana 168)
  - PCB analognog dela 4-bitnog SMI (strana 169)
  - PCB digitalnog dela 4-bitnog SMI (strana 170)
  - PCB kola za napajanje 4-bitnog SMI (strana 171)

## 12.1. PRILOG 1 – SKRAĆENICE

### Lista korišćenih skraćenica

(SKR – *Engleski/Srpski Izvornik* – prevod/objašnjenje skraćenice):

AC – *Alternating Current* – naizmenični signal

ADC – *Analog/Digital Converter* – analogno/digitalni konvertor

AKP – Adaptivni Koeficijent Pretvaranja

AS – AVP SMI – *Average Voltage Product Stochastic Measurement Instrument* – stohastički merni instrument koji meri srednju vrednost proizvoda dva signala

ASIC – *Application-Specific Integrated Circuit* – integrisano kolo za specifičnu aplikaciju

AVP – *Average Voltage Product* – srednja vrednost proizvoda

BCR – *Benefit-Cost Ratio* – odnos dobit/cena

BIT – Broj Integrisanih Tranzistora

CF – *Crest Factor* – krest faktor, odnos vršne i efektivne vrednosti signala

CGT – Centralna Granična Teorema

COM – *COMmunication port* – kompjuterski serijski port

CSVC – *Chopper Stabilized Voltage Comparator* – čoperski stabilizovan naponski komparator

DAC – *Digital/Analog Converter* – digitalno/analogni konvertor

DC – *Direct Current* – jednosmerni signal

DCO – *Digitally Controlled Oscillator* – digitalno kontrolisani oscilator

DSO – *Digital Sampling Oscilloscope* – digitalni osciloskop

EDM – Elektro-Distributivna Mreža

EMI – *Electromagnetic Interference* – elektromagnetna interferencija

FADC – *Flash Analog/Digital Converter* – fleš analogno/digitalni konvertor

FPGA – *Field-Programmable Gate Array* – programabilno integralno kolo

FS – *Full-Scale* – pun merni opseg, domet mernog instrumenta

GS/s – *GigaSamples per second* – gigasemplova u sekundi

hex – *hexadecimal* – heksadecimalni zapis

I/O – *Input/Output* – ulaz/izlaz

I2C – *Inter-Integrated Circuit* – serijski kompjuterski interfejs

KF – Kompenzaciona Funkcija

KO – Kriterijum Optimalnosti

LCD – *Liquid Crystal Display* – displej sa tečnim kristalom

LL – *Level Limiter* – ograničavač naponskog nivoa signala

MAC – *Multiply and Accumulate* – množenje i akumulacija

$max(OD)$  – maksimum funkcije Optimalnog Dizajna

MBd – *MegaBaud* – megabod, brzina prenosa u komunikacionom kanalu

Mbps – *Megabits per second* – megabita u sekundi

MUX – *MUltipleXer* – vremenski multiplekser

OCR – *Offset Cancellation Ratio* – faktor potiskivanja ofseta

OD – *Optimal Design function* – funkcija Optimalnog dizajna

OF – *OverFlow* – prekoračenje dozvoljenog nivoa

OFE – *Offset Error* - greška ofseta

OP – *Operational amplifier* - operacioni pojačavač

OV – *OverVoltage* – naponski prebačaj

PAPR – *Peak-to-Average Power Ratio* – odnos vršne i srednje snage signala

PC – *Personal Computer* – personalni računar

PCB – *Printed Circuit Board* – štampana ploča

PDF – *Probability Density Function* – funkcija gustine verovatnoće

PLL – *Phase-Locked Loop* – petlja sa praćenjem faze ulaznog signala

PoC – *Proof of Concept* – dokaz koncepta idejnog rešenja

ppm – *parts per million* – milioniti deo

PRNG – *PseudoRandom Number Generator* – generator pseudo-slučajnih brojeva

PUP – Periodično Unakrsno Preklapanje, metoda za suzbijanje efekata ofseta u komparatoru

RAM – *Random Access Memory* – memorija sa direktnim pristupom

RMS – *Root Mean Square* – efektivna vrednost

ROE – *Residual Offset Error* – preostala greška ofseta

RTC – *Real-Time Clock* – časovnik realnog vremena

SD – *Standard Deviation* – standardna devijacija

SDEEM – *Stochastic Digital Electrical Energy Measurement* – stohastičko digitalno brojilo električne energije

SDEPM – *Stochastic Digital Electrical Power Meter* – stohastički digitalni vatmetar

SDMM – *Stochastic Digital Measurement Method* – stohastička digitalna merna metoda

SDRMSVM – *Stochastic Digital RMS Voltage Meter* – stohastički digitalni voltmetar efektivne vrednosti napona

SFADC – *Stochastic Flash Analog/Digital Converter* – stohastički fleš analogno/digitalni konvertor

SI – Slika

SMI – *Stochastic Measurement Instrument* – stohastički merni instrument

SNR – *Signal/Noise Ratio* – odnos signal/šum

SPI – *Serial Peripheral Interface bus* – interfejs za sinhronu serijsku komunikaciju

SSM – *Standard Sampling Method* – standardna sampling metoda

STS – *Stochastic Theory of Sampling* – statistička teorija smplovanja

TCXO – *Temperature Compensated Crystal Oscillator* – temperaturno kompenzovani kristalni oscilator

TXT – *TeXT file* – tekstualna datoteka

UART – *Universal Asynchronous Receiver-Transmitter* – port za asinhronu serijsku komunikaciju, RS-232

VC – *Voltage Comparator* – naponski komparator

VHDL – *VHSIC Hardware Description Language* – programski jezik za opis hardvera

XOR – *eXclusive-OR* – eks-ili logička operacija

## 12.2. PRILOG 2 – DELPHI KOD SIMULACIJE

### DELPHI kod za simulaciju rada 4-bitnog SDEEM sa primenjenom PUP metodom i simuliranim ofsetima na svim komparatorima

Program FourBitFlashADCmeriEnergiju;

Uses Dos, Crt;

Const

FreqDitera = 125000.0;

FreqSin = 50.0;

TrajanjeMerenja = 10.0;

BrTacakaPoFazi = 50;

BrojPonavljanja = 10;

Var

TextOut : text;

u, ur, urt, i : real;

tau : real;

delta : real;

off01 : real;

off02 : real;

off03 : real;

off04 : real;

off05 : real;

off06 : real;

off07 : real;

off08 : real;

off09 : real;

off10 : real;

off11 : real;

off12 : real;

off13 : real;

off14 : real;

off15 : real;

off16 : real;

U1 : real;

omega, t, d\_t : real;

faza, d\_faza : real;

Rezultat, TRezultat : real;

ApsGr, SvdGr, RelGr : real;

j : integer;

Akumulator1, Akumulator2, Trajanje : int64;

Acc1, Acc2, Acc4 : int64;

ADC1, ADC2, ADC3, ADC4 : integer;

=====}

Function FlashComparators(u : real) : integer;

Var

ADC : integer;

begin

ADC := 10; { 10 je kod za OVERFLOW FLASH ADCa }

if ((u > -ur + off01) and (u <= -ur + delta + off02)) then ADC := -7;

if ((u > -ur + delta + off02) and (u <= -ur + 2 \* delta + off03)) then ADC := -6;

if ((u > -ur + 2 \* delta + off03) and (u <= -ur + 3 \* delta + off04)) then ADC := -5;

if ((u > -ur + 3 \* delta + off04) and (u <= -ur + 4 \* delta + off05)) then ADC := -4;

if ((u > -ur + 4 \* delta + off05) and (u <= -ur + 5 \* delta + off06)) then ADC := -3;



```

if ((u>-ur+5*delta+off06) and (u<=-ur+6*delta+off07)) then ADC:=-2;
if ((u>-ur+6*delta+off07) and (u<=-ur+7*delta+off08)) then ADC:=-1;
if ((u>-ur+7*delta+off08) and (u<=-ur+7*delta+off09)) then ADC:=0;
if ((u>-ur-7*delta+off09) and (u<=-ur-6*delta+off10)) then ADC:=1;
if ((u>-ur-6*delta+off10) and (u<=-ur-5*delta+off11)) then ADC:=2;
if ((u>-ur-5*delta+off11) and (u<=-ur-4*delta+off12)) then ADC:=3;
if ((u>-ur-4*delta+off12) and (u<=-ur-3*delta+off13)) then ADC:=4;
if ((u>-ur-3*delta+off13) and (u<=-ur-2*delta+off14)) then ADC:=5;
if ((u>-ur-2*delta+off14) and (u<=-ur-1*delta+off15)) then ADC:=6;
if ((u>-ur-delta+off15) and (u<=-ur+off16)) then ADC:=7;

```

```

FlashComparators := ADC;
end;

```

```

{=====}

```

```

Function Harmonik : real;

```

```

Var
d1, d2 : real;
CosBazFunk, SinBazFunk : real;
RedHarmonika : integer;

```

```

Begin

```

```

t := 0.0;

```

```

Akumulator1 := 0;

```

```

Akumulator2 := 0;

```

```

Acc1 := 0;

```

```

Acc2 := 0;

```

```

Acc4 := 0;

```

```

Trajanje := 0;

```

```

off01 := -0.01;

```

```

off02 := 0.01;

```

```

off03 := 0.002;

```

```

off04 := 0.01;

```

```

off05 := -0.002;

```

```

off06 := 0.0;

```

```

off07 := 0.005;

```

```

off08 := -0.01;

```

```

off09 := -0.01;

```

```

off10 := 0.01;

```

```

off11 := 0.002;

```

```

off12 := -0.01;

```

```

off13 := 0.001;

```

```

off14 := 0.002;

```

```

off15 := -0.005;

```

```

off16 := 0.01;

```

```

delta := 0.625;

```

```

urt := 5.0;

```

```

ur := 4.6875;

```

```

tau := 0.0;

```

```

repeat

```

```

u := U1 * cos(omega*t); { OVDE zadajemo oblik funkcije cijju harmonijsku analizu radimo !!!! }

```

```

RedHarmonika := 1; { OVDE zadajemo red harmonika koji hocemo da odredimo !!!! }

```

```

CosBazFunk := 4.3*cos(RedHarmonika*omega*t);
SinBazFunk := 4.3*sin(RedHarmonika*omega*t);

d1 := 0.625*(random-0.5);
d2 := 0.625*(random-0.5);

ADC1 := FlashComparators(u + d1);
ADC2 := FlashComparators(CosBazFunk + d2);
ADC3 := ADC1;
ADC4 := FlashComparators(SinBazFunk + d2);

Acc1 := Acc1 + ADC1;
Acc2 := Acc2 + ADC2;
Acc4 := Acc4 + ADC4;

Akumulator1 := Akumulator1 + (ADC1*ADC2);
Akumulator2 := Akumulator2 + (ADC3*ADC4);
Trajanje := Trajanje+1;

t := t+d_t;
tau := tau+d_t;

if (tau >= 0.02)
then begin

off01 := -off01;
off02 := -off02;
off03 := -off03;
off04 := -off04;
off05 := -off05;
off06 := -off06;
off07 := -off07;
off08 := -off08;
off09 := -off09;
off10 := -off10;
off11 := -off11;
off12 := -off12;
off13 := -off13;
off14 := -off14;
off15 := -off15;
off16 := -off16;

end;

until (t>=TrajanjeMerenja);

Harmonik := sqrt( sqr(Akumulator1/Trajanje) + sqr(Akumulator2/Trajanje) );
End;
{=====}
BEGIN
  ClrScr;
  Randomize;

  Assign(TextOut, '4bit_23.dat');
  Rewrite(TextOut);
  WriteLn(TextOut, ' Tacna   Merena   SvdGr   Psi12   Psi34   Psi1   Psi2   Psi4   ADC1/3   ADC2   ADC3');

  faza := 0.0;
  omega := 2.0*Pi*FreqSin;

  d_faza := Pi/BrTacakaPoFazi;

```

```

d_t := 1/FreqDitera;

U1 := 0.1;

repeat

  for j:=1 to BrojPonavljanja do
  begin
    Rezultat := 0.18168928207232205777359927297146 * Harmonik;
    TRezultat := U1;
    ApsGr := Rezultat - TRezultat;
    SvdGr := 20 * ApsGr;
    RelGr := ApsGr/TRezultat;

    WriteLn(j:5, TRezultat:10:5, Rezultat:10:5, SvdGr:10:5, Akumulator1:10, Akumulator2:10, Acc1:5, Acc2:5, Acc4:5,
ADC1:2, ADC2:2, ADC4:2 );
    WriteLn(TextOut,
      TRezultat:10:5, Rezultat:10:5, SvdGr:10:5, Akumulator1:10, Akumulator2:10, Acc1:5, Acc2:5, Acc4:5, ADC1:2,
ADC2:2, ADC4:2 );

  end;

  U1 := U1 + 0.1;

until (U1 >= 4.4);

Close(TextOut);
END.

```

## 12.3. PRILOG 3 – DEBAGOVANJE 2. DEO

### Debugovanje smetnji u Altera Cyclone, dodatni detalji

Prvo je potrebno sve neiskorištene I/O pinove postaviti da budu GND umesto Reserved. Zatim je probano nekoliko opcija radi poboljšanja rada SMI:

1. Svaki pin ima opciju *slow slew-rate* koja je po pravilu isključena, čime se dobija na brzini, ali se stvara više smetnji, pa je zato probano:

- a) *slow slew-rate* ON za pinove MUX 100 kHz (pin 26), N\_ZERO (pin 22), N\_SWITCH (pin 61),
- b) *slow slew-rate* svim I/O pinovima.

2. Moguće je da se smetnja dešava kada istovremeno dođe do čitanja podatka sa komparatora i svičevanja ulaza komparatora, pa je potrebno podesiti da se za vreme taktovanja čitanje izlaza sa komparatora (pinovi 3-10, 14-21) dešava na uzlaznu ivicu takta, a svičevanje (pin 61) na silaznu ivicu takta, čime se možda izbegava smetnja pri istovremenom dešavanju ta dva događaja.

3. Frekvenciju multipleksovanja (MUX) privremeno promeniti sa 100 kHz na 90 kHz (pin 26).
4. Pod 3. + svičevanje isključiti (pin 61).
5. Isključiti samo signale MUX (pinovi 25-26).
6. Isključiti i svičevanje i MUX.

Izgled signala pri tranziciji *switch* izlaza prikazan je na Sl. P.2.

Vidi se da tranzicija *switch* signala pravi problem u  $\Psi$  semplovanju. Na istoj slici se vidi i da je kašnjenje od rastuće ivice *do\_sample* signala do silazne ivice *switch* signala tačno 2 *clock* perioda.

Na Sl. P.3 je dodatno zakašnjena promena na *switch* izlaznom signalu, tako da je ona sada smeštena 11 *clock* ciklusa nakon *do\_sample* rastuće ivice.

Sada je dodato formirano kašnjenje nakon semplovanja  $\Psi$  signala, do tranzicije na *switch* izlazu. S druge strane, i do sada je tranzicija *switch* signala bila omogućena tek nakon *do\_sample* rastuće ivice, tako da je taj događaj bio sinhronizovan interno. Moguće je da prekratko kašnjenje od *do\_sample* ivice do tranzicije *switch* signala poremeti semplovani signal. Gledajući signale na osciloskopu, gličevi i dalje postoje, sada ih je nešto manje i sa manjom amplitudom (100-200 mV), dok su oni sa amplitudom reda volta ređi. Gledajući *log*-fajl, i dalje se vide prebačaji usled gličeva. Na merenju od 1 min, sa prethodnom verzijom VHDL dobijeno je oko 0.13 % semplova sa glič greškom, a sa izmenjenom verzijom oko 0.11 %.

Što se tiče VHDL dizajna, sad je sasvim sigurno da je tranzicija *switch* signala i sve što nju prati započeta nakon semplovanja  $\Psi$  ulaza. Pitanje je da li analogni deo može uspešno da završi tranziciju pre stizanja novog  $\Psi$  sempla, odnosno za približno 10  $\mu$ s?

Potrebno je snimiti proces tranzicije, tj. koliko prođe vremena od ivice *switch* signala, do kraja tranzicije na analognim sklopovima. Ukoliko je situacija takva da tranzicija traje duže od 10  $\mu$ s, tada se otvara pitanje da li nakon tranzicije odbaciti prvi sledeći sempl?

U prethodnom slučaju se hvatao prvi  $\Psi$  sempl odmah nakon  $\Psi$  tranzicije, gde je oscilacija nivoa velika, pa se dobijaju visoke vrednosti. Sad kada se tranzicija započinje odmah nakon  $\Psi$  semplovanja, tada je naredni  $\Psi$  sempl uhvaćen pri kraju tranzicione oscilacije gde je amplituda manja.

Tranzicija *switch* signala je pomerena iza sampling momenta  $\Psi$  signala, tako da smo sigurni da tranzicija *switch* signala ne utiče na aktuelni  $\Psi$  sempl.

Prethodno je metodom eliminacije zaključeno da kad nema svičevanja, sistem radi veoma dobro. Kada se PUP svičevanje uključi, ukupna greška merenja poraste!

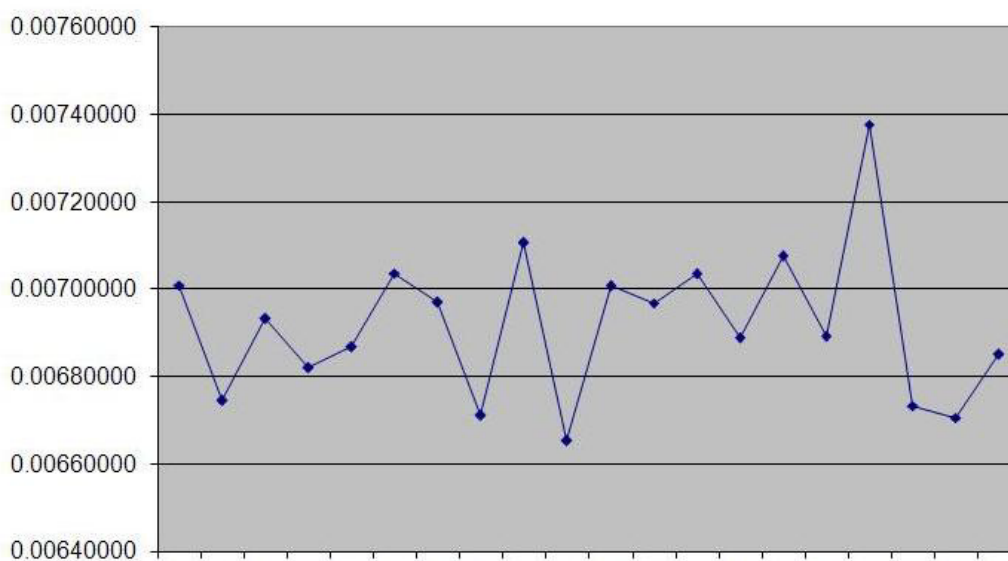
Nakon svega toga, epilog je da i dalje zbog svičevanja ofseta u sistemu, ukupna greška postaje veća nego kad se ofseti ne svičuju, što je očigledno problem Cyclone FPGA.

Plan je da se učestanost svičevanja sa sadašnjih 25 Hz spusti na 5 Hz ili niže, da bi se videlo šta se dobija.

Posle smanjivanja frekvencije svičevanja, posmatrajući *log*-fajl podataka, vidi se da na nekoj frekvenciji između 8 i 5 Hz naglo opada broj naponskih pikova i prekoračenja gornje granice ulaznog opsega, koji su se javljali sa višim frekvencijama svičevanja.

Pri svičevanju na 25 Hz, sa početnih 3500 podataka koji se odbace na 3 miliona podataka (koliko se dobije za jedan minut merenja), na 5 Hz taj broj opada na 200. Daljim smanjivanjem frekvencije svičevanja ovaj broj se ne smanjuje, tako da se sada koristi frekvencija PUP od 5 Hz, kao direktna posledica problematičnog tajminga u Cyclone FPGA, ne PUP metode.

Izlazni ofset se smanjio na 6-7 mV, sa varijacijom od  $\pm 1$  mV i konstantan je na skoro celom opsegu merenja, Sl. P.1.



Sl. P.1. Varijacija ofseta pri smanjenju frekvencije PUP na 5 Hz.

Kako su svi ostali izvori ofseta svedeni na red mikrovolta, jedini izvor ofseta mora biti pre bafera signala ditera, tj. na izlazu samog ADC.

Zato je u VHDL kodu je preuređen dizajn tako da se može zadavati komanda koja opredeljuje dužinu trajanja *switch* periode.

Ako je poluperioda *switch* signala u trajanju od 5 perioda  $T$  detektora prolaska kroz nulu, dobijamo Sl. P.4.

Ako je poluperioda *switch* signala u trajanju od 11 perioda detektora prolaska kroz nulu, dobijamo Sl. P.5.

Zatim je rešavan problem slanja naredbi za DAC.

Odspojena je CAL linija koja sa FPGA inicira kalibraciju DAC, i spojen je taster tako da se ručno pokreće kalibracija na DAC.

Rezultat je da DAC, bez obzira šta je zadano, generiše signal stepeničaste testere od 18-19 Hz. Probano je dodavanje *pull-up* otpornika na ulaz DAC, ali bez efekta.

Kada se vrati da FPGA inicira CAL, bilo koja od komandi da se pošalje, izlaz DAC se postavi na sve jedinice, tj. na MAX, pa je na izlazu DAC dobijeno  $+V_{ref}$ . Ovime je moguće podesiti samo deo procedure poništavanja ofseta DAC autokalibracijom.

Kada se resetuje FPGA, diter normalno radi ali dobija se ista greška kao pre, jer opet postoji ofset iz DAC. Ovo znači da se DAC opet razdesi ponovnim pokretanjem procesa autokalibracije.

Izmenjen je blok za komunikaciju, tako da sistem sada može da prima komande u okviru kojih na DAC mogu da se zadaju izlazi MAX, MIN, ZERO i DITER.

Naredbe koje se šalju su u obliku *hex* bajta:

- \$00 = MAX – izlaz na "1111111111111111";  $f = 100$  kHz (Sl. P.6)
- \$10 = MIN – izlaz na "0000000000000000";  $f = 100$  kHz (Sl. P.7)
- \$20 = ZERO – izlaz na "0111111111111111";  $f = 100$  kHz (Sl. P.8)
- \$30 = DITER – izlaz generiše diter;  $f = 100$  kHz (Sl. P.9)

FPGA permanentno šalje velike količine podataka na PC, pa je neophodno pre eksperimentisanja odvojiti liniju koja šalje podatke na PC (odnosno  $R_x$  na PC strani). Ako se to odvajanje ne uradi, moguće je da komande sa PC uopšte ne dopiru do FPGA usled zagušenja komunikacionog kanala!

CAL signal je normalno na početku nula u FPGA dizajnu, a potom kada se spoljašnji *reset* ulaz podigne (deaktivira) i kad se unutrašnji PLL (*phase-locked loop*) sinhronizuje, CAL prelazi iz "0" u "1". Dodatni uslov je da ulazni signal CAL\_OK mora biti "1" da bi FPGA uopšte izašao iz reseta.

Dakle, ako se krene sa odspajanjem CAL i CAL\_OK signala, kao što je u početku testirano, sistem mora postati nestabilan.

Za ručno podešavanje CAL, potrebno je CAL\_OK veštački vratiti na "1", da bi on omogućio da FPGA izađe iz reseta. Pri normalnoj inicijalizaciji, CAL signal prema DAC pošalje samo jednu logičku nulu.

Jasno je da problem sa ofsetom dolazi iz samog DAC. Na njemu postoji trimmer samo za podešavanje gornje granice tj.  $+V_{ref}$ . On interno pravi  $-V_{ref}$ , pri čemu pravi veliku grešku. To se vidi kada se na DAC pošalju sve nule (\$10), jer tada daje ofset od 6-12 mV u odnosu na  $-V_{ref}$ , a nije ga moguće trimovati. To bi trebalo da popravi proces autokalibracije, što nije slučaj. Ovo je rešeno dodavanjem posebne reference i trimera za negativni referentni napon, kao što je opisano u Poglavlju 7.2.1.

Zatim je promenjena struktura kontrolne reči koja ide od PC ka FPGA, tako da se vodeći bit u tom bajtu poveže na CAL izlaz, čime je omogućena totalna kontrola nad DAC.

CAL bit	x	D C[1]	D C[0]	F[3]	F[2]	F[1]	F[0]
---------	---	--------	--------	------	------	------	------

Tabela P.1. Struktura kontrolne reči za upravljanje sa DAC.

Potrebno je podesiti jednostruko (*one-shot*) okidanje linije CAL, tako da kada se primi kontrolna reč, da prvi bit okine samo jedan početni impuls koji će pokrenuti CAL. Ako bi se tim bitom samo setovao konstantan logički nivo za početak CAL procedure, posle bi se morala poslati "0" da se zaustavi autokalibracija, pa je *one-shot* logičan izbor komande.

Kad na UART stigne prvi bajt, on će spustiti CAL\_bit na "0", naredni bajt diže CAL\_bit na "1". Na PC strani sada samo treba poslati jednu komandu, a CAL signal ka DAC drži nizak nivo otprilike 10  $\mu$ s, što je više nego dovoljno za autokalibraciju, jer po specifikaciji je potrebno vreme ne kraće od 50 ns za ceo ciklus.

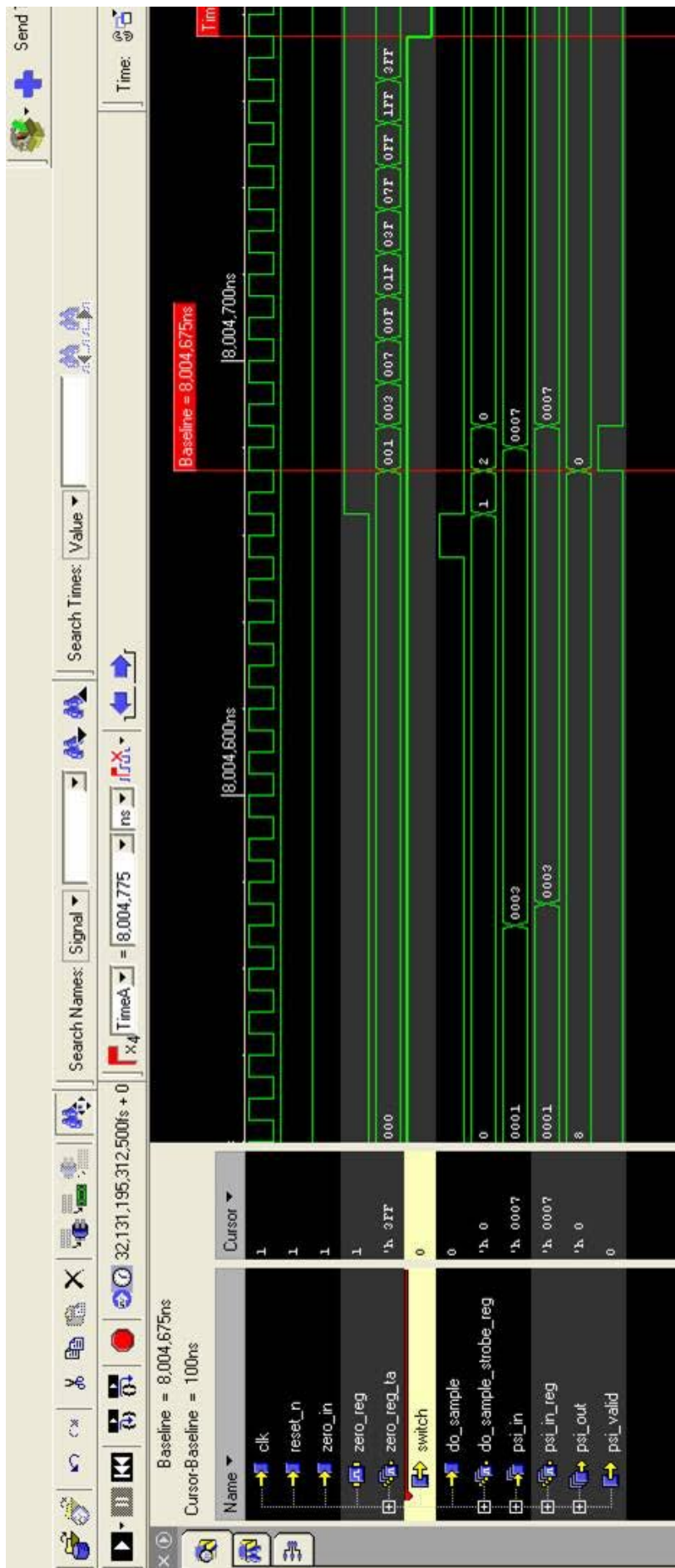
Dat je prikaz vremenskih dijagrama iz VHDL simulatora na Sl. P.10, gde se vidi da je kontrola nad CAL signalom potpuno preuzeta.

Na Sl. P.11 se vidi se da linija *dac\_driver* ispravno prihvata sve što mu stiže sa UART i da to šalje na DAC pri brzini od 1 MBd.

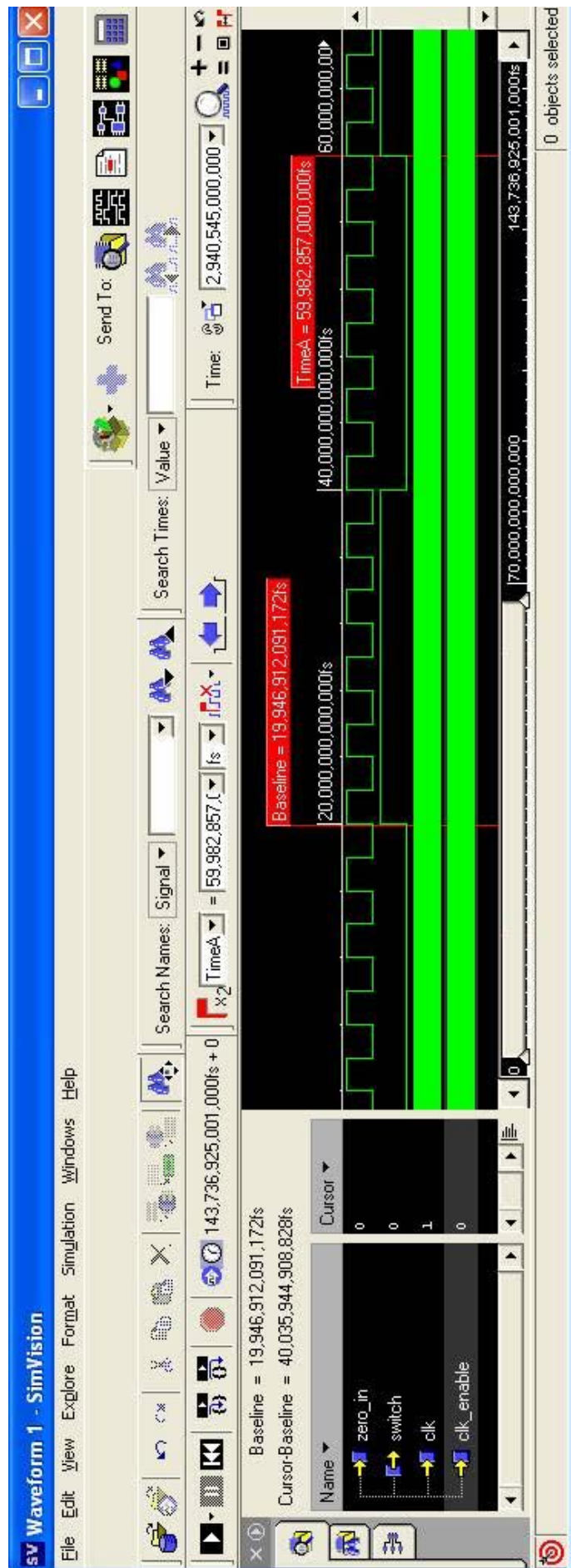


Sl. P.2. Izgled signala pri tranziciji *switch* izlaza sa kašnjenjem od 2 *clock* takta.

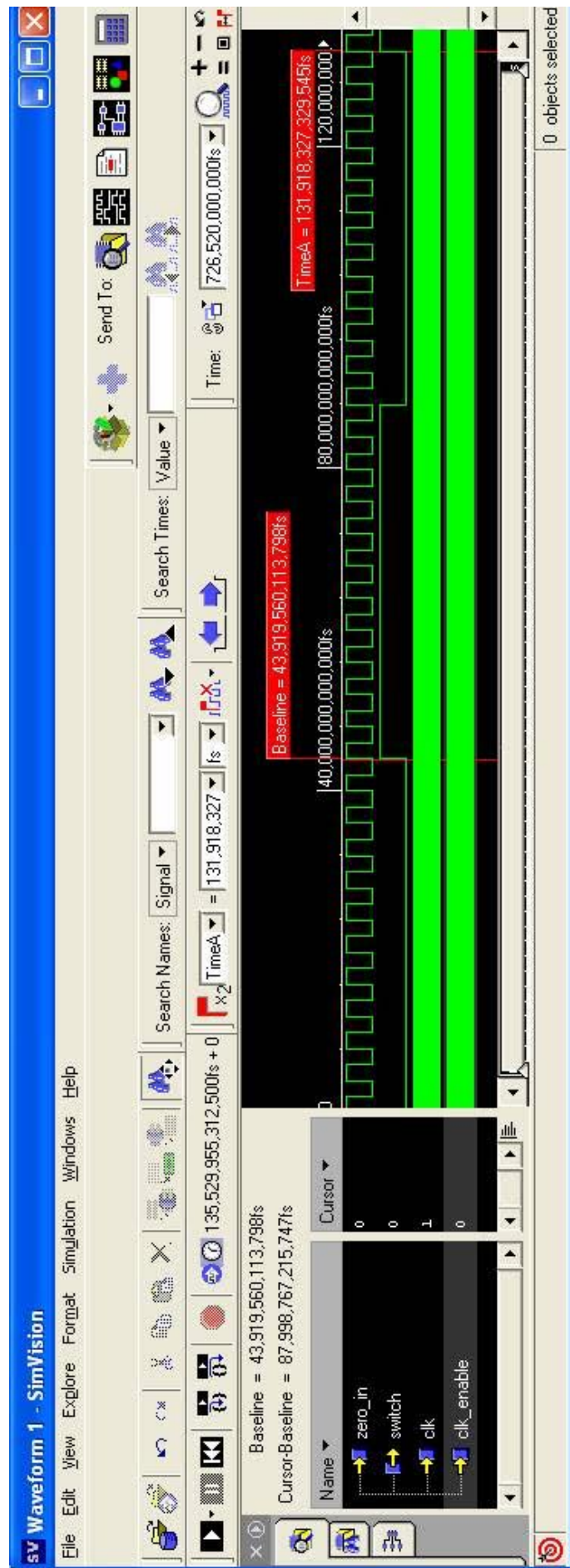




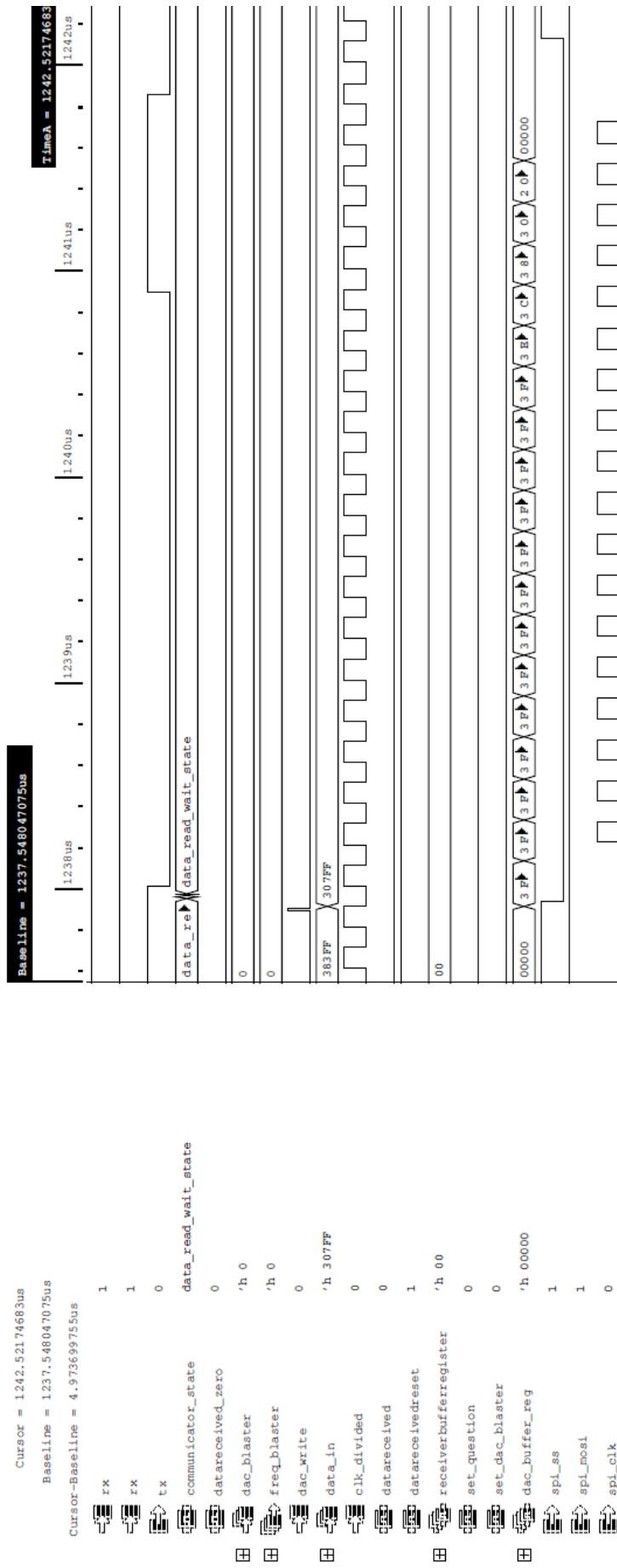
Sl. P.3. Izgled signala pri tranziciji *switch* izlaza sa kašnjenjem od 11 *clock* taktova.



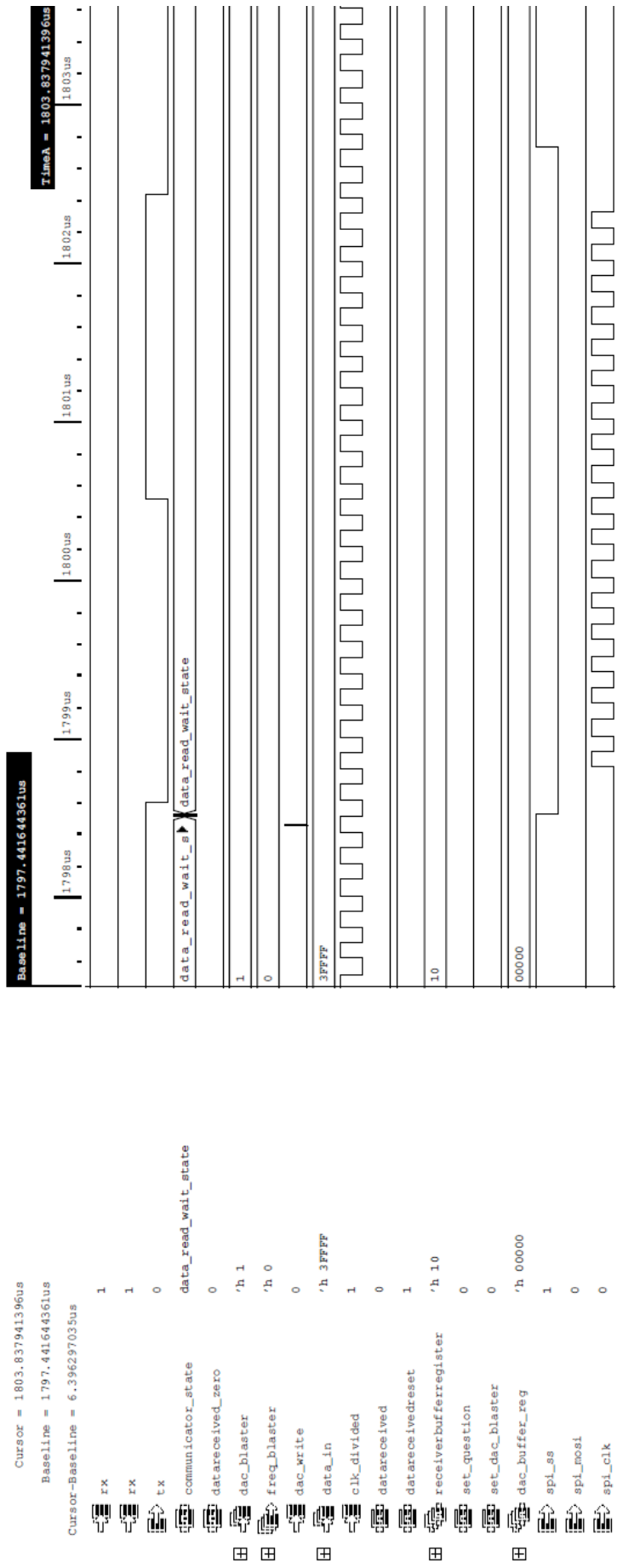
Sl. P.4. Izgled *switch* signala sa poluperiodom od 5 perioda  $T$ .



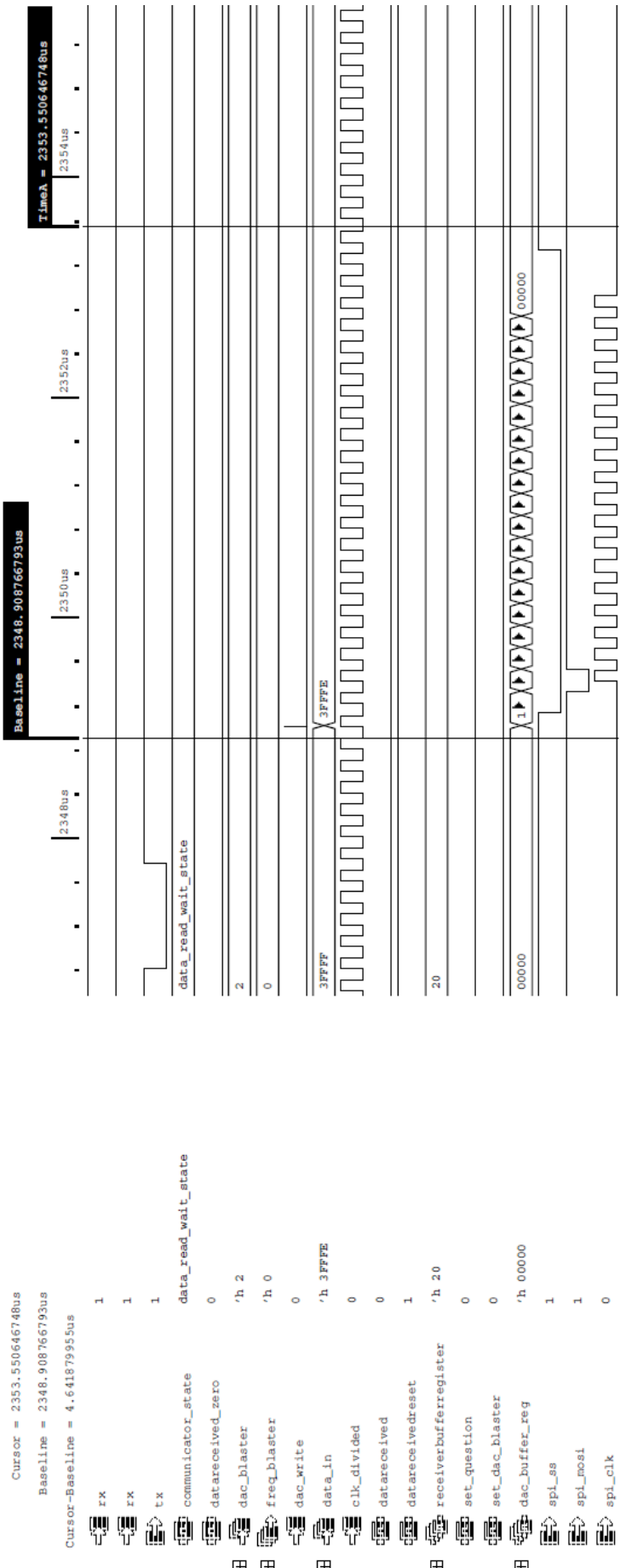
Sl. P.5. Izgled *switch* signala sa poluperiodom od 11 perioda *T*.



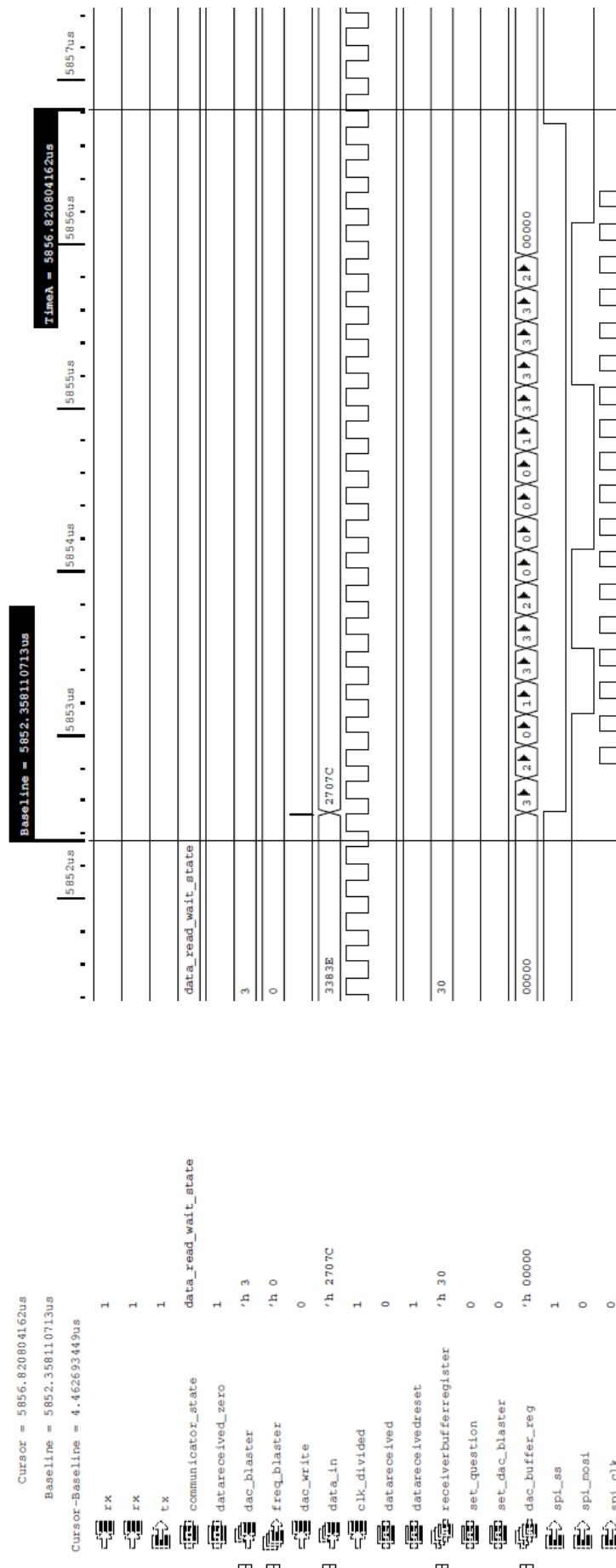
Sl. P.6. Naredba MAX za izlaz DAC.



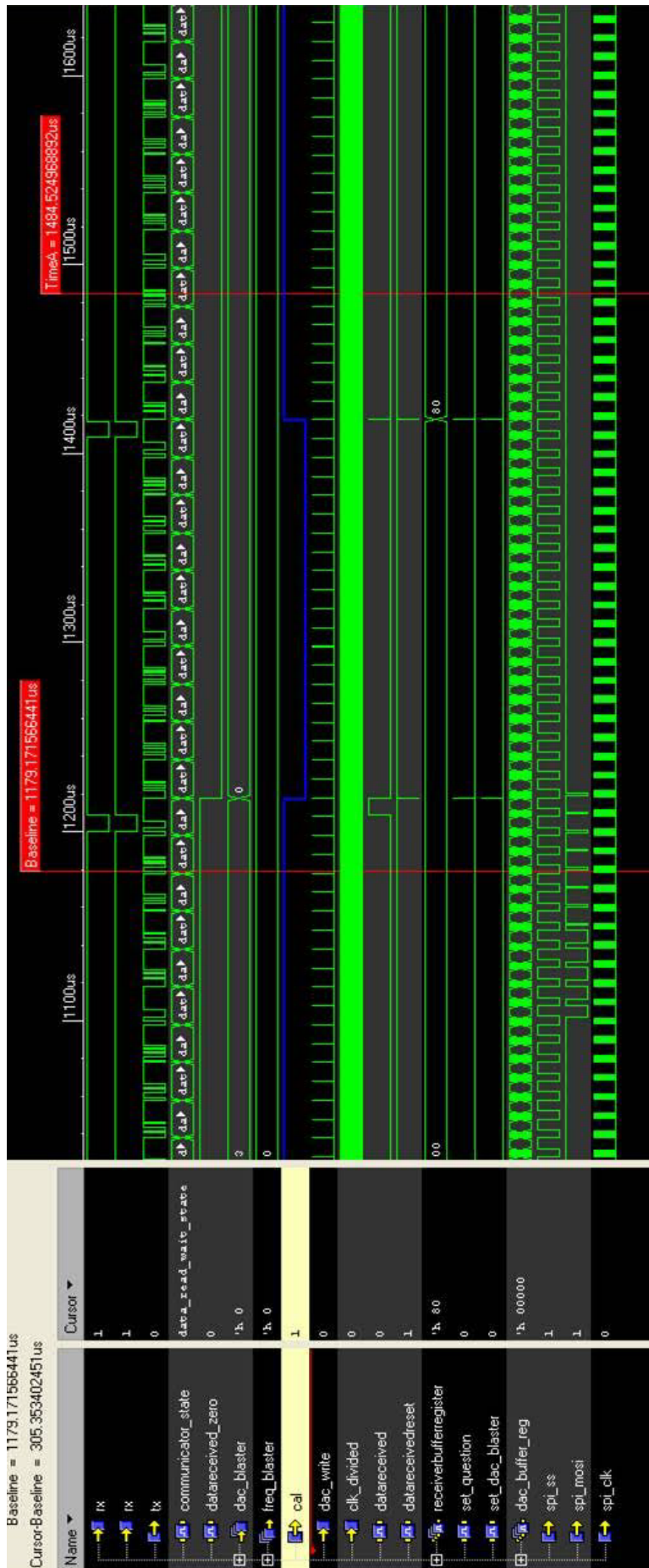
Sl. P.7. Naredba MIN za izlaz DAC.



Sl. P.8. Naredba ZERO za izlaz DAC.

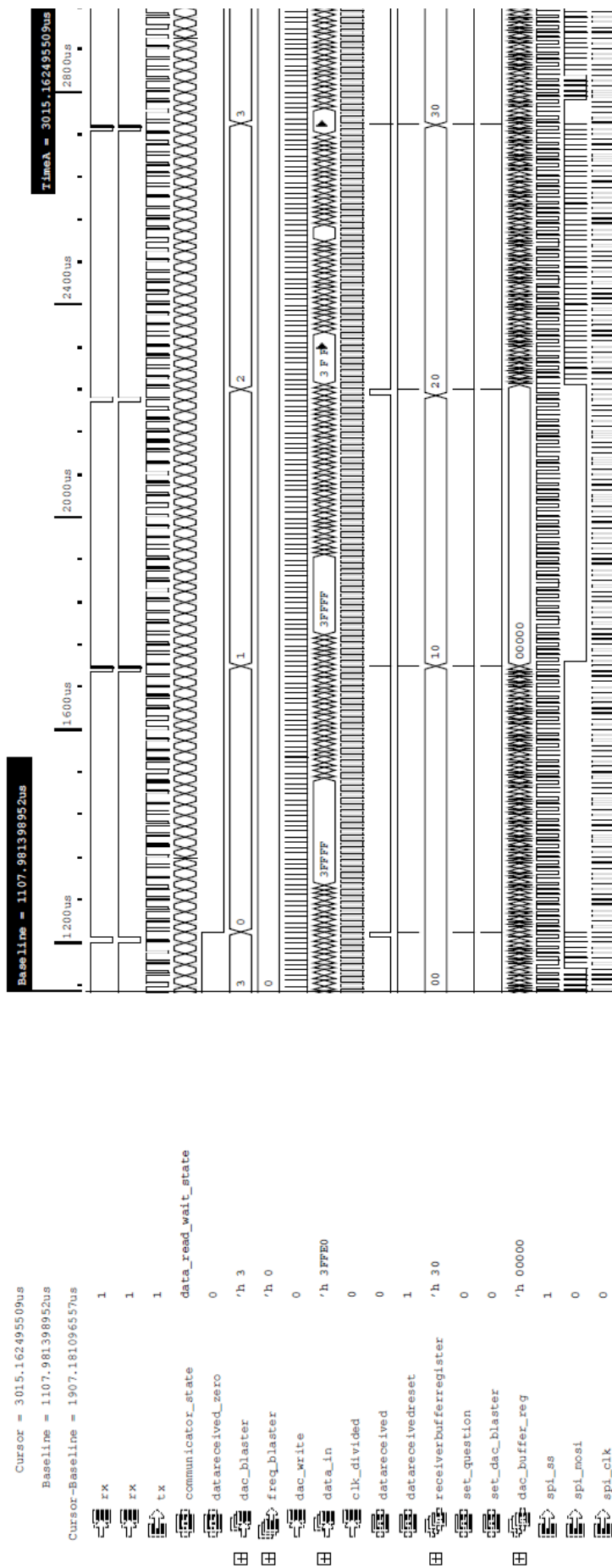


Sl. P.9. Naredba DITER za izlaz DAC.



Sl. P.10. Izgled uskladenih signala za kontrolu CAL.

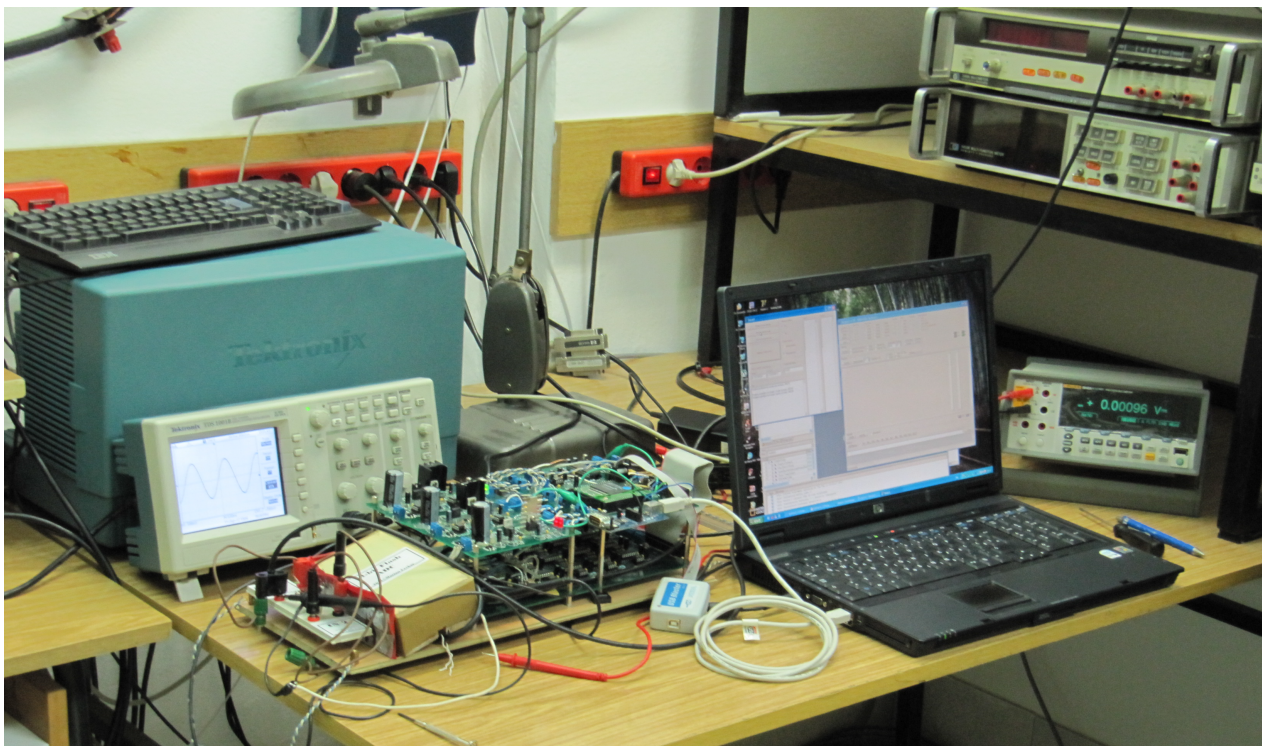




Sl. P.11. Izgled svih signala za komunikaciju UART – DAC.

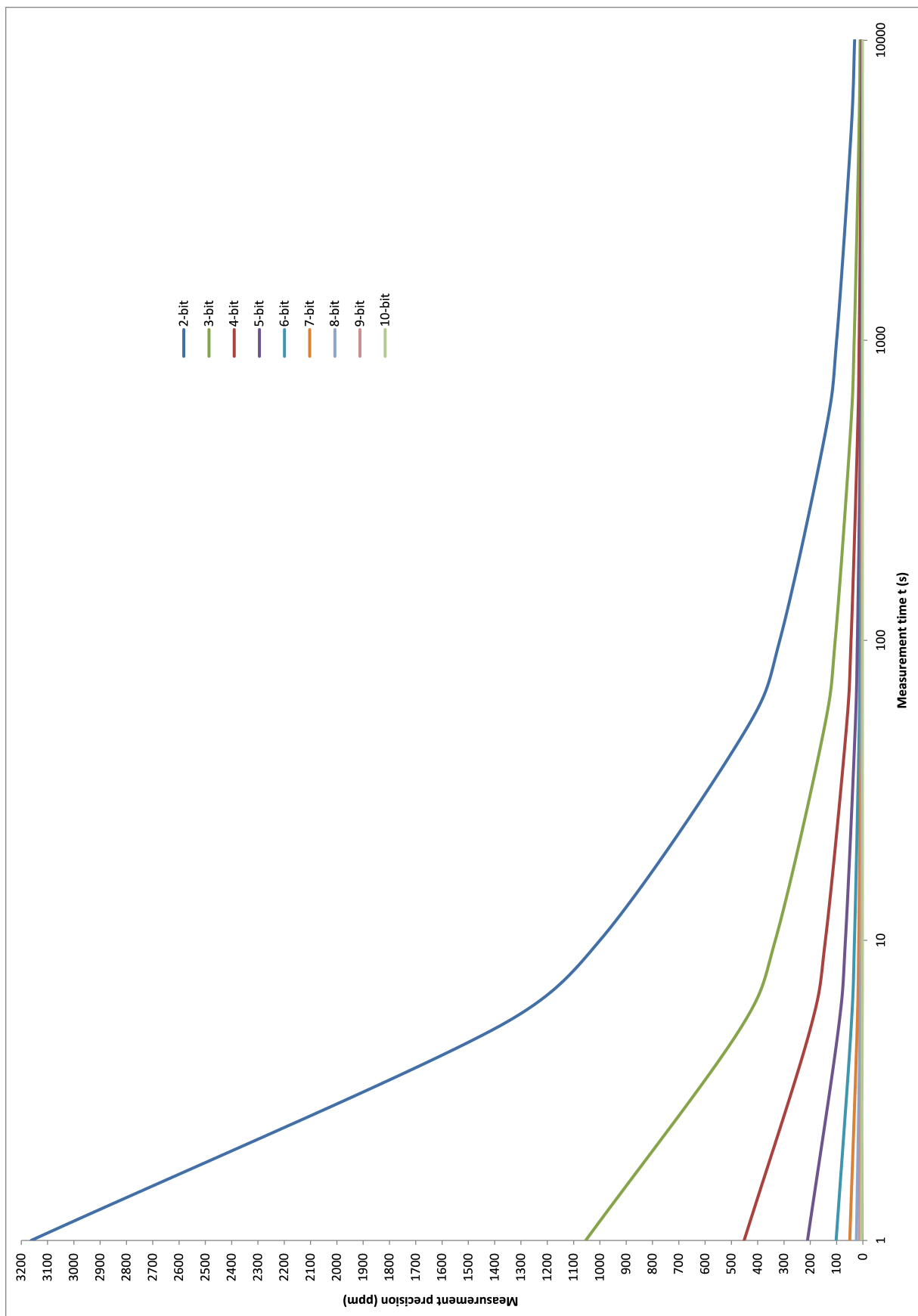


Sl. P.12a. Proces ispitivanja 4-bitnog SMI u Kalibracionoj laboratoriji Katedre za električna merenja, smeštenoj u bivšem objektu TMD-a Fakulteta tehničkih nauka u Novom Sadu.

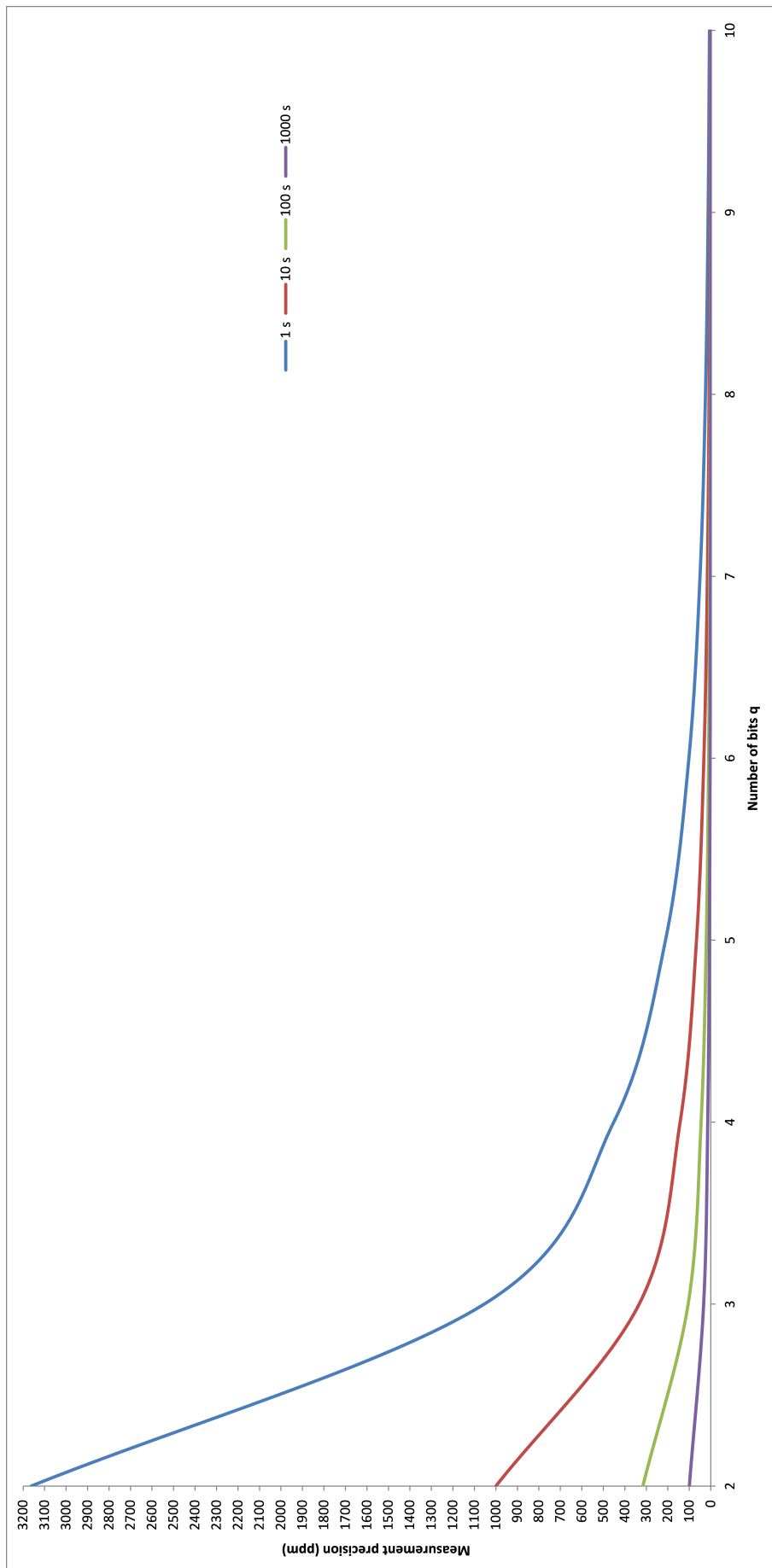


Sl. P.12b. Detalj postavke za ispitivanje 4-bitnog SMI.

## 12.4. PRILOG 4 – PRECIZNOST VIŠEBITNOG SMI (DODATNI GRAFICI I TABELE)



Sl. P.13. Preciznost (izražena u ppm) kao funkcija dužine perioda merenja za  $q$ -bitni SMI.



Sl. P.14. Preciznost (izražena u ppm)  $q$ -bitnog SMI u funkciji od dužine perioda merenja (u sekundama) i broja bita rezolucije  $q$ .

period merenja $t_m$	preciznost ( $q = 2$ )	preciznost ( $q = 3$ )	preciznost ( $q = 4$ )	preciznost ( $q = 5$ )	preciznost ( $q = 6$ )
s	ppm	ppm	ppm	ppm	ppm
1	3162.28	1054.09	451.75	210.82	102.01
5	1414.21	471.40	202.03	94.28	45.62
10	1000.00	333.33	142.86	66.67	32.26
50	447.21	149.07	63.89	29.81	14.43
100	316.23	105.41	45.18	21.08	10.20
500	141.42	47.14	20.20	9.43	4.56
1000	100.00	33.33	14.29	6.67	3.23
5000	44.72	14.91	6.39	2.98	1.44
10000	31.62	10.54	4.52	2.11	1.02

period merenja $t_m$	preciznost ( $q = 7$ )	preciznost ( $q = 8$ )	preciznost ( $q = 9$ )	preciznost ( $q = 10$ )
s	ppm	ppm	ppm	ppm
1	50.19	24.90	12.40	6.19
5	22.45	11.14	5.55	2.77
10	15.87	7.87	3.92	1.96
50	7.10	3.52	1.75	0.88
100	5.02	2.49	1.24	0.62
500	2.24	1.11	0.55	0.28
1000	1.59	0.79	0.39	0.20
5000	0.71	0.35	0.18	0.09
10000	0.50	0.25	0.12	0.06

Tabela P.2. Vrednosti funkcije preciznosti na Sl. P.13.

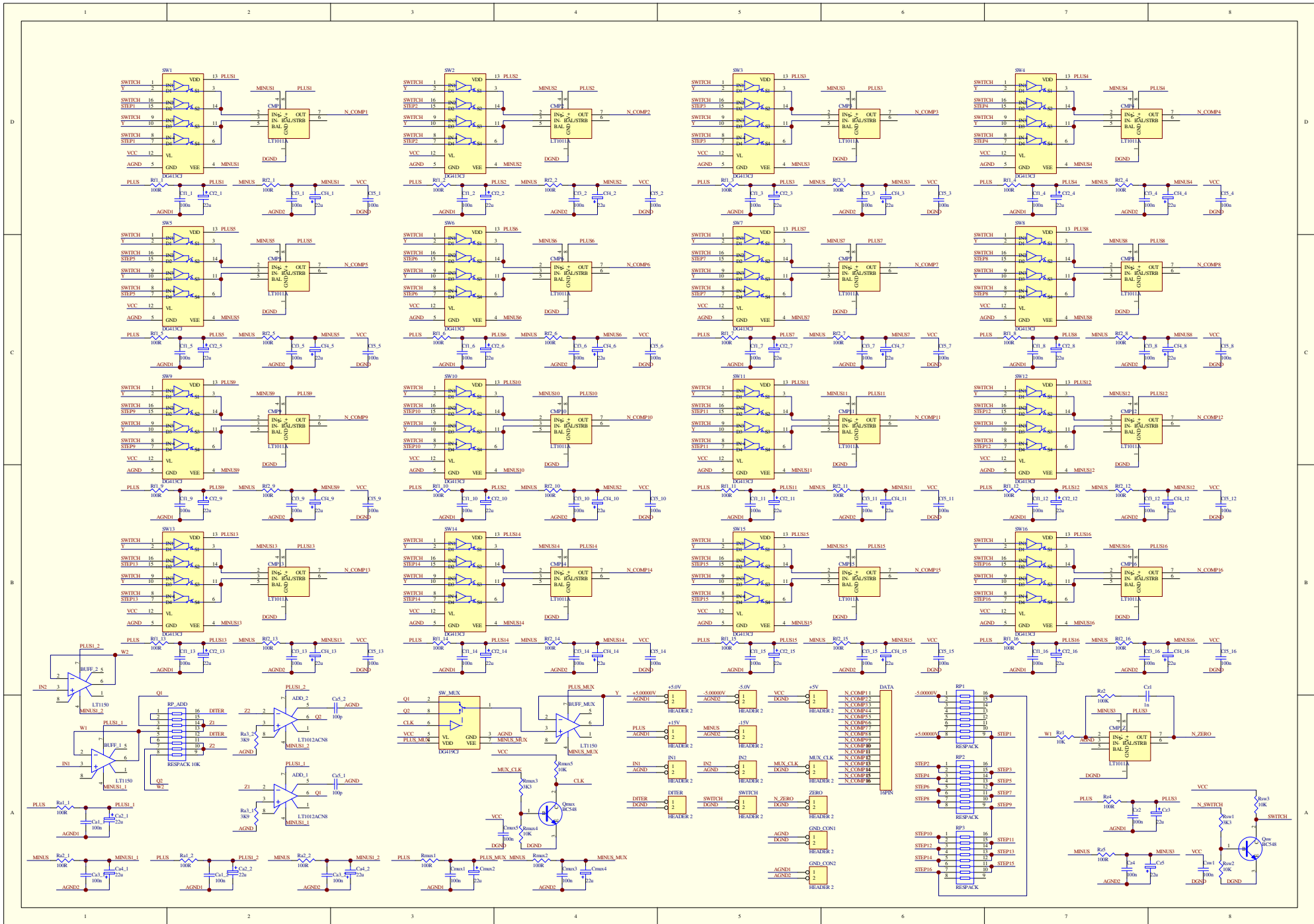
broj bita $q$	preciznost ( $t_m = 1$ s)	preciznost ( $t_m = 10$ s)	preciznost ( $t_m = 100$ s)	preciznost ( $t_m = 1000$ s)	preciznost ( $t_m = 10000$ s)
	ppm	ppm	ppm	ppm	ppm
2	3162.28	1000.00	316.23	100.00	31.62
3	1054.09	333.33	105.41	33.33	10.54
4	451.75	142.86	45.18	14.29	4.52
5	210.82	66.67	21.08	6.67	2.11
6	102.01	32.26	10.20	3.23	1.02
7	50.19	15.87	5.02	1.59	0.50
8	24.90	7.87	2.49	0.79	0.25
9	12.40	3.92	1.24	0.39	0.12
10	6.19	1.96	0.62	0.20	0.06

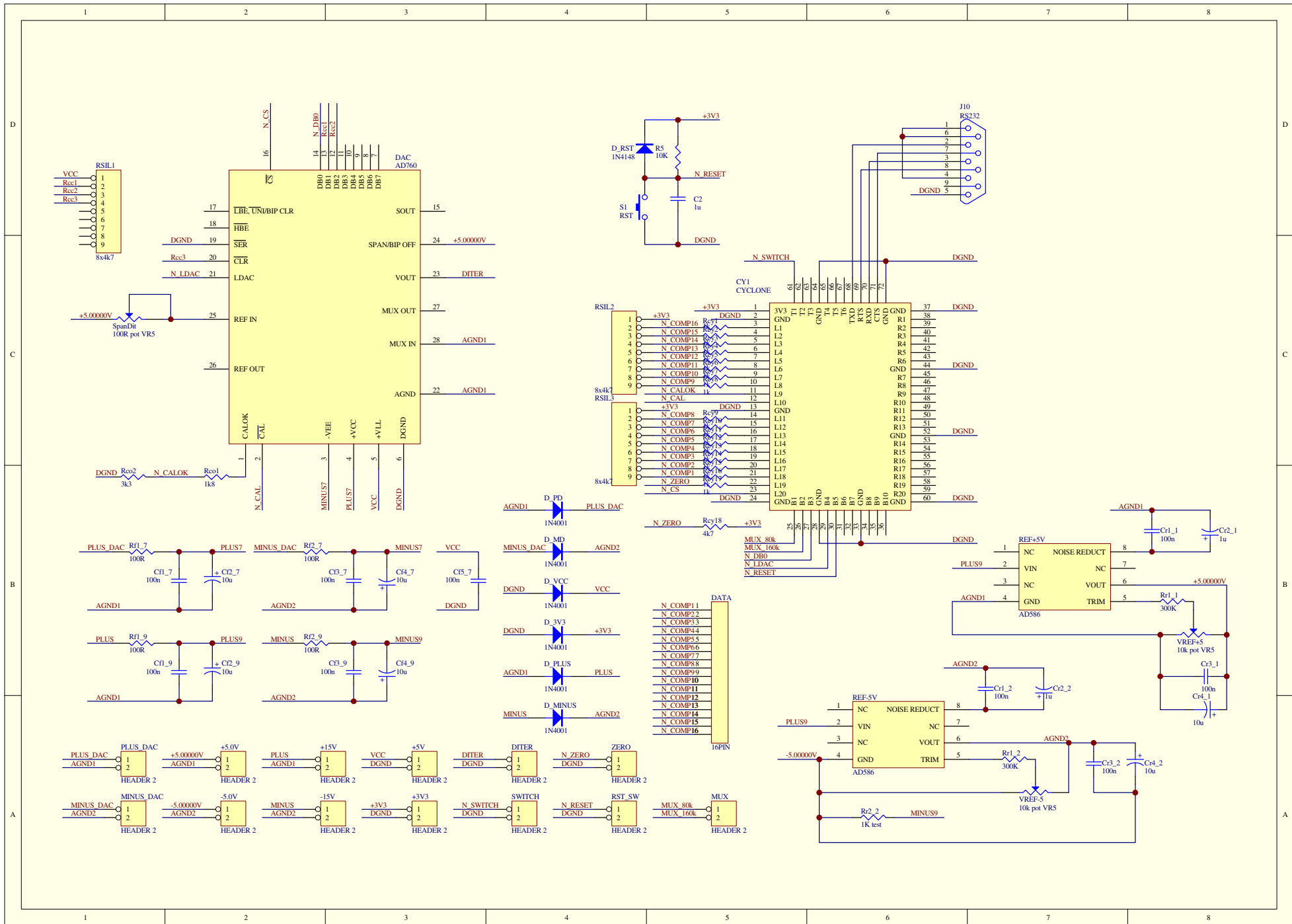
Tabela P.3. Vrednosti funkcije preciznosti na Sl. P.14.

## 12.5. PRILOG 5 – ŠEME i PCB-ovi

### Šeme i izgled štampanih ploča prototipa 4-bitnog SMI

- Šema (bez dodatnih modifikacija) analognog dela 4-bitnog SMI (strana 171)
- Šema (bez dodatnih modifikacija) digitalnog dela 4-bitnog SMI (strana 172)
- Šema kola za napajanje 4-bitnog SMI (strana 173)
- PCB analognog dela 4-bitnog SMI (strana 174)
- PCB digitalnog dela 4-bitnog SMI (strana 175)
- PCB kola za napajanje 4-bitnog SMI (strana 176)





D

C

B

A

D

C

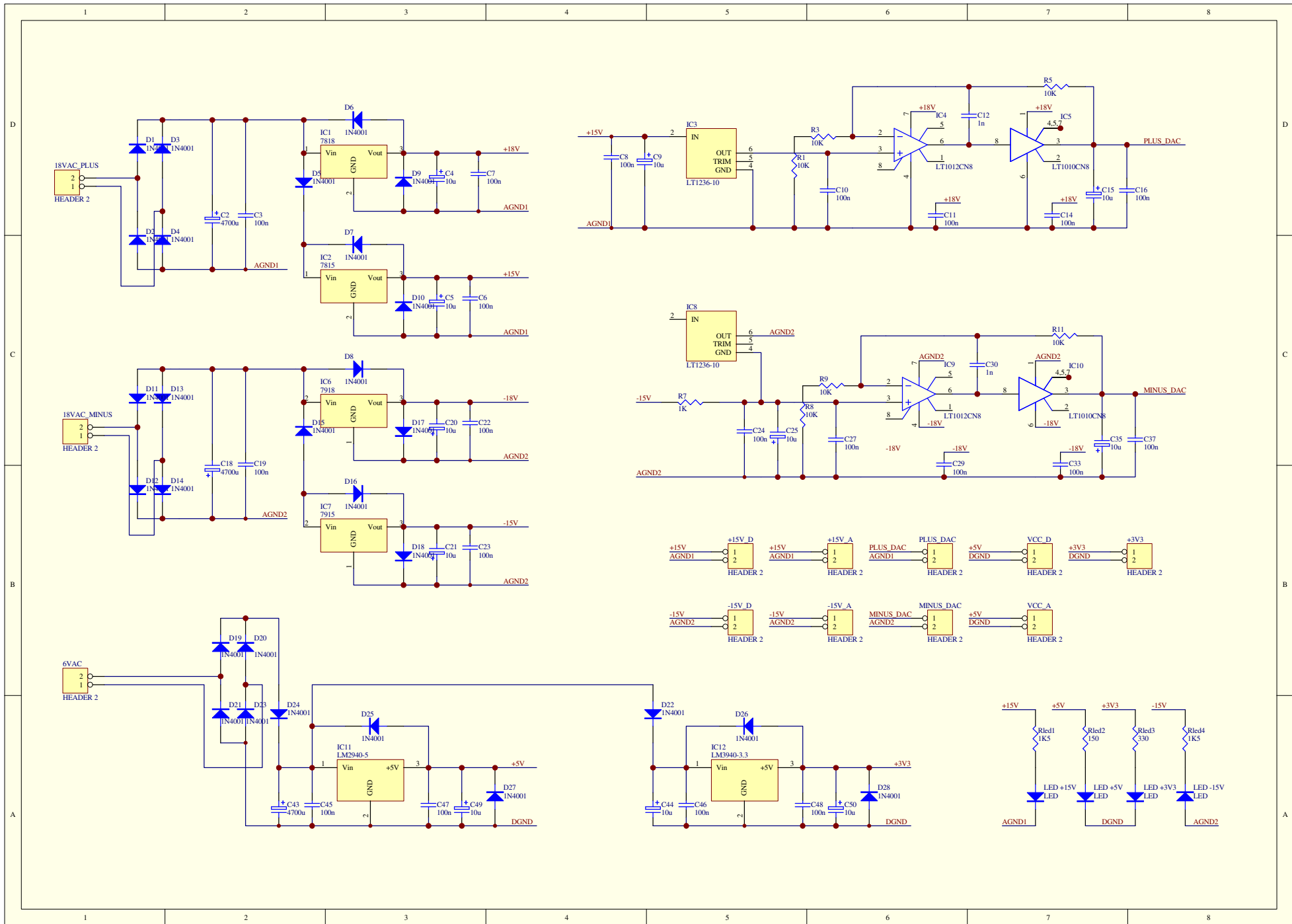
B

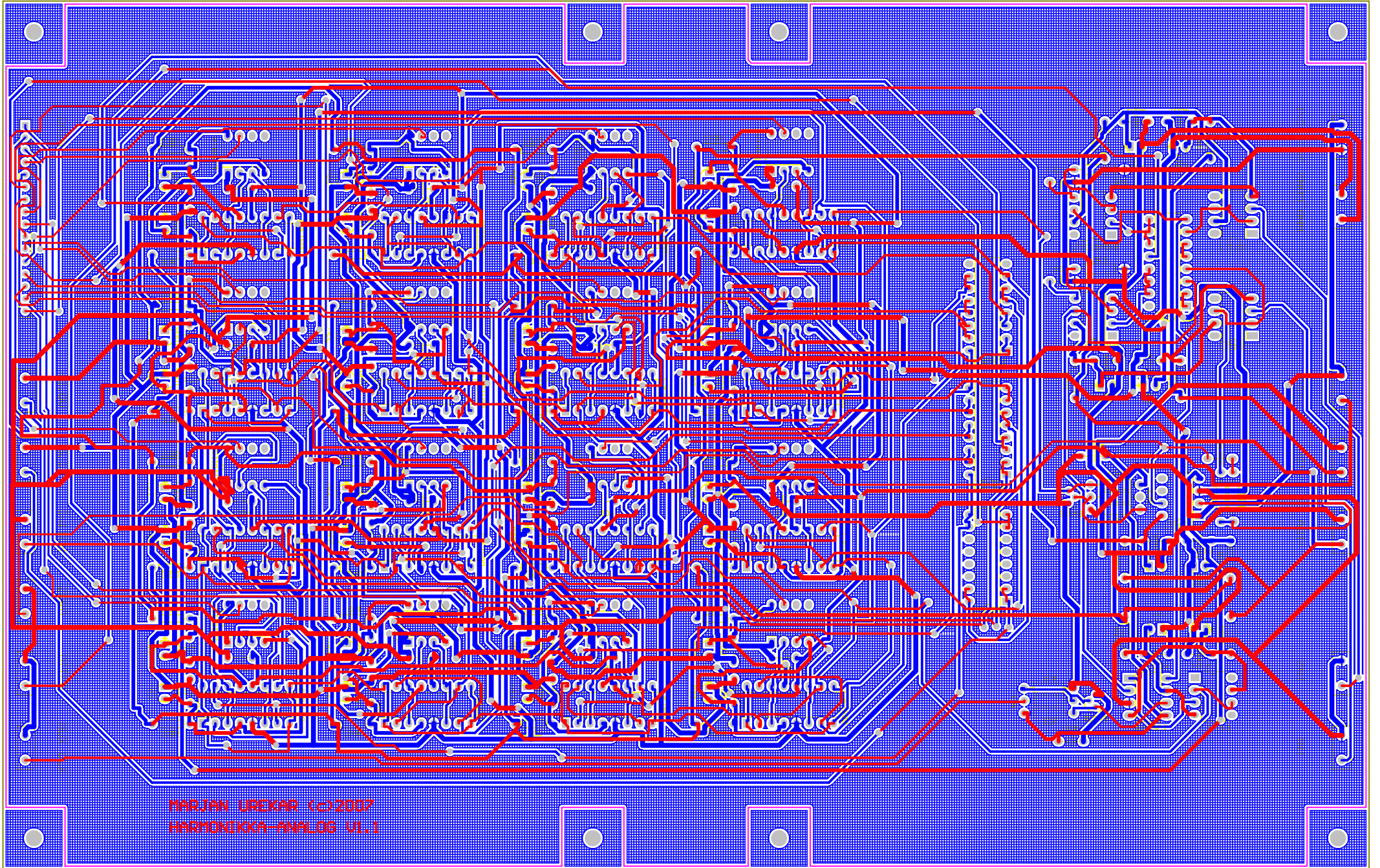
A

1 2 3 4 5 6 7 8

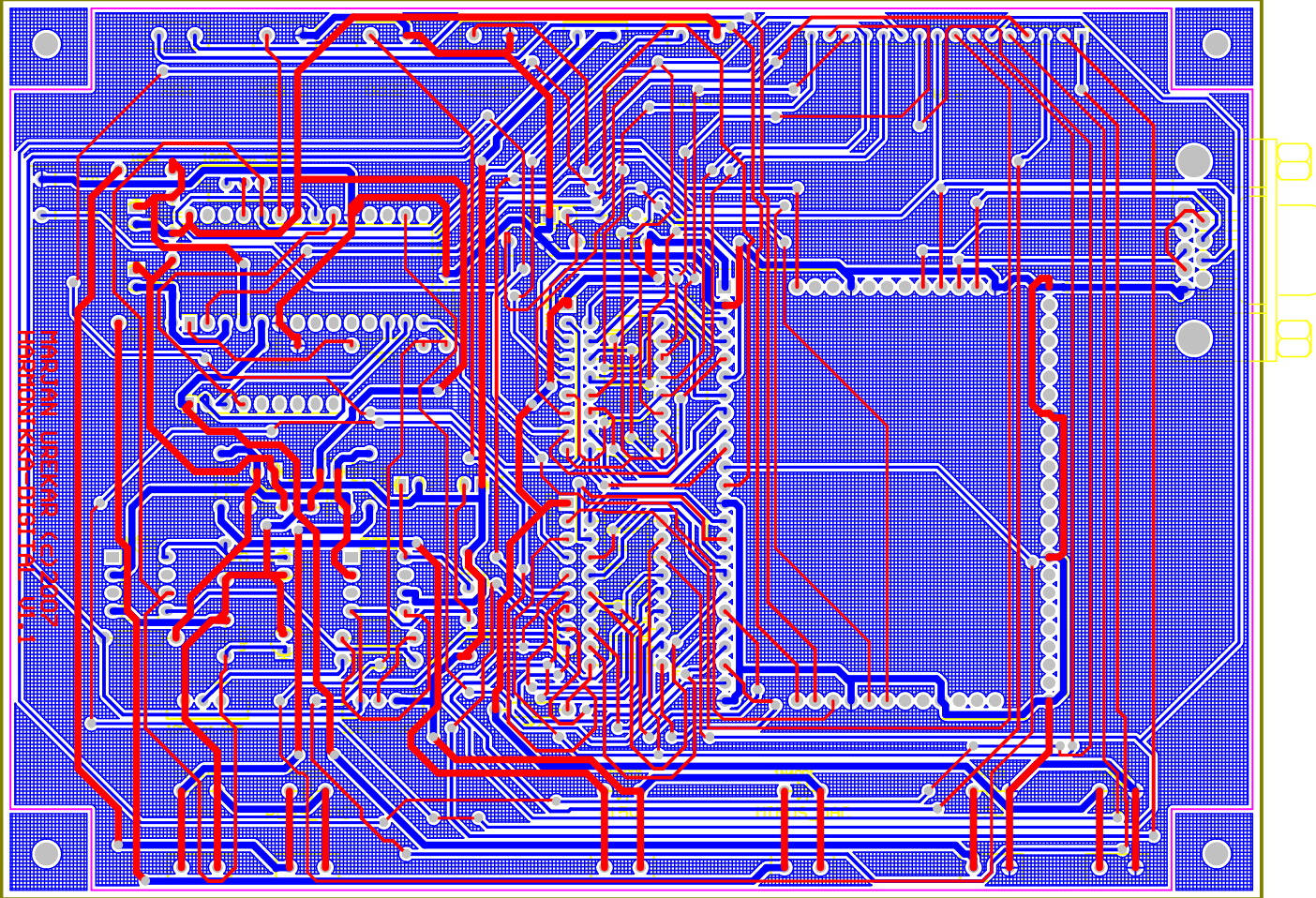
1 2 3 4 5 6 7 8

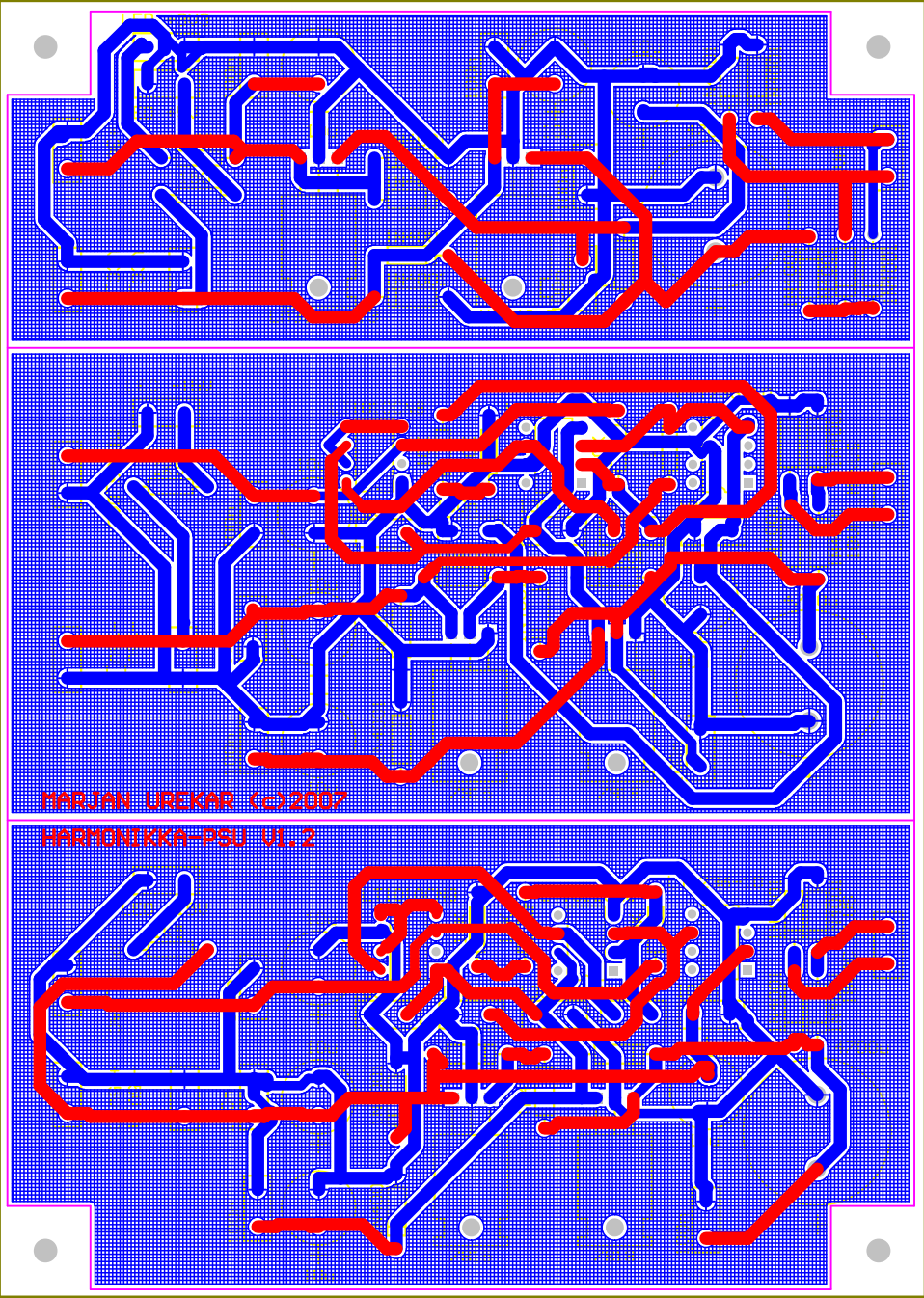






MARJAN UREKOR ©2007  
HARMONICCH-ANALOG V1.1





MARJAN UREKAR ©2007

HARMONIKKA-PSU UL2