

НАСТАВНО-НАУЧНОМ ВЕЋУ

Предмет: Реферат о урађеној докторској дисертацији кандидата Живојина Шуштрана, мастер инжењера електротехнике и рачунарства

Одлуком бр. 5032/12-3 од 16.07.2021. године, именовани смо за чланове Комисије за преглед, оцену и одбрану докторске дисертације кандидата Живојина Шуштрана под насловом

Побољшање перформанси асиметричних вишејезгарних процесора кроз миграцију трансакција и прилагођење подсистема кеш меморија

После прегледа достављене дисертације и других пратећих материјала, као и разговора са кандидатом, Комисија је сачинила следећи

РЕФЕРАТ

1. УВОД

1.1. Хронологија одобравања и израде дисертације

14.11.2012. године Живојин Шуштран је уписао докторске академске студије Електротехнике и рачунарства, модул Рачунарска техника и информатика, на Електротехничком факултету Универзитета у Београду. На докторским студијама положио је све испите са просечном оценом 10,00. На основу члана 101. Статута Универзитета у Београду, члана 74. Статута Универзитета у Београду-Електротехничког факултета и захтева студента, одобрено је продужење рока за завршетак студија до истека троструког броја школских година потребних за реализацију уписаног студијског програма. Додатно, кандидату Живојину Шуштрану је одобрен статус мировања у школској 2019/2020 години.

29.5.2017. године Живојин Шуштран пријавио је тему за израду докторске дисертације под радним називом „Побољшање перформанси асиметричних вишејезгарних процесора кроз миграцију трансакција и прилагођење подсистема кеш меморија”.

6.6.2017. године Комисија за студије трећег степена разматрала је предлог теме за израду докторске дисертације и предлог Комисије за оцену научне заснованости теме упутила Наставно-научном већу Електротехничког факултета на усвајање.

13.6.2017. године на 814. седници, Наставно-научно веће Електротехничког факултета именовало је Комисију за оцену научне заснованости теме (Одлука бр. 5032/12-1 од 20.06.2017.) у саставу др Милош Цветановић, доцент, Универзитет у Београду – Електротехнички факултет, др Милош Ковачевић, ванредни професор, Универзитет у Београду – Грађевински факултет и др Вујо Дрндаревић, редовни професор, Универзитет у Београду – Електротехнички факултет. За менторе докторске дисертације су предложени др Јелица Протић, ванредни професор, Универзитет у Београду – Електротехнички факултет и др Мило Томашевић, редовни професор, Универзитет у Београду – Електротехнички факултет.

21.6.2017. године обављена је јавна усмена одбрана предложене теме докторске дисертације на Електротехничком факултету Универзитета у Београду, пред Комисијом у саставу: др Милош Цветановић, доцент, Универзитет у Београду – Електротехнички факултет, др Милош Ковачевић, ванредни професор, Универзитет у Београду – Грађевински факултет и др Вујо Дрндаревић, редовни професор, Универзитет у Београду – Електротехнички факултет.

На одбрани су били присутни сви чланови Комисије. Комисија је закључила да је кандидат добио оцену „**задовољно**”. Комисија је предложила да ментори докторске дисертације буду др Јелица Протић, ванредни професор, Универзитет у Београду – Електротехнички факултет и др Мило Томашевић, редовни професор, Универзитет у Београду – Електротехнички факултет.

04.7.2017. године на 816. седници, Наставно-научно веће Електротехничког факултета усвојило је извештај Комисије за оцену научне заснованости теме (Одлука бр. 5032/12-2 од 04.07.2017. године).

28.08.2017. године Веће научних области техничких наука Универзитета у Београду дало је сагласност за предлог теме докторске дисертације Живојина Шуштрана под насловом „Побољшање перформанси асиметричних вишејезгарних процесора кроз миграцију трансакција и прилагођење подсистема кеш меморија“ (Одлука бр. 61206-3009/2-17 од 28.08.2017.).

22.6.2021. године Живојин Шуштран предао је на преглед и оцену докторску дисертацију под насловом „Побољшање перформанси асиметричних вишејезгарних процесора кроз миграцију трансакција и прилагођење подсистема кеш меморија”.

29.6.2021. године Комисија за студије трећег степена потврдила је испуњеност потребних услова за подношење предлога Наставно-научном већу Електротехничког факултета за формирање Комисије за преглед и оцену докторске дисертације.

7.7.2021. године на 863. седници, Наставно-научно веће Електротехничког факултета именовало је Комисију за преглед и оцену докторске дисертације (Одлука бр. 5032/12-3 од 16.07.2021. године) у саставу: др Јелица Протић, редовни професор, Универзитет у Београду – Електротехнички факултет, др Мило Томашевић, редовни професор, Универзитет у Београду – Електротехнички факултет, др Милош Цветановић, ванредни професор, Универзитет у Београду – Електротехнички факултет, др Милош Ковачевић, редовни професор, Универзитет у Београду – Грађевински факултет и др Захарије Радивојевић, ванредни професор, Универзитет у Београду – Електротехнички факултет

1.2. Научна област дисертације

Докторска дисертација „Побољшање перформанси асиметричних вишејезгарних процесора кроз миграцију трансакција и прилагођење подсистема кеш меморија” кандидата Живојина Шуштрана припада научној области Електротехника и рачунарство, ужа научна област Рачунарска техника и информатика, за коју је матичан Електротехнички факултет Универзитета у Београду. Ментори докторске дисертације су др Јелица Протић, редовни професор, Универзитет у Београду – Електротехнички факултет, и др Мило Томашевић, редовни професор, Универзитет у Београду – Електротехнички факултет.

1.3. Биографски подаци о кандидату

Живојин Шуштран је рођен 05. новембра 1987. године у Београду, где је завршио основну школу и Тринаесту београдску гимназију. Током похађања основне и средње школе учествовао је и освајао награде на многобројним такмичењима из хемије, математике и физике. Био је први и трећи на републичком такмичењу из хемије 2004. и 2005. године.

Освојио је сребрну медаљу на балканијади из хемије 2005. године у Букурешту. Након завршетка основног и средњег образовања награђен је Вуковим дипломама.

Електротехнички факултет у Београду уписао је 2006. године, са максималним бројем бодова на пријемном испиту. Дипломирао је 14. октобра 2010. године на Одсеку за рачунарску технику и информатику, са просечном оценом 9,71. Дипломски рад под насловом „Парсер OQL упита” израдио је под менторством проф. др Драгана Милићева и одбранио га са оценом 10.

Мастер академске студије је уписао 2010. године на Електротехничком факултету у Београду, на модулу Рачунарска техника и информатика. Студије је завршио 25. септембра 2012. године са просечном оценом 10,00, одбраном мастер рада „Системи са подељеном кеш меморијом” код ментора проф. др Вељка Милутиновића.

Докторске академске студије је уписао у новембру 2012. године на Електротехничком факултету у Београду. До сада је остварио 120 ЕСПБ поена, односно положио је све испите предвиђене студијским програмом са оценом 10. Као коаутор је објавио три рада у међународним часописима са импакт фактором, један рад у домаћем часопису и више радова на научно-стручним конференцијама. Учествовао је на пројекту Министарства науке под називом „Развој нових информационо-комуникационих технологија, коришћењем напредних математичких метода, са применама у медицини, телекомуникацијама, енергетици, заштити националне баштине и образовању”. Током докторских студија 2013. године одржао је курс на Факултету за рачунарство, Универзитет у Љубљани под називом „Програмирање суперрачунара”, као и туторијал под називом „Control-Flow versus Data-Flow Supercomputers, and the Maxeler Programming Paradigm” на ISCA конференцији у Тел Авиву 2013. године. Рецензирао је радове на конференцијама ЕТРАН и ТЕЛФОР.

Усавршавао се на стручној пракси у Maxeler Technologies London у периоду од 5. јула 2016. године до 6. октобра 2016. године, где је радио на развоју процесора специјалне намене на FPGA чиповима.

Био је стипендиста града Београда 2009. године.

Од маја 2011. године ангажован је при Катедри за рачунарску технику и информатику, где је први пут изабран у звање сарадника у настави. У звање асистента претходни пут је изабран 1. фебруара 2017. године. Био је ангажован у настави на 9 различитих предмета, који се изводе на оба студијска програма, Електротехника и рачунарство и Софтверско инжењерство. Изводио је вежбе на табли и лабораторијске вежбе за изузетно велики број студената на све четири године студија. Као асистент на Електротехничком факултету био је ангажован на следећим предметима: Програмирање 1, Програмирање 2, Практикум из програмирања 1, Практикум из програмирања 2, Оперативни системи 1, Оперативни системи 2, Практикум из оперативних система, Рачунарски ВЛСИ системи и Пројектовање софтвера. Живојин Шуштран активно је учествовао у осмишљавању и постављању нових вежби из предмета Практикум из оперативних система.

2. ОПИС ДИСЕРТАЦИЈЕ

2.1. Садржај дисертације

Докторска дисертација под насловом „Побољшање перформанси асиметричних вишејезгарних процесора кроз миграцију трансакција и прилагођење подсистема кеш меморија” написана је на српском језику и има укупно 118 страна (94 стране са прилозима). Дисертација садржи насловне стране на српском и енглеском језику, страну са информацијама о менторима и члановима комисије, страну са изјавом захвалности, стране са подацима о докторској дисертацији на српском и енглеском језику и садржај дисертације. Текст рада по поглављима организован је на следећи начин:

1. Увод (3 стране)
2. Архитектуралне технике за побољшање перформанси процесора (9 страна)
3. Постојећа решења (22 стране)
4. Поставка проблема (7 страна)
5. Предложено решење (18 страна)
6. Симулациона методологија (10 страна)
7. Евалуација предложеног решења (23 стране)
8. Закључак (2 стране)

На крају рада се налазе: списак литературе, биографија аутора, изјава о ауторству, изјава о истоветности штампане и електронске верзије докторског рада и изјава о коришћењу. Дисертација садржи 31 слику, 13 табела, 6 алгоритама и 3 једначине. Списак литературе садржи 149 библиографских јединица наведених по редоследу цитирања у тексту дисертације.

2.2. Кратак приказ појединачних поглавља

У **првом поглављу** дате су основне информације о актуелним правцима истраживања везаним за архитектуру процесора и техникама које се користе да би се побољшале перформансе процесора и да би се олакшало вишенитно програмирање. Поред тога се наводи основни циљ истраживања.

У **другом поглављу** наведен је детаљан опис архитектуралних техника које се истражују. Дефинисани су појмови који се користе у осталим поглављима докторске дисертације.

У **трећем поглављу** дат је детаљан преглед постојећих решења. Описани су доприноси најзначајних научних радова из области дисертације. Разматране су предности и недостаци појединих решења. Извршена је класификација постојећих решења. На крају је наведено како се предложено решење уклапа у уведене категорије и које новине доноси.

У **четвртом поглављу** описани су проблеми који се желе решити у дисертацији. Дата је мотивација и могући начини за њихово решавање. Наведене су основне хипотезе дисертације, као и основи за њихово формулисање. Поглавље је подељено у два дела. Први део разматра проблем миграције трансакција, док други део поглавља разматра прилагођење подсистема кеш меморија.

У **петом поглављу** дат је детаљан опис предложених решења. Прво се описује алгоритам предложених решења на вишем нивоу апстракције. Након тога се разматра како је могуће имплементирати предложена решења. Приказана је детаљна архитектура предложених решења и цена имплементације. Поглавље је подељено у два дела. Први део приказује решење за миграрање трансакција, док други део поглавља приказује решење за прилагођени подсистем кеш меморија.

У **шестом поглављу** наведен је поступак који је коришћен за експерименталну анализу. Користи се симулатор који симулира процесоре заједно са меморијом на нивоу процесорских циклуса. Детаљно су наведени начини на које се врше симулације. Описани су детаљи имплементације симулатора. На крају, дат је поступак за проналажење грешака у току имплементирања симулатора и наведено је који услови треба да буду испуњени да би се сматрало да симулатор исправно ради.

У **седмом поглављу** описани су спроведени експерименти који служе за потврђивање уведених хипотеза. Прво је наведена експериментална поставка. У оквиру ње наведени су детаљно параметри симулираног система и наведено које апликације су коришћене за евалуацију предложених решења. Након тога су наведени резултати експеримената. На крају је дата дискусија о добијеним резултатима и шта се из њих може закључити. Поглавље је подељено у два дела. Први део приказује експерименте са миграрањем трансакција, док други део поглавља показује експерименте са прилагођеним подсистемом кеш меморија.

На крају, **осмо поглавље** сумира резултате приказане у оквиру дисертације и приказује главне елементе дисертације и правце даљег истраживања.

3. ОЦЕНА ДИСЕРТАЦИЈЕ

3.1. Савременост и оригиналност

Технике асиметричних језгара и трансакционе меморије се појављују у комерцијално доступним процесорима у претходној деценији. Те технике се константно унапређују, о чему сведоче недавно објављени научни радови. Међутим, смернице за њихову истовремену употребу нису заступљене у отвореној литератури. Из тог разлога, дизајн процесора са применом ове две технике и даље представља актуелну тему. Ове две технике се у дисертацији комбинују са прилагођењем подсистема кеш меморија. Као подсистем који има велики утицај на перформансе процесора, подсистема кеш меморија се константно унапређује, а начини за његово побољшање се и даље активно проналазе.

Предложено решење за миграцију трансакција није разматрано у постојећој литератури других аутора и представља оригиналан допринос објављен у радовима кандидата. Предложено решење за прилагођење подсистема кеш меморија у оквиру асиметричних вишејезгарних процесора са трансакционом меморијом није заступљено у постојећој литератури и предмет је оригиналне анализе у дисертацији кандидата.

Предлози за дизајн процесора који су приказани у дисертацији, представљају савремен и оригиналан допринос кандидата, а њихова примена омогућава побољшање перформанси процесора за разне врсте апликација.

3.2. Осврт на референтну и коришћену литературу

У дисертацији је цитирано 149 библиографских референци које су наведене по редоследу цитирања у тексту дисертације. Цитиране референце обухватају све три области којима се бави дисертација: трансакциона меморија, асиметрични вишејезгарни процесори и подсистем кеш меморија. На тај начин у дисертацији је дат детаљан преглед релевантне литературе, цитиране референце су класификоване, а такође су истакнуте и значајне појединости које одређене референце доносе.

Референце које обухватају области трансакционе меморије и асиметричних вишејезгарних процесора обухватају најзначајније радове у којима се побољшавају перформансе процесора. Ти радови су објављени на најпознатијим међународним конференцијама које обухватају област архитектуре рачунара и у реномираним међународним часописима. Референце које обухватају област подсистема кеш меморија су радови који су уско везани за решење приказано у овој дисертацији и радови који укључују и друге две области обрађене у дисертацији, јер је област подсистема кеш меморија покривена веома обимном литературом.

У оквиру цитираних референци се налазе и радови који се баве дизајном симетричних вишејезгарних процесора без подршке за трансакциону меморију и радови који се баве програмирањем вишејезгарних процесора.

Коначно, у склопу цитиране литературе су и коауторски радови кандидата на којима се заснивају и неки од резултата представљених у тези.

3.3. Опис и адекватност примењених научних метода

У истраживању чији су резултати представљени у дисертацији најпре је извршен детаљан преглед литературе, истакнута су најзначајнија достигнућа и указано је на потенцијалан простор за унапређење и додатно истраживање.

Након тога предложена решења су детаљно моделована и описана. Приказана је софтверска имплементација предложених решења са значајним специфичним проширењима у већ постојећем симулатору отвореног кода. Симулатор је заснован на догађајима и симулира процесор на нивоу основних модула суперскаларних процесора.

Евалуација предложених решења је урађена симулацијом. Спроведен је низ експеримената у којима се мења број језгара, архитектура процесора, број нити апликације, организација кеш подсистема и други релевантни параметри.

Научне методе примењене у дисертацији се обилато користе у области архитектуре рачунара за процену нових решења. На основу свега наведеног може се закључити да спроведене научне методе на адекватан начин одговарају захтевима које је имало спроведено истраживање.

3.4. Применљивост остварених резултата

Резултати изложени у дисертацији имају практичну примену, јер су за предложена решења дати детаљни описи имплементација који се могу користити у дизајну процесора. На тај начин се могу побољшати перформансе за разне врста апликација. Осим тога, спроведена детаљна анализа предложених решења показује које апликације су погодне за убрзавање и како треба извршавати остале апликације.

3.5. Оцена достигнутих способности кандидата за самостални научни рад

Научно истраживање спроведено у оквиру ове тезе захтевало је како теоријски увид у разматрану тему, тако и практичну реализацију и проверу постављених претпоставки кроз моделовање и симулацију предложених решења. Евалуација је рађена поређењем са већ постојећим решењима. На основу тога, можемо закључити да је кандидат Живојин Шуштран показао задовољавајући степен способности за самостални научни рад.

Додатно, у дисертацији су спроведене софтверске имплементације прототипова, што потврђује способност кандидата за решавање и реализацију практичних инжењерских задатака.

4. ОСТВАРЕНИ НАУЧНИ ДОПРИНОС

4.1. Приказ остварених научних доприноса

У дисертацији су остварени следећи научни доприноси:

- Анализирана су и класификована постојећа решења у области трансакционе меморије, асиметричних мултипроцесора и подељеног подсистема кеш меморије.
- Предложен је алгоритам и архитектура за хардверску миграцију трансакција. Алгоритам користи хеуристику, која узима у обзир дужину трансакције, проценат успешности и разлоге поништавања трансакције.
- Предложена је архитектура подсистема кеш меморије која омогућава да се апликација са трансакционом меморијом извршава једнако брзо или брже од извршавања на конвенционалном подсистему кеш меморије. Такође је остварена уштеда простора на чипу.
- Реализована је имплементација система за миграцију у оквиру симулатора Gem5. Трансакциона меморија је у основи моделована по решењима тренутно доступним у комерцијалним процесорима, док се основна архитектура асиметричног вишејезгарног процесора састоји од једног великог и више малих језгара.
- Имплементиран је предложени подсистем кеш меморије у симулатору Gem5.
- Извршена је евалуација предложеног решења за миграцију на стандардизованом скупу тест апликација за трансакциону меморију STAMP и добијена убрзања до 14% у односу на решење без постојања асиметрије процесора.
- Извршена је евалуација предложеног решења за подсистем кеш меморија на стандардизованом скупу тест апликација STAMP и добијена побољшања до 24% у односу на случај без предложеног решења

4.2. Критичка анализа резултата истраживања

Научни доприноси наведени у тачки 4.1 представљају унапређење научних знања доступних у литератури, јер уводе нов начин за убрзавање програма са трансакционом меморијом на асиметричним вишејезгарним процесорима. Два предложена начина за дизајн са миграцијом трансакција и прилагођеним подсистемом кеш меморија унапређују до сада коришћене методе за дизајн процесора, и доносе убрзања под одређеним условима. Дате су смернице када и како треба користити предложена решења у овој дисертацији. Ово представља значајно унапређење до сада доступних информација и смерница за дизајн вишејезгарних асиметричних процесора. Наведени поступци у основи припадају и теоријским и експерименталним истраживањима, па у потпуности одговарају проблему и постављеном циљу дисертације. Примењене експерименталне методе су адекватне и валидне.

4.3. Верификација научних доприноса

Кандидат Живојин Шуштран је објавио следеће радове који су у непосредној вези са докторском дисертацијом:

Категорија M22:

1. **Sustran, Z.**, Protic, J., "Migration in hardware transactional memory on asymmetric multiprocessor," in *IEEE Access*, Vol. 9, pp. 69346-69364, May 2021, DOI: 10.1109/ACCESS.2021.3077539, URL: <https://doi.org/10.1109/ACCESS.2021.3077539> (IF₂₀₂₀=3,367)

Категорија M23:

1. **Sustran, Z.**, Rakocevic, G., Milutinovic, V., "Dual Data Cache Systems: Architecture and Analysis," *ADVANCES IN COMPUTERS*, Vol. 96, pp. 187-223, Feb 2015, DOI: <https://doi.org/10.1016/bs.adcom.2014.11.001> ISSN 0065-2458 (IF₂₀₁₅=0,256)

Категорија M33:

1. Vurdelja, I., **Šuštran, Ž.**, Protić, J., Drašković, D., "Survey of machine learning application in transactional memory," 2020 28th Telecommunications Forum (TELFOR), Nov 2020, pp. 1-4, doi: 10.1109/TELFOR51502.2020.9306547, Belgrade, Serbia.
2. Rakocevic, G., **Sustran, Z.**, Milutinovic, V., "A modified Split Temporal/Spatial Cache," 2012 IEEE International Conference on Control Applications, Oct 2012, pp. 190-195, doi: 10.1109/CCA.2012.6402465, Dubrovnik, Croatia
3. **Sustran, Z.**, Stojanovic, S., Rakocevic, G., Milutinovic, V., Valero, M., "A survey of dual data cache systems," 2012 *IEEE International Conference on Industrial Technology*, Mar 2012, pp. 450-456, doi: 10.1109/ICIT.2012.6209979, Athens, Greece.

5. ЗАКЉУЧАК И ПРЕДЛОГ

Докторска дисертација „Побољшање перформанси асиметричних вишејезгарних процесора кроз миграцију трансакција и прилагођење подсистема кеш меморија” кандидата Живојина Шуштрана представља оригиналан научни допринос научној области Електротехника и рачунарство (ужа научна област Рачунарска техника и информатика).

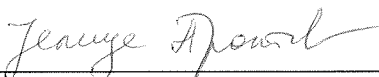
Докторска дисертација је написана на српском језику. Излагање је јасно и систематично. Резултати изложени у оквиру докторске дисертације имају практичан значај. Главни допринос ове докторске дисертације огледа се у развоју и евалуацији нових алгоритама примењених на дизајн вишејезгарних процесора. Кандидат Живојин Шуштран је овим истраживањем показао научну зрелост и инжењерску способност и креативност, који потврђују спремност за самостални научно-истраживачки рад.

На основу свега наведеног комисија констатује да су испуњени сви формални и суштински услови предвиђени Законом о високом образовању, Статутом и Правилником о докторским студијама Електротехничког факултета Универзитета у Београду, као и сви критеријуми који се уобичајено примењују приликом вредновања докторских дисертација на Електротехничком факултету у Београду.

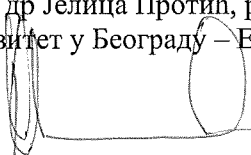
Комисија има задовољство да предложи Наставно-научном већу Електротехничког факултета Универзитета у Београду да се докторска дисертација под називом „Побољшање перформанси асиметричних вишејезгарних процесора кроз миграцију трансакција и прилагођење подсистема кеш меморија” кандидата Живојин Шуштрана прихвати, изложи на увид јавности и упути на коначно усвајање Већу научних области техничких наука Универзитета у Београду.

У Београду, 01.09.2021. године

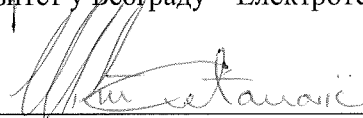
ЧЛАНОВИ КОМИСИЈЕ



др Јелица Протић, редовни професор
Универзитет у Београду – Електротехнички факултет



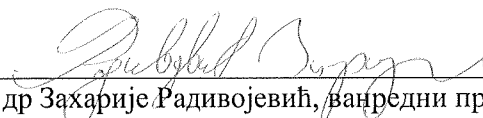
др Мило Томашевић, редовни професор
Универзитет у Београду – Електротехнички факултет



др Милош Цветановић, ванредни професор
Универзитет у Београду – Електротехнички факултет



др Милош Ковачевић, редовни професор
Универзитет у Београду – Грађевински факултет



др Захарије Радивојевић, ванредни професор
Универзитет у Београду – Електротехнички факултет