



UNIVERZITET U NIŠU  
ELEKTRONSKI FAKULTET



**Igor Z. Stojanović**

**POBOLJŠANJE PERFORMANSI MREŽA  
NA ČIPU ZASNOVANIH NA  
DEFLEKCIONOM RUTIRANJU**

DOKTORSKA DISERTACIJA

Niš, 2019



UNIVERSITY OF NIŠ  
FACULTY OF ELECTRONIC ENGINEERING



**Igor Z. Stojanović**

**PERFORMANCE ENHANCEMENT  
TECHNIQUES FOR DEFLECTION-ROUTED  
NETWORKS-ON-CHIP**

DOCTORAL DISSERTATION

Niš, 2019

## Podaci o doktorskoj disertaciji

Mentor: dr Goran Lj. Đorđević, redovni profesor, Elektronski fakultet Niš, Univerzitet u Nišu

Naslov: Poboljšanje performansi mreža na čipu zasnovanih na deflekcijom rutiranju

Rezime:

Ova disertacija obuhvata rešenja za poboljšanje performansi mreža na čipu zasnovanih na deflekcijom rutiranju. Predložena rešenja obuhvataju tehnike za minimizaciju stope deflekcija i supresiju misrutiranja flitova. U disertaciji su predložena dva rešenja za minimizaciju stope deflekcija: distribuirana i globalna alokacija portova (SMD i DMD). Oba rešenja smanjuju stopu deflekcije zamenom postojećeg algoritma rada komutacionog stepena deflekcionog rutera, novim algoritmom koji omogućava povoljniji raspored flitova na izlazne portove rutera. Dok SMD teži da minimizuje stopu deflekcija izborom konfiguracije koja je povoljna za flitove sa stanovišta pojedinačnih arbitrarnih blokova komutacionog stepena, DMD uvodi globalnu alokaciju portova koja uzima u obzir zahteve svih flitova, i postavlja konfiguracije arbitara tako da se minimizuje broj deflektovanih flitova na izlaznim portovima rutera.

Rešenja za supresiju misrutiranja predložena u disertaciji se mogu klasifikovati na rešenja koja se primenjuju na linkovima ili u samom ruteru. Predstavljena su dva rešenja koja se primenjuju na linkovima: refleksioni link (LB) i refleksioni link sa baferima (ILB). Suština LB rešenja je da omogući vraćanje deflektovanih flitova natrag na ulaz rutera u kome su se deflektovali, i na taj način omogući deflektovanom flitu da se ponovo nadmeće za dodelu produktivnog porta u narednom ciklusu. ILB rešenje dodatno uvodi FIFO bafer na linkovima, čime se postiže dodatna fleksibilnost u odnosu na LB, pri čemu flitovi mogu određeno vreme da provedu u FIFO baferu pre nego što se vrate u ruter u kome su deflektovani. Pored toga, ILB omogućava izbor između više različitih konfiguracija linka u cilju minimizacije misrutiranja flitova. Oba rešenja su pogodna za hardversku implementaciju jer ne zahtevaju nikakvu modifikaciju, i mogu se primeniti na svim deflekcijom ruterima sa istim brojem ulaznih i izlaznih portova.

U disertaciji je takođe predloženo rešenje za supresiju misrutiranja u deflekcijom ruterima sa minimalnim baferovanjem (SB\_O). Ovo rešenje obuhvata modifikaciju arhitekture postojećeg rutera sa minimalnim baferovanjem i algoritma alokacije SB bafera. Modifikacija arhitekture rutera se sastoji u premeštanju bloka za ubacivanje flitova u bafer posle komutacionog stepena, kako bi flitovi iz IP jezgra imali veću verovatnoću za ubacivanje u mrežu, što dovodi do uspostavljanja ravnomernijeg saobraćaja u mreži. Takođe, SB\_O rešenje uvodi novi algoritam za alokaciju SB bafera koji, za razliku od tradicionalnog pristupa gde se nasumično biraju deflektovani flitovi, identifikuje flitove deflektovane na port koji je produktivan za flit iz SB-a.

Pored predloženih rešenja za poboljšanje performansi deflekcijom mreža, u ovoj disertaciji je predložen mehanizam za detekciju i razrešavanje dinamičke blokade flitova. Za razliku od postojećih, ovaj mehanizam omogućava lako prilagođenje postojećoj arhitekturi rutera i manju latenciju

detekcije dinamičke blokade.  
Za evaluaciju predloženih rešenja, u okviru ove disertacije je realizovan simulator deflekcioni mreža na čipu. Simulator je implementiran u jeziku za modeliranje i verifikaciju digitalnih sistema – SystemC. Simulator omogućava funkcionalno modeliranje deflekcionog rutera, komunikacionog linka i mrežne topologije, kao i izbor različitih oblika i karakteristika sintetičkog mrežnog saobraćaja. Pored simulacija u kojima se porede performanse predloženih rešenja i referentnih rutera, sproveden je i set simulacija u kojima se analizira raspodela saobraćaja u mreži.

Naučna oblast:	Elektrotehnika i računarstvo
Naučna disciplina:	Elektronika
Ključne reči:	Mreže na čipu, višeprosorski sistemi na čipu, deflekciono rutiranje, supresija misrutiranja
UDK:	((004.7:004.087.5):004.31):621.38
CERIF klasifikacija:	T170 Elektronika
Tip licence kreativne zajednice:	<b>CC BY-NC-ND</b>

## Data on Doctoral Dissertation

Doctoral  
Supervisor:

dr Goran Lj. Dorđević, full time professor, Faculty of Electronic Engineering, University of Niš

Title:

Performance enhancement techniques for deflection-routed networks-on-chip

Abstract:

This doctoral dissertation comprises performance enhancement solutions for deflection-routed networks-on-chip. Presented solutions include the techniques for deflection minimization and techniques for misrouting suppression. Two solutions presented: distributed and global port allocation (SMD and DMD). Both solutions reduce deflection rate by replacing existing algorithm of deflection router commutation stage with the novel algorithm that leads to better output ports allocation. While SMD minimizes deflection rate by choosing configuration that is beneficial for the flits at the single arbiter level, DMD introduces global port allocation in order to minimize the number of deflected flits at the output ports.

Solutions for misrouting suppression presented in this doctoral dissertation are classified into solutions implemented on the inter-router link and solutions implemented in the router. There are presented two solutions that are implemented on the link: reflective link (LB) and reflective link with buffers (ILB). The essence of the LB solution is to include the option for returning the deflected flit back to the input of the router where it was deflected, which gives the flit a new opportunity for contending for productive port in the next network cycle. ILB solution additionally incorporates FIFO buffers on the links, that gives an additional flexibility compared to LB, and allows deflected flits to be kept in a buffer before returning back to the router where it was deflected. Also, ILB allows one of multiple link configurations in order to reduce misrouting. Both solutions are suitable for hardware implementation, and can be applied in any deflection network without modifying the internal router architecture.

This doctoral dissertation also presents a solution for misrouting suppression in minimally-buffered deflection routers (SB\_O). This solution includes modification of both the router architecture and the algorithm for SB buffer allocation. Router architecture is modified by moving the *Buffer Inject* stage to the front of PAS stage, in order to give higher injection priority to the flits originating from IP core, thus improving traffic distribution within the network. The SB\_O also involves a novel algorithm for SB buffer allocation that selects for buffering a flit deflected on a port that is productive for flit already buffered in SB.

Beside solutions for improving performance of deflection networks, doctoral dissertation presents a livelock detection and resolution mechanism. In difference to the existing livelock prevention schemes, the proposed mechanism can be easily adapted to different router architectures, and provides smaller latention of livelock detection compared to existing solutions.

For the purpose of evaluating the proposed solutions, a dedicated cycle-accurate simulator of deflection networks has been developed and presented

in doctoral dissertation. The simulator is implemented using language for digital systems modeling and verification – SystemC. The simulator allows functional modeling of deflection router, communication link, network topology, and network traffic. Beside simulations for performance comparing of presented solutions and reference routers, a separate set of simulations is performed in order to analyse influence of implemented performance enhancement mechanisms on distribution of network traffic.

Scientific Field: Electrical and Computer Engineering  
Scientific Discipline: Electronics

Key Words: Networks-on-chip, multiprocessor system-on-chip, deflection routing, misrouting suppression

UDC: ((004.7:004.087.5):004.31):621.38

CERIF Classification: T170 Electronics

Creative Commons License Type: **CC BY-NC-ND**

## *Svojoj porodici*

*S koje se obale ukrcah, o Silni,  
U to jutro kao u početak speva?  
I šta doprinosi tvojoj veličini  
Taj moj atom bačen u sjaj jednog dneva?*

*Čim će da osnaži hor kojim te slave  
Moj slabi glas sumnje; i čim da pojača  
Sjaj sunaca što te neprekidno plave,  
Žižak onog koji u tmuni korača?*

*Gospode, koji me poseja i zali.  
Zašto bejah nužan u svetu i puku?  
Prođoh put i videh sve sem tebe. Ali  
Kad god moj broj nagne, nađem tvoju ruku.*

*Jovan Dučić*

# Sadržaj

1. UVOD.....	10
2. MREŽE NA ČIPU.....	23
2.1 Sistemi na čipu .....	24
2.2 Komunikaciona arhitektura sistema na čipu .....	26
2.2.1 Tačka ka tački .....	26
2.2.2 Deljiva magistrala .....	27
2.3 Mreže na čipu .....	29
2.4 Topologije mreža na čipu.....	30
2.5 Kontrola toka podataka .....	34
2.5.1 Komutacija kola .....	35
2.5.2 Komutacija paketa .....	36
2.5.3 Virtuelno presecanje .....	37
2.5.4 Tunelovanje.....	38
2.6 Algoritmi za rutiranje .....	41
2.6.1 Deterministički algoritmi za rutiranje.....	43
2.6.2 Nesvesni algoritmi za rutiranje .....	44
2.6.3 Adaptivni algoritmi za rutiranje.....	45
2.7 Deflekciono rutiranje.....	49
2.7.1 Deflekciono rutiranje u topologiji 2D rešetke .....	50
3. ARHITEKTURA DEFLEKCIONOG RUTERA.....	53
3.1 Arhitektura deflekcione mreže na čipu .....	53
3.2 Deflekcioni ruter bez bafera .....	55
3.2.1 Blok za rutiranje.....	56
3.2.2 Blok za izbacivanje flita.....	57
3.2.3 Blok za ubacivanje flita .....	59
3.2.4 Blok za alokaciju i usmeravanje flitova na izlazne portove .....	60
3.2.5 Potpuni PAS.....	61
3.2.6 Delimični PAS .....	63
3.3 Deflekcioni ruter sa minimalnim baferovanjem.....	65



3.3.1	AFC.....	66
3.3.2	Flex-buffer .....	66
3.3.3	Deflekcioni ruter sa minimalnim baferovanjem .....	66
3.4	Dinamička blokada u deflekcionalnoj mreži.....	68
4.	MINIMIZACIJA DEFLEKCIJA.....	70
4.1	Nedostaci standardnog delimičnog PAS-a.....	70
4.2	Distribuirana minimizacija deflekcija .....	73
4.3	Globalna minimizacija deflekcija.....	76
4.4	Simulator deflekcionalnih mreža na čipu.....	81
4.5	Evaluacija performansi PAS stepena sa SMD i DMD alokatorima.....	85
4.5.1	Saturacioni saobraćaj .....	85
4.5.2	Varijabilni saobraćaj .....	87
5.	SUPRESIJA MISRUTIRANJA .....	89
5.1	Optimizovani deflekcioni ruter sa minimalnim baferovanjem .....	90
5.1.1	Hardverska implementacija .....	92
5.1.2	Evaluacija performansi .....	96
5.2	Refleksioni link .....	99
5.2.1	Hardverska implementacija .....	101
5.2.2	Evaluacija performansi .....	102
5.3	Optimizovana funkcija za rutiranje.....	107
5.4	Refleksioni link sa baferima.....	109
5.4.1	Hardverska implementacija .....	109
5.4.2	Evaluacija performansi .....	113
6.	ANALIZA RASPODELE SAOBRAĆAJA U MREŽI.....	118
7.	ZAŠTITA OD DINAMIČKE BLOKADE.....	122
7.1	Mehanizam za detekciju i razbijanje dinamičke blokade.....	123
7.1.1	Detekcija dinamičke blokade .....	123
7.1.2	Razbijanje dinamičke blokade .....	125
7.2	Hardverska implementacija.....	125
7.3	Evaluacija performansi.....	127
8.	ZAKLJUČAK.....	130
9.	LITERATURA .....	133

# 1. UVOD

Brzi razvoj VLSI tehnologije je uslovio da se u proteklih 40 godina složenost integrisanih kola poveća za šest redova veličine. Gordon Mur je 1965. godine izneo predviđanje tempa razvoja poluprovodničke industrije po kome će se broj tranzistora integrisanih kola svake godine udvostručavati [1]. Murovo predviđanje se kasnije pokazalo kao istinito pa je postalo poznato kao Murov zakon. Ovaj zakon je i danas veoma važan, naročito u industriji potrošačke elektronike, gde je za proizvod u razvoju potrebno proceniti konkurentnost u planirano vreme izbacivanja na tržište. Premda je poluprovodnička industrija dugo pratila stopu razvoja definisanom Murovim zakonom, vremenom je, usled tehnoloških ograničenja, ovaj zakon modifikovan, pa je za period udvostručavanja kompleksnosti integrisanih kola usvojen period od 18 do 24 meseca.

Pored povećanja kompleksnosti, postoji stalna potreba za unapređivanjem performansi integrisanih kola [2]. Performanse digitalnih kola se standardno unapređuju povećanjem frekvencije takta kola. Međutim, u proteklih nekoliko godina frekvencija taktovanja digitalnih integrisanih kola je došla do zasićenja, gde dalje povećanje nije praktično usled velike disipacije. Velika disipacija, pored povećanja potrošnje energije, zahteva i ugradnju kompleksnih i gabaritnih sistema za odvođenje toplote. Istovremeno, povećanje radne temperature utiče na pouzdanost kola. Analizom je utvrđeno da se na svakih 10 °C duplira verovatnoća otkaza integrisanog kola [3]. Takođe, dalje povećanje frekvencije nije lako izvodljivo zbog fizičkih ograničenja silicijumske tehnologije. Iz tog razloga, kao alternativa povećanju frekvencije, dalje unapređenje performansi digitalnih sistema je usmereno na paralelizaciju izvršavanja aktivnosti. Paralelizacija unapređuje performanse digitalnih sistema identifikacijom aktivnosti koje se mogu istovremeno izvršiti, na taj način skraćujući ukupno vreme za izvršenje [4]. Paralelizacija se ostvaruje multiplikacijom

hardvera. Iz tog razloga, većina današnjih digitalnih sistema se realizuje u formi višeprocorskog sistema [5]. U zavisnosti od broja procesora, razlikuju se *multicore* sistemi koji obično sadrže 2-8 procesora, i *manycore* sistemi sa više desetina procesora. Dok se *multicore* sistemi koriste najčešće u uređajima opšte namene, *manycore* sistemi se koriste u zahtevnim aplikacijama u kojima je potrebno obezbediti visoke performanse u manipulaciji velikom količinom podataka. Trend razvoja poluprovodničke tehnologije se takođe ogleda u ekspanziji mobilnih uređaja, koji iziskuju sve veći stepen integracije.

Zahvaljujući napretku VLSI tehnologije, danas je u okviru jednog čipa moguće integrisati mnoštvo modula specifične funkcije, tzv. IP (engl. *Intellectual Property*) jezgara. Na primer, pored mikroprocesora opšte namene, u jedno integrisano kolo je moguće smestiti i DSP procesor, memoriju, analogne blokove, i mnoštvo standardnih periferija. Iz tog razloga, današnja integrisana kola su poznata pod nazivom sistemi na čipu (SoC) [6]. Integracija velikog broja IP jezgra pruža brojne prednosti, kao što su smanjenje dimenzija uređaja, potrošnje, cene i mogućnost ponovnog korišćenja.

Sa druge strane, veliki broj IP jezgra u okviru jednog čipa iziskuje intenzivan saobraćaj podataka. Iz tog razloga, jedan od vodećih problema projektovanja savremenih SoC sistema je komunikaciona struktura [7][8][9][10]. Poznato je više komunikacionih struktura koje omogućavaju povezivanje IP jezgara unutar čipa. Svaka od ovih struktura nudi određni kompromis između složenosti i performansi. Struktura koja se izdvojila kao najpogodnija i koja se najčešće koristila za povezivanje u okviru prvobitnih *multicore* SoC sistema je deljiva magistrala (engl. *Shared Bus*) [11][12][13]. Deljiva magistrala je organizovana tako da više IP jezgra koriste isti komunikacioni medijum za prenos podataka. U jednom trenutku, deljiva magistrala može prenositi podatke samo jednog IP jezgra, dok ostala IP jezgra koja ne učestvuju u komunikaciji, čekaju da se transfer obavi i da im bude dodeljeno pravo korišćenja magistrale. Na taj način se stvara usko grlo, gde i pored superiornih karakteristika pojedinačnih IP jezgra, dalje povećanje performansi SoC sistema biva ograničeno konstantnom komunikacionom propusnošću deljive magistrale [14]. Ovaj problem dodatno biva izražen činjenicom da brzina prenosa podataka različitih IP jezgra može znatno varirati. Kako bi se ublažio ovaj problem, deljiva magistrala se hijerarhiski organizuje, tipično u dva nivoa. Prvi nivo povezuje brze komponente, kao što su procesor, memorija, grafički akcelerator, a drugi nivo povezuje sporije komponente poput SPI i UART komunikacionih blokova. Pored ograničenih komunikacionih performansi, još jedan nedostatak deljive magistrale je loša skalabilnost. Današnji sistemi na čipu mogu da sadrže više desetina IP

jezgra, i taj broj je stalno u porastu. U takvom sistemu, povezivanje IP jezgra na deljivu magistralu postaje problematično zbog velikog broja i dužine veza koje unose veliko propagaciono kašnjenje. Smanjivanjem dimenzija tranzistora na silicijumskom čipu, kašnjenje veza višestruko prevazilazi kašnjenje logičkih kola [15]. Takođe, veliki deo potrošnje energije čipa odlazi na drajvere na vezama. Na kraju, primena deljive magistrale u savremenim sistemima na čipu nije pogodna i sa stanovišta vremena projektovanja, jer i mala promena u strukturi čipa zahteva značajan napor kako bi se implementirao novi interfejs za priključenje IP jezgra na magistralu. Sve ovo je stvorilo snažnu motivaciju za pronalaženje alternativnog rešenja za interkonekciju IP jezgara [16][18][17]. Koncept mreža na čipu (engl. *Network-on-Chip* – NoC) se izdvojio kao obećavajući jer pruža bolju skalabilnost, komunikacionu propusnost i efikasnost u odnosu na deljivu magistralu [19][20][21]. Glavna prednost koncepta mreža na čipu u odnosu na deljivu magistralu je razdvajanje funkcionalnosti čipa od komunikacionih zahteva i interkonekcije [22][23][24][25]. Na taj način projektant može koristiti veliki broj IP jezgra različite funkcije, ne vodeći računa o interfejsu svakog jezgra ponaosob.

Mreža na čipu predstavlja uređenu, modularnu komunikacionu strukturu čije su dve osnovne komponente: ruter i medijum za komunikaciju – link. Ideja mreže na čipu potiče iz računarskih mreža koje u osnovi imaju istu ulogu – transfer podataka u formi poruka između parova izvora i odredišta. Za razliku od računarske mreže, u mreži na čipu su računari zamenjeni IP jezgrima i ruterima. Ruter predstavlja ključnu komponentu mreže na čipu koja obavlja aktivnosti koje se tiču trasiranja poruka kroz mrežu. Svaki ruter poseduje portove kojima je putem linkova povezan sa susednim ruterima radi razmene poruka. Takođe, svakom ruteru je tipično pridruženo jedno IP jezgro, koje sa stanovišta mreže na čipu predstavlja izvor i konzument poruka.

Glavna pitanja sa kojima se projektant mreže na čipu susreće tiču se: topologije mreže na čipu, algoritama za rutiranje i kontrole toka podataka. Dok topologija definiše način na koji su ruteri povezani u mrežu, algoritam za rutiranje određuje način na koji se podaci organizuju i trasiraju kroz mrežu. Topologija mreže i algoritam za rutiranje su uzajamno povezani, jer se ne mogu svi algoritmi za rutiranje primeniti na svim mrežnim topologijama. Za razliku od algoritma za rutiranje koji sagledava način prenosa poruka na nivou mreže, kontrola toka podataka reguliše fizički prenos poruka između rutera. Kontrola toka podataka se bavi pitanjima kao što su: količina podataka koja se u jednom ciklusu može preneti između rutera, da li se poruke koji se prenose između izvora i odredišta dele na manje jedinice i da li

se ove jedinice prenose nezavisno jedna od druge ili sukcesivno, uspostavljanjem komunikacionog kanala između izvora i odredišta, itd.

Postoji mnoštvo mrežnih topologija, gde je svaka pogodna za primenu u konkretnim aplikacijama [15]. Najčešće korišćene topologije su: prsten, zvezda, 2D rešetka i torus. U prsten topologiji, svaki ruter je povezan sa dva susedna rutera gradeći strukturu nalik prstenu. Ova topologija je jednostavna, ali osetljiva na otkaz nekog od rutera, jer se u tom slučaju prsten prekida. Topologija tipa zvezda je hijerarhijski organizovana, sa jednim ruterom koji ima ulogu centralnog čvora na koji su povezani svi ostali ruteri. Ova topologija je takođe jednostavna kao i način rutiranja, jer svaka poruka pravi dva preskoka, od izvora ka centralom čvoru, i od centralnog čvora ka odredištu. Međutim, kako se celokupni prenos obavlja preko jednog čvora, pri intezivnom saobraćaju brzo dolazi do zagušenja. Takođe, otkazivanjem centralnog čvora, cela mreža postaje neoperativna. U topologiji tipa 2D rešetka, svaki ruter unutar mreže je povezan sa četiri susedna rutera, obrazujući na taj način strukturu koja ima oblik rešetke. Jedino ruteri po obodu mreže mogu biti povezani sa dva ili tri rutera, u zavisnosti od pozicije. Ova topologija je složenija od prethodnih, ali zato poseduje određene prednosti. Veći broj linkova omogućava veću propusnost mreže. U slučaju da otkaze neki od rutera, poruke se mogu preusmeriti alternativnom putanjom do odredišta. Ova topologija je pogodna i sa stanovišta skalabilnosti, jer dodavanje novog čvora (ruter sa IP jezgrom) ne zahteva modifikaciju postojećih rutera. Glavni nedostatak topologije tipa 2D rešetka je veća kompleksnost rutera koji treba da implementiraju složenije algoritme za rutiranje i kontrolu toka. Topologija tipa torus je slična topologiji 2D rešetke s tim što su ruteri po obodu povezani direktnim linkovima sa ruterima na suprotnom kraju mreže, tako da je svaki ruter u mreži povezan sa četiri susedna rutera, pri čemu se formira struktura nalik torusu. Zahvaljujući dodatnim linkovima, topologija torus ima najbolje performanse u odnosu na prethodne topologije. Takođe, u odnosu na topologiju 2D rešetke, maksimalno rastojanje između izvora i odredišta je prepolovljeno. Sa druge strane, implementacija torus topologije je kompleksnija, jer se teško izvode direktne veze koje spajaju jedan kraj čipa sa drugim. Od pomenutih topologija, topologija 2D rešetka se izdvojila kao optimalno rešenje koje nudi zadovoljavajući kompromis između performansi i složenosti. Iz tog razloga, ova topologija je u literaturi najzastupljenija.

Algoritam za rutiranje definiše način izbora putanje za prenos poruke od izvora do odredišta. U opštem slučaju algoritam za rutiranje se može sagledati kao celina koja obuhvata funkciju rutiranja [27][28][29] i funkciju selekcije [35][36][39]. Funkcija rutiranja određuje

sve putanje kojima se poruke mogu preneti od izvora do odredišta, a funkcija selekcije bira jednu od varijanti koju je u tom trenutku moguće sprovesti. Algoritam za rutiranje ima ključnu ulogu u mreži na čipu, jer način prenosa poruka direktno utiče na performanse i potrošnju mreže na čipu [34]. U zavisnosti od mesta na kome se implementira funkcija za rutiranje, razlikuje se izvorno i distribuirano rutiranje. Kod izvornog rutiranja, određivanje putanji poruka se vrši u izvornom čvoru. U tom slučaju, poruka pored korisnih podataka sadrži i deo koji nosi informaciju o putanji kojom će se poruka kretati između izvora i odredišta. Pogodnost ovog načina rutiranja se sastoji u tome što su ruteri rasterećeni funkcije za rutiranje poruka koje pristižu od okolnih rutera. Nedostatak ovog pristupa je to što veličina polja koje nosi informaciju o rutiranju naglo raste sa povećanjem dimenzije mreže na čipu. Kod distribuiranog rutiranja, u svakom ruteru se lokalno donosi odluka o rutiranju poruka, na osnovu odredišne adrese koju poruka nosi. Kako je za rutiranje potrebna samo odredišna adresa, povećanje dimenzije mreže na čipu neznatno utiče na povećanje obima poruke. Distribuirano rutiranje se dalje može podeliti na: determinističko, „nesvesno“ i adaptivno rutiranje. Kod determinističkog rutiranja, za svaki par izvor – odredište se koristi unapred definisana putanja za prenos podataka. Na taj način je proces rutiranja olakšan, jer se ne rutira iznova svaka nova poruka ubačena u mrežu. Sa druge strane, determinističko rutiranje je podložno stvaranju zagušenja u mreži, jer u slučaju neravnomerno distribuiranog saobraćaja ne postoji mogućnost da se neka poruka usmeri na alternativnu putanju i tako rastereti zagušeni deo mreže. Nasuprot determinističkom rutiranju, nesvesno i adaptivno rutiranje su nastali kao varijante rutiranja koje treba da obezbede uravnoteženiji saobraćaj u mreži. Nesvesni algoritam za rutiranje identifikuje više različitih putanji između izvora i odredišta ali izbor konkretne putanje ne zavisi od trenutne raspodele saobraćaja u mreži, već se određuje nasumično. Adaptivni algoritam za rutiranje takođe pruža mogućnost trasiranja poruka na više načina, pri čemu, za razliku od nesvesnog algoritma, uzima u obzir stanje mreže i bira najbolju putanju koja neće trasirati poruku kroz zagušeni deo mreže [37]. Minimalno adaptivno rutiranje uvodi ograničenje po kome se iz skupa mogućih, bira najkraća putanja. Cilj ovog ograničenja je da smanji vreme potrebno za transport poruke od izvora do odredišta. Međutim, uvođenje ograničenja smanjuje fleksibilnost izbora, pa se i u toj varijanti može javiti problem zagušenih delova mreže.

Kontrola toka podataka definiše aktivnosti vezane za fizički prenos poruka kroz mrežu. Glavni cilj kontrole toka podataka je da omogući optimalno iskorišćenje resursa mreže u cilju postizanja maksimalne propusnosti i minimalne potrošnje. Tehnike za kontrolu

toka podataka se, u zavisnosti od toga da li se podaci samo prosleđuju ili skladište u ruterima, mogu podeliti na: nebaferovane i baferovane tehnike za kontrolu toka podataka. U nebaferovane tehnike spada komutacija kola, dok u baferovane tehnike spadaju: komutacija paketa, virtuelno presecanje i tunelovanje. Komutacija kola je tehnika koja zahteva uspostavljanje komunikacionog kanala između izvora i odredišta pre slanja poruke. Nakon prenosa poruke, uspostavljeni kanal se raskida tako da resursi postanu dostupni drugim korisnicima. Komutacija kola je pogodna u aplikacijama gde je potrebno garantovati određenu propusnost i kašnjenje. Međutim, rezervisanje resursa mreže pre slanja poruke, smanjuje stepen iskorišćenja. Takođe, ovaj način organizovanja komunikacije zahteva značajno vreme za uspostavljanje i raskidanje kanala. Komutacija paketa predstavlja alternativu komutacije kola koja ne zahteva rezervisanje kanala pre slanja poruka. Pritom, poruka se deli na manje jedinice – pakete, koji dele resurse sa drugim paketima u mreži. Paketi iste poruke se nezavisno prenose kroz mrežu i na odredištu spajaju kako bi se dobio kompletan podatak. Zbog toga što se resursi mreže ne alociraju unapred, može se desiti da paket ne može biti usmeren na željeni link u nekom od usputnih rutera, jer je taj link zauzet prenosom nekog drugog paketa. Iz tog razloga, potrebno je obezbediti bafere za privremeno skladištenje paketa u ruteru. Takođe, ova tehnika unosi veliku latenciju jer se paket mora preuzeti u celosti pre nego što se prosledi susednom ruteru. Tehnika virtuelnog presecanja delimično ublažava problem latencije time što omogućava da se paket prosledi susednom ruteru i pre nego što se preuzme u celosti. Međutim, ukoliko su u susednom ruteru resursi trenutno zauzeti, ova tehnika se svodi na komutaciju paketa jer je u tom slučaju potrebno smestiti ceo paket u bafer. Tunelovanje, za razliku od prethodne dve tehnike, dodatno deli paket na manje jedinice koje se nazivaju flitovi (engl. *Flow control digIT*). U jednom ciklusu se prenosi jedan flit između dva rutera. Mogu se razlikovati tri vrste flita: flit zaglavlja, flit podatka i flit repa. Flit zaglavlja je zadužen za rezervaciju resursa mreže, flitovi podataka nose korisnu informaciju, a flit repa oslobađa rezervisane resurse nakon prenosa. Ova tehnika, kao i virtuelno presecanje, omogućava da se flitovi proslede susednom ruteru sukcesivno, bez ograničenja da se prethodno moraju preuzeti svi flitovi. Sukcesivni prenos flitova obrazuje strukturu nalik crvu, pa je iz tog razloga za ovu tehniku usvojen naziv crvotočina (engl. *wormhole*) [38]. Za razliku od virtuelnog presecanja, gde se u slučaju zauzetosti resursa mreže, ceo paket mora smestiti u bafer rutera u kome je nastao zastoje, tunelovanje zahteva implementaciju bafera dovoljnog kapaciteta za smeštanje jednog flita. Na taj način se smanjuje potreban kapacitet bafera, a time i potrošnja i cena mreže na čipu. Sa druge strane, u slučaju zauzetosti resursa mreže kada se flit zaglavlja ne može dalje kretati,

ostatak flitova nepotrebno blokira resurse mreže. Takođe, na ovaj način se stvara mogućnost za pojavu uzajamne blokade (engl. *deadlock*) gde tok flitova zauvek ostaje zarobljen u mreži. Ovaj problem se uspešno prevazilazi korišćenjem virtuelnih kanala [40][41]. Uvođenje virtuelnih kanala podrazumeva implementaciju više bafera po jednom portu rutera. Svaki bafer odgovara jednom virtuelnom kanalu. Virtuelni kanali omogućavaju da se preko istog fizičkog linka prenose flitovi različitih paketa, bez ograničenja da se prethodni paket u celosti mora preneti pre nego što se započne transfer drugog paketa. Na primer, u situaciji kada je tok flitova jednog paketa blokiran usled nemogućnosti rezervisanja željenog resursa, drugi tok flitova može koristiti iste linkove. Na taj način se izbegava blokiranje resursa mreže od strane flitova koji trenutno ne mogu da nastave kretanje ka odredištu, čime se eliminiše problem uzajamne blokade. Takođe, povećava se iskorišćenje resursa što unapređuje performanse mreže. Nedostatak virtuelnih kanala je implementacija bafera većeg kapaciteta.

Poslednjih godina, zbog svoje jednostavnosti i ekonomičnosti u pogledu potrošnje energije i zauzeća površine čipa, sve veći značaj zauzimaju tzv. deflekcione mreže na čipu. U deflekcionalnoj mreži na čipu, elementarna količina podataka koja se prenosi je flit. U odnosu na tunelovanje, kod deflekcionalnih mreža informacija o odredištu je sadržana u svakom flitu, što omogućava da se oni nezavisno rutiraju. Na odredištu flitovi mogu da pristižu mimo redosleda, pa je potrebno implementirati bafer za reasembliranje. Kako bi se ostvarila ušteda u hardveru i potrošnji energije, u deflekcionalnim mrežama na čipu se baferi u potpunosti eliminišu. Zbog nemogućnosti privremenog skladištenja, svi flitovi prispeli u tekućem ciklusu moraju napustiti ruter u narednom ciklusu mreže. Iz tog razloga, za konstrukciju deflekcionalne mreže na čipu se jedino mogu koristiti ruteri koji imaju isti broj ulaznih i izlaznih portova. Topologija koja se najčešće koristi za ovaj tip mreže, a koja zadovoljava prethodni kriterijum, je topologija 2D rešetke [44].

Deflekcione mreže na čipu implementiraju deflekciono rutiranje. Glavni zadatak deflekcionalnog rutiranja je razrešavanje konflikta koji nastaje u situaciji kada dva ili više flitova žele na isti izlazni port rutera. Zbog nemogućnosti privremenog skladištenja, u ovim situacijama je moguće samo jedan flit rasporediti na željeni port, koji se naziva produktivni port, dok se ostali flitovi raspoređuju na preostale dostupne portove rutera. Za takve flitove se kaže da su deflektovani, odnosno raspoređeni na neproduktivne portove rutera. Deflektovani flitovi će u narednom ciklusu napraviti skok ka susednom ruteru koji je na većem rastojanju od odredišta. Ova pojava se naziva misrutiranje (engl. *misrouting*) flitova. Deflekcija i misrutiranje flitova povećavaju vreme transporta flitova u mreži što dovodi do preranog



zagušenja i smanjenja performansi mreže na čipu. Takođe, povećanje obima saobraćaja intenzivira pojavu deflekcije i misrutiranja, pa iznad određene granice intenziteta saobraćaja, koja se naziva granica zasićenja, performanse mreže na čipu naglo opadaju, dok potrošnja značajno raste. Iz tog razloga, deflekcione mreže na čipu su pogodne za primenu u aplikacijama sa umerenim intenzitetom saobraćaja. Međutim, i pored tog ograničenja deflekcione mreže na čipu nalaze svoju primenu jer se statističkom analizom došlo do zaključka da većina mreža na čipu, čak i one koje su predviđene za zahtevne aplikacije, poput mreža na čipu sa baferima, rade pri umerenom intenzitetu saobraćaja [45].

Dva glavna predstavnika deflekcioni rutera koji se u literaturi najčešće koriste kao referentni modeli su BLESS [46] i CHIPPER [47]. Oba rutera imaju 4 ulazna i 4 izlazna porta i predviđena su za konstrukciju deflekcioni mreža sa topologijom 2D rešetke. BLESS je karakterističan po tome što implementira krosbar koji omogućava sve komutacije flitova (ukupno 24) sa ulaznih na izlazne portove rutera, i uvodi prioritizaciju flitova u procesu rutiranja. Potpuni skup podržanih komutacija omogućava rutiranje sa minimalnim brojem deflekcija flitova. Prioritizacija flitova koju uvodi BLESS je zasnovana na starosti flitova, pri čemu se najstarijem flitu u mreži dodeljuje najviši prioritet. Na taj način se najstarijem flitu obezbeđuje dodela produktivnog porta, a time i minimalno zadržavanje u mreži. Takođe, prioritizacija flitova garantuje da će svi flitovi posle konačnog vremena stići na svoje odredište. Dok doprinosi povećanju maksimalne propusnosti, implementacija prioritizacije flitova po starosti iziskuje hardver koji je, zbog prirode problema, sekvencijalan. Sekvencijalni hardver za prioritizaciju flitova smanjuje maksimalnu frekvenciju rada rutera. Takođe, implementacija krosbara zahteva kompleksan hardver, što povećava površinu čipa.

Kako bi dodatno pojednostavio deflekcioni ruter, CHIPPER modifikuje arhitekturu deflekcioni rutera tako što umesto krosbara implementira permutacionu mrežu koja se sastoji od četiri arbitrarnih blokova raspoređenih u dva nivoa. Svaki arbitrarni blok realizuje funkciju komutatora tipa „dva na dva“. Za razliku od krosbara koji omogućava sve komutacije flitova sa ulaznih na izlazne portove, konfiguracijom pojedinačnih arbitara u stanje „pravo“ ili „ukršteno“ broj komutacija u CHIPPER ruteru se redukuje na 16. Uprkos redukovanom broju podržanih komutacija, moguće je flit sa svakog ulaznog porta rasporediti na bilo koji izlazni port rutera. Konfiguracija arbitra se postavlja od strane nasumično izabranog flita, tako da se eliminiše prioritizacija flitova. Zahvaljujući ovim modifikacijama, CHIPPER postiže znatnu uštedu hardvera. Kako bi osigurao transfer flitova do odredišta, CHIPPER uvodi mehanizam zlatnih flitova. Mehanizam zlatnih flitova radi tako što se na

određeni vremenski period jedan flit u mreži proglašeni zlatnim. Ovaj vremenski period se naziva zlatna epoha. Zlatni flit, poput najstarijeg flita kod BLESS rutera, ima prvenstvo u dodeli izlaznog porta rutera. Pored značajnih ušteda u pogledu harvera i skraćivanja latencije eliminacijom sekvencijalnog harvera za prioritizaciju flitova, CHIPPER ima slabije performanse u odnosu na BLESS, u pogledu maksimalne propusnosti mreže. Razlog tome je manja fleksibilnost permutacione mreže, koja pruža delimični skup komutacija, što dovodi do povećanja stope defleksije flitova. Sa druge strane, mehanizam zlatnih flitova, za razliku od prioritizacije flitova po starosti, ne dovodi do optimalnog rutiranja flitova, jer se zlatnim flitom može proglasiti bilo koji flit, nevezano za starost flita. Takođe, trajanje zlatne epohe je prilagođeno najgorem slučaju – najdužoj putanji između izvora i odredišta, što uvodi veliku latenciju rada ovog mehanizma, a time i duže zadržavanje flitova u mreži.

Postoji više rešenja koja teže da delimično kompenzuju pogoršanje performansi deflekcioni mreža na čipu pri intenzivnom saobraćaju. Među njima se izdvojilo rešenje koje implementira deflekcioni ruter sa baferom. Ovo rešenje u okviru deflekcionog rutera implementira bafer male veličine – SB (engl. *Side Buffer*) u koji se tipično može smestiti 1-2 flita. Uloga SB-a je da zadrži neki od deflektovanih flitova u tekućem ruteru za naredni ciklus, kada će taj flit dobiti novu mogućnost da se nadmeće za dodelu produktivnog porta. U situaciji kada je nekoliko flitova deflektovano, nasumično se bira jedan flit koji se smešta u SB. Za razliku od osnovnog deflekcionog rutera, gde defleksija flita nužno povlači i misrutiranje flita, u deflekcionom ruteru sa baferom pojmovi defleksija i misrutiranje su razdvojeni, jer deflektovani flit potencijalno može ostvariti alternativnu opciju. Implementacija SB-a zahteva modifikaciju arhitekture deflekcionog rutera, koja će omogućiti preuzimanje deflektovanog flita i smeštanje u SB, kao i ubacivanje flita iz SB-a u mrežu. Iz tog razloga, arhitektura ovog rutera je složenija u odnosu na deflekcioni ruter bez bafera. Takođe, implementacija SB-a povećava potrošnju mreže i cenu jer zahteva veću površinu silicijuma. Međutim, kako je SB malog kapaciteta, ovo povećanje nije značajno. Glavni predstavnik deflekcionog rutera sa minimalnim baferovanjem je MinBD ruter [48]. MinBD ostvaruje poboljšanje ukupnih performansi deflekcione mreže na čipu za 20-30%. Pored složenijeg hardvera, nedostatak ovog rutera je tendencija ka uspostavljanju neravnomernog saobraćaja u mreži pri intenzivnom saobraćaju [52]. Razlog tome leži u organizaciji rutera koja daje viši prioritet za ubacivanje flitova iz SB-a u mrežu, u odnosu na ubacivanje flitova od strane IP jezgra.

U ovoj disertaciji su predložena rešenja za poboljšanje performansi mreža na čipu zasnovanih na deflekcijom rutiranja. Predložena rešenja se, u zavisnosti od mehanizma delovanja, mogu klasifikovati na rešenja za minimizaciju deflekcija i rešenja za supresiju misrutiranja. Predložena su dva rešenja za minimizaciju deflekcija: distribuirana (*Single – arbitrar Minimum Deflection – SMD*) i globalna (*Dual – arbitrar Minimum Deflection – DMD*) alokacija portova. Kod distribuirane alokacije portova, arbitrarni blokovi tradicionalnog deflekcionog rutera su modifikovani tako što je nasumični odabir flitova za konfiguraciju arbitra zamenjen algoritmom koji postavlja konfiguraciju povoljniju za oba flita na ulazu arbitra [49]. Analizom načina rada tradicionalnog deflekcionog rutera, identifikovane su tipične situacije u kojima nasumični izbor flitova za konfiguraciju dovodi do degradacije performansi deflekcionog rutera. SMD je u stanju da identifikuje ove situacije, i postavi povoljniju konfiguraciju arbitra. Na taj način, implementacijom SMD rešenja, povećavaju se performanse deflekcione mreže na čipu, i to za 17.4% u pogledu maksimalne propusnosti, uz minimalnu intervenciju u arhitekturi rutera.

Dok SMD postavlja konfiguraciju koja je povoljnija lokalno, sa stanovišta arbitra, DMD rešenje postavlja konfiguraciju celokupne permutacione mreže, tako da se za dati skup ulaznih flitova dobije optimalan raspored na izlazne portove. DMD objedinjuje alokatore arbitara prvog stepena permutacione mreže i na osnovu prebrojavanja produktivno rutiranih flitova za sve podržane komutacije, bira onu koja daje minimalni broj deflekcija na izlazu rutera. DMD rešenje povećava performanse mreže na čipu za 38.6% u pogledu maksimalne propusnosti.

Rešenja za supresiju misrutiranja kompenzuju deflekciju flitova tako što omogućavaju zadržavanje flitova na strani rutera u kome su deflektovani. U ovoj disertaciji je uvedena klasifikacija mehanizama za supresiju misrutiranja, na mehanizme primenjene u ruterima i mehanizme primenjene na linkovima. Od rešenja za supresiju misrutiranja u ruteru, u ovoj disertaciji je predloženo rešenje koje optimizuje arhitekturu deflekcionog rutera sa minimalnim baferovanjem (SB\_O) [53]. SB\_O unosi promenu kako u arhitekturi rutera tako i u algoritmu za izbor deflektovanog flita za smeštanje u SB. Sa stanovišta arhitekture, organizacija postojećeg deflekcionog rutera sa minimalnim baferovanjem je izmenjena tako što je blok za izbacivanje flita iz bafera premešten na poziciju posle stepena za komutaciju flitova. Na taj način, ubacivanje flitova od strane IP jezgra u mrežu ima viši prioritet u odnosu na ubacivanje flita iz SB-a, što doprinosi uspostavljanju ravnomernijeg saobraćaja u mreži. Modifikacija algoritma za izbor deflektovanog flita se sastoji u tome što je postojeći

nasumični izbor zamenjen izborom flita koji je deflektovan na port produktivan za flit iz SB-a. SB\_O ostvaruje poboljšanje performansi u pogledu maksimalne propusnosti za 9.7% u odnosu na mreže sa deflekcionim ruterima sa minimalnim baferovanjem.

Od mehanizama za supresiju misrutiranja primenjenih na linkovima, u ovoj disertaciji su uvedena dva rešenja: refleksioni link (LB) [50][51] i refleksioni link sa baferima (ILB) [52]. LB ima dodatnu fleksibilnost u odnosu na tradicionalni link time što osim prenosa flita s jednog na drugi kraj linka, omogućava i reflektovanje flitova. Konfiguracija za reflektovanje vraća flitove sa izlaza na ulaz tekućeg rutera. Na taj način deflektovani flit ostaje u istom ruteru, gde u narednom mrežnom ciklusu dobija novu mogućnost za dodelu produktivnog porta. LB implementira mehanizam koji selektivno primenjuje reflektovanje samo na deflektovane flitove, kako bi osigurao regularan tok produktivno rutiranih flitova. Zbog implementacije na linku, ovo rešenje je ortogonalno na arhitekturu rutera i može se primeniti na deflekcione rutere koji imaju isti broj ulaznih i izlaznih portova. Takođe, ovo rešenje neznatno povećava obim hardvera. Pimena refleksionih linkova doprinosi povećanju maksimalne propusnosti za 14.8% u odnosu na mreže sa tradicionalnim deflekcionim ruterima.

ILB u odnosu na LB dodatno uvodi FIFO bafere na linkovima. ILB nudi više opcija za manipulaciju deflektovanim flitovima, tako da, pored reflektovanja, deflektovani flitovi mogu biti smešteni u FIFO bafer dok se ne ostvari mogućnost za vraćanje u tekući ruter gde će dobiti novu mogućnost za dodelu produktivnog porta. Ovo rešenje omogućava nezavisno konfigurisanje krajeva linka koje, kao i LB, omogućava regularan tok produktivno rutiranih flitova, ali bez primoravanja deflektovanih flitova sa druge strane linka na misrutiranje. U odnosu na deflekcione rutere sa minimalnim baferovanjem, implementacija bafera na linkovima, pored veće fleksibilnosti, omogućava i postizanje viših performansi. Naime, ukupan broj linkova je veći od broja rutera u mreži, tako da je moguće implementirati veći broj bafera i sačuvati veći broj deflektovanih flitova. ILB rešenje je takođe ortogonalno na arhitekturu rutera. Primena ILB doprinosi poboljšanju performansi mreže na čipu, i to za 36.7% u pogledu maksimalne propusnosti, u poređenju sa mrežama sa tradicionalnim deflekcionim ruterima.

Zajednička karakteristika svih predloženih rešenja je veći nivo determinizma što dovodi do učestalije pojave dinamičke blokade flitova u mreži. Pored rešenja za unapređenje performansi, u ovoj disertaciji je predložen mehanizam za zaštitu od dinamičke blokade

flitova. Ovaj mehanizam radi tako što prati kretanje flitova kroz mrežu i za svaki flit beleži da li je napravio pozitivni pomak ka svom odredištu. Definiše se granični vremenski period za koji flit može da se kreće kroz mrežu bez pozitivnih pomaka ka odredištu. Ukoliko se taj period prekorači, što ukazuje na moguću pojavu dinamičke blokade, ruter u koji flit trenutno nalazi se postavlja u nasumični režim rada, gde se flitovi raspoređuju na nasumične izlazne portove rutera. Nasumični režim rada treba da prekine ustaljene putanje flitova pogođenih dinamičkom blokadom.

U cilju procene performansi i verifikacije funkcionalne ispravnosti predloženih rešenja, u okviru ove disertacije je realizovan simulator deflekcione mreže na čipu. Simulator je realizovan u programskom jeziku SystemC i omogućava funkcionalno modeliranje deflekcionog rutera, komunikacionog linka za povezivanje susednih rutera i izbor odgovarajuće mrežne topologije. Pored toga, simulator omogućava konfigurisanje mrežnog saobraćaja i beleženje brojnih komunikacionih parametra.

Ova disertacija pored uvodnog dela sadrži sedam poglavlja. U drugom poglavlju je dat pregled dosadašnjih sistema na čipu i komunikacionih struktura koje su najčešće korišćene za povezivanje blokova u okviru čipa. Pored toga, predstavljen je i koncept mreža na čipu, zajedno sa setom klasičnih problema iz domena umrežavanja sa kojim se standardno suočava projektant mreže na čipu.

U trećem poglavlju je opisana arhitektura deflekcionog rutera bez bafera i predstavljene su najpoznatije varijante koje, u cilju povećanja performansi, uvode minimalno baferovanje. Ovo poglavlje omogućava uvid u delove deflekcionog rutera koji su kritični sa stanovišta komunikacionih performansi, a u kojima se primenjuju rešenja predložena u ovoj disertaciji.

U četvrtom poglavlju su najpre identifikovane tipične situacije koje dovode do degradacije komunikacionih performansi deflekcionog rutera, a zatim predstavljena rešenja za minimizaciju deflekcija koja ove probleme uspešno rešavaju. Ova rešenja obuhvataju globalnu (SMD) i distribuiranu minimizaciju deflekcija (DMD) koja se primenjuju u okviru komutacionog stepena deflekcionog rutera. Pored toga, predstavljen je i simulator deflekcionih mreža na čipu koji je razvijen za potrebe evaluacije predloženih rešenja. U nastavku poglavlja su predstavljeni rezultati simulacija ovih rešenja za različite konfiguracije mrežnog saobraćaja.

U petom poglavlju su predstavljena rešenja za supresiju misrutiranja koja smanjuju posledice deflekcije tako što omogućavaju da se deflektovani flit zadrži u tekućem ruteru i ponovo nadmeće za produktivni port. Predložena su tri rešenja. Prvo rešenje (SB\_O) se primenjuje u ruteru, dok se ostala dva (refleksioni link – LB i refleksioni link sa baferima – ILB) primenjuju na linku. Za sva rešenja su predstavljeni rezultati simulacije za različite konfiguracije mrežnog saobraćaja.

U šestom poglavlju je sprovedena analiza raspodele saobraćaja u mrežama na čipu sastavljenih od bazičnih deflekcionih rutera, kao i deflekcionih rutera koji primenjuju rešenja predložena u ovoj disertaciji. Ovo poglavlje posebno ističe problem neravnomernog saobraćaja koji se često zanemaruje prilikom evaluacije performansi deflekcionih mreža na čipu.

U sedmom poglavlju je predstavljeno rešenje za zaštitu od dinamičke blokade u deflekcionim mrežama na čipu. Predloženo rešenje obuhvata mehanizam za detekciju i mehanizam za razbijanje dinamičke blokade. U nastavku poglavlja su prikazani rezultati simulacije u kojima se proverava uticaj rešenja za zaštitu od dinamičke blokade na performanse deflekcione mreže.

U zaključku je dat kratki pregled onoga što je urađeno, i sumirani su glavni rezultati. Takođe su data i neka usmerenja za dalja istraživanja u ovoj oblasti.

## 2. MREŽE NA ČIPU

Konstantno povećanje stepena integracije, a time i složenosti integrisanih kola (IC) stvorilo je snažnu motivaciju za razvoj novih koncepata povezivanja podсистema, tzv. IP (engl. *Intellectual proprietary*) jezgara, u okviru jednog čipa. Povezivanje, odnosno interkonekcija IP jezgara izdvaja se kao ključni problem projektovanja današnjih IC-a zbog svoje velike složenosti i direktnog uticaja na performanse celokupnog IC-a. Deljiva magistrala, kao standardni i utemeljeni način rešavanja interkonekcione problematike na čipu, sve teže izlazi na kraj sa složenošću i fleksibilnošću savremenih IC-a [12][22]. Takođe, problem nedovoljne propusnosti interkonekcione strukture postaje sve izražajniiji, naročito u sistemima koji objedinjuju veliki broj IP jezgara. Pod takvim okolnostima, koncept *mreže na čipu (NoC)* se izdvojio kao obećavajuće rešenje koje treba uspešno da odgovori na imperativne savremenog trenda razvoja IC-a [26]. Arhitekturno gledano, NoC predstavlja uređenu, modularnu strukturu rutera međusobno povezanih linkovima preko kojih se prenose podaci [54]. Svaki ruter je takođe povezan sa jednim IP jezgrom preko odgovarajućeg komunikacionog interfejsa. Sa jedne strane, ruter obezbeđuje pristupnu tačku preko koje IP jezgro šalje/prima podatke u/iz mreže, dok sa druge strane predstavlja „raskrnicu“ za podatke pristigle od okolnih rutera usmeravajući ih dalje kroz mrežu. Ključna su tri aspekta koja NoC čine superiornijom u odnosu na deljivu magistralu, a to su: fleksibilnost, laka proširivost i visoke performanse. Takođe, NoC se jednostavno implementira, smanjujući potrebno vreme za projektovanje sistema, i omogućava laku integraciju IP jezgara.

Ovo poglavlje je organizovano na sledeći način. Sekcija 2.1 je posvećena sistemima na čipu, njihovoj organizaciji, kao i prednostima i manama u pogledu performansi, potrošnje i ostalih zahteva današnje poluprovodničke tehnologije. U sekciji 2.2 su opisane komunikacione arhitekture koje su najčešće korišćene za povezivanje IP jezgara u okviru

sistema na čipu. Pored toga, u okviru sekcije 2.2 je predstavljen koncept mreža na čipu. Sekcije 2.4 i 2.5 su posvećene kontrolama toka podataka i algoritmima za rutiranje, respektivno, koji predstavljaju ključna pitanja prilikom projektovanja mreže na čipu. Na kraju, u sekciji 2.6 je opisano deflekciono rutiranje, koje je zbog dobrog kompromisa između performansi i složenosti, poslednjih godina zauzima sve veći značaj.

## 2.1 Sistemi na čipu

Prateći stopu Murovog zakona, skaliranje dimenzija tranzistora i povećanje brzine rada omogućili su integraciju složenih sistema u okviru jednog čipa. Današnja integrisana kola su po svojoj strukturi i složenosti sistemi na čipu koji objedinjuju veliki broj IP jezgara, spregnutih u cilju rešavanja kompleksnih problema ciljne aplikacije. Standardno, svi sistemi na čipu sadrže procesor i memoriju, dok su ostala IP jezgra specifična za oblast primene. Sprega velikog broja IP jezgra u okviru istog čipa sa jedne strane doprinosi pojednostavljenju strukture krajnjeg uređaja smanjenjem broja eksternih komponenti, dok sa druge strane omogućava postizanje visokih performansi u pogledu procesne moći.

Poslednjih godina, trend tehnološkog napretka omogućio je razvoj veoma složenih aplikacija (naročito multimedijalnih i aplikacija veštačke inteligencije) koje ispoljavaju visoki nivo paralelizma. Pod takvim uslovima povećanje performansi sistema na čipu se uspešno ostvaruje multipliciranjem mikroprocesorskih jezgara. Iz tog razloga, danas se skoro svi sistemi na čipu realizuju kao višeprocesorski sistemi koji su poznati pod skraćenicom MPSoC (engl. *Multiprocessor System-On-Chip*).

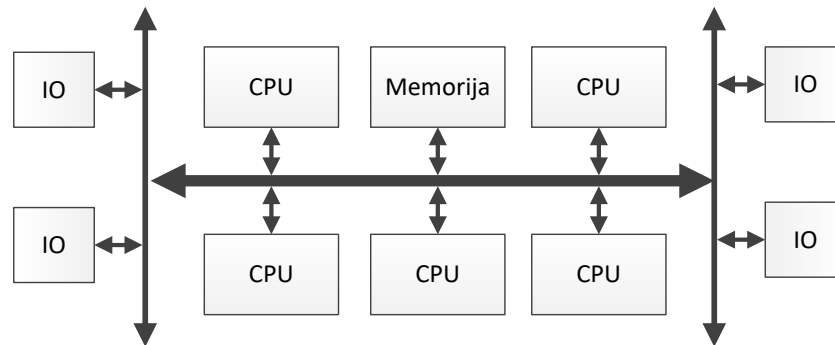
U zavisnosti od strukture, MPSoC se može klasifikovati na:

1. Homogeni MPSoC,
2. Heterogeni MPSoC.

Homogeni MPSoC je zapravo višeprocesorski sistem sastavljen od procesora iste arhitekture, memorije i skupa I/O (*Input/Output*) jedinica (Sl. 2-1). Svi procesori mogu ravnopravno da koriste bilo koju od I/O jedinica i izvršavaju bilo koji aplikativni zadatak. Komunikacija između procesora u okviru homogenog MPSoC-a se može obavljati na dva načina: preko deljive memorije i razmenom poruka (engl. *message passing*). U sistemima sa deljivom memorijom procesori razmenjuju podatke čitanjem odnosno upisom podataka u deljivu memoriju izvršavanjem *LOAD/STORE* instrukcija. Obično se deljiva memorija

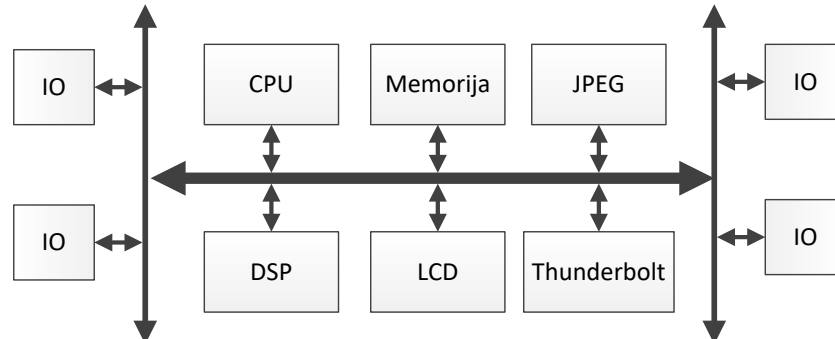


realizuje kao distribuirana keš memorija. Pored glavne deljive memorije svaki od procesora može da poseduje lokalnu memoriju za smeštanje programskog koda i lokalnih podataka koje ne treba deliti. Komunikacija putem prenošenja poruka se obavlja tako što procesori direktno šalju podatke – poruke jedni drugima izvršavanjem I/O operacija.



SI. 2-1 Homogeni MPSoC

Heterogeni MPSoC pored procesora i memorije sadrži i mnoštvo IP jezgara specifične namene. Takođe, heterogeni MPSoC obično objedinjuje više procesora različitih arhitektura, kao što je, recimo, procesor opšte namene i DSP procesor. Na SI. 2-2 je prikazana struktura tipičnog heterogenog MPSoC-a.



SI. 2-2 Heterogeni MPSoC

Višeprocessorski sistemi, kao što je homogeni MPSoC, ne mogu uvek ispoljiti visoke performanse kao što se na prvi pogled moglo zaključiti. Naime, veliki broj programa koji je danas u optičaju je realizovan kao sekvencijalan. Takođe, veliki broj današnjih programera ostaje privržen sekvencijalnom programiranju koje je po prirodi lakše za razumevanje i organizaciju od konkurentnog i paralelnog programiranja. Izvršavanje sekvencijalnog programa na višeprocessorskom računaru angažuje samo jedan mikroprocesor (jedno jezgro) dok su ostala u režimu mirovanja, kada ne obavljaju aktivnosti. U tom slučaju, i pored velike količine resursa koju nudi višeprocessorski sistem, ukupne performanse se ne povećavaju.

Jedan od načina za povećanje performansi današnjih digitalnih sistema se sastoji u identifikovanju specifičnih zadataka jedne aplikacije koji se zatim raspoređuju i izvršavaju na modulima (IP jezgrima) specijalno projektovanim za obavljanje datih zadataka. Ovi moduli pružaju superiorne performanse u odnosu na situaciju kada bi se dati zadaci izvršavali na mikroprocesoru opšte namene. Recimo, u jednoj bežičnoj kameri, sva digitalna obrada signala bi se obavljala na nekom DSP-u, kompresija videa bi se obavljala na specifičnom IP jezgru, dok bi sekvencom aktivnosti upravljao mikroprocesor opšte namene.

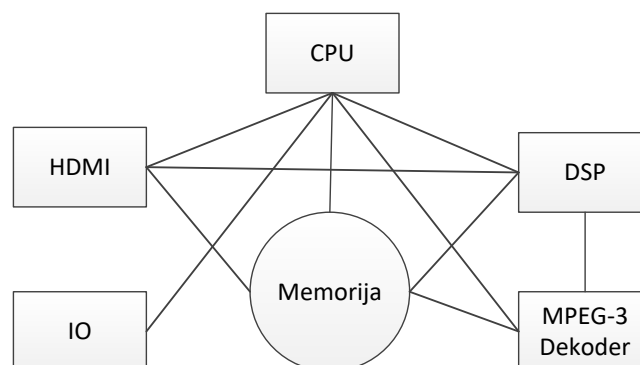
Zbog pogodnosti koje nude, heterogeni MPSoC je u široj upotrebi od homogenog MPSoC-a. Iz tog razloga, pod pojmom sistem na čipu obično se podrazumeva heterogeni MPSoC.

## 2.2 Komunikaciona arhitektura sistema na čipu

Proces projektovanja sistema na čipu se sastoji od razvoja i verifikacije pojedinačnih IP jezgara, koja se zatim povezuju i objedinjuju u jedinstveni sistem. Povezivanje IP jezgara je složeni postupak koji podrazumeva konstrukciju komunikacione infrastrukture na koju se jezgra povezuju preko odgovarajućeg prilagođavajućeg omotača (engl. *wrapper*) [30]. Komunikaciona infrastruktura omogućava IP jezgrima da međusobno razmenjuju podatke, istovremeno vodeći računa o pravilu pristupa i dodeli resursa komunikacione strukture.

### 2.2.1 Tačka ka tački

U prošlosti, u sistemima na čipu najčešće se koristila komunikaciona struktura tipa „tačka-ka-tački“ (Sl. 2-3). Ovaj tip komunikacione infrastrukture na čipu uvodi posebne, direktne veze između parova IP jezgara koji međusobno komuniciraju.

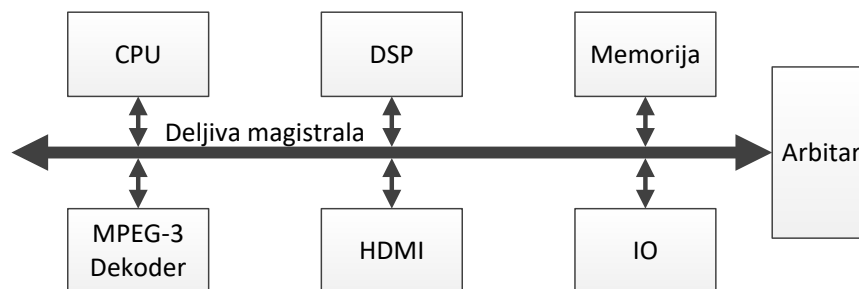


Sl. 2-3 Komunikaciona struktura tipa tačka-ka-tački

Atraktivnost tačka-ka-tački komunikacione infrastrukture leži u činjenici da uvođenje direktnih veza obezbeđuje da IP jezgra nezavisno komuniciraju, ne vodeći računa o pravu pristupa komunikacionoj infrastrukturi i ne angažujući pritom dodatni hardver za razrešavanje komunikacionih konflikata i regulisanje protoka podataka. Takođe, na svakoj od direktnih veza se može obavljati komunikacija po specifičnom protokolu, svojstvenom paru IP jezgara koje povezuje. To isključuje potrebu za „obmotavanjem“ IP jezgara posebnim, prilagođavajućim omotačima koji dodatno usložnjavaju sistem. Zbog nepostojanja uređene, zajedničke komunikacione infrastrukture, ovaj tip je poznat i pod nazivom „ad-hok“ komunikaciona infrastruktura. Glavni nedostatak komunikacione infrastrukture tačka-ka-tački se ogleda u drastičnom povećanju broja veza pri povećanju broja IP jezgra. Iz tog razloga tačka-ka-tački komunikaciona struktura nije praktična za implementaciju u savremenim MPSoC sistemima za koje je karakterističan veliki broj IP jezgara. Od interkomunikacionih struktura tipa tačka-ka-tački poznata je *Avalon* interkomunikaciona struktura koja je razvijena od strane kompanije *Altera* [56]. Avalon struktura je prvenstveno namenjena za povezivanje softverskih IP blokova unutar FPGA čipa, gradeći pritom sistem na programabilnom čipu – SoPC.

### 2.2.2 Deljiva magistrala

Drugi, tradicionalni način rešavanja komunikacionog problema u sistemima na čipu se ostvaruje primenom deljive magistrale (engl. *shared bus*) [57]. Deljiva magistrala se sastoji od skupa fizičkih linija organizovanih u logičke grupe kojima se prenose upravljački signali i podaci (Sl. 2-4). U datom trenutku, samo jedan izvor (u konkretnom slučaju IP jezgro) može da postavlja podatke na magistralu, kako ne bi došlo do kolizije. Dodela magistrale IP jezgrima i kontrola pristupa se obavlja od strane posebno projektovane hardverske jedinice koja se naziva arbitar.



Sl. 2-4 Deljiva magistrala – *shared bus*

Usled svoje heterogene prirode, današnji sistemi na čipu objedinjuju više IP jezgra koji se ne razlikuju samo po funkciji već i brzini rada i zahtevima u pogledu razmene podataka sa drugim IP jezgrima. Na primer, brzina prenosa podataka između procesora i memorije je znatno veća od brzine prenosa podataka između procesora i npr. SPI ili I<sup>2</sup>C kontrolera. Kako spora IP jezgra ne bi usporavala rad celokupnog sistema, ograničavajući iskorišćenje procesne moći brzih IP jezgra, magistrala savremenih SoC-ova se u većini slučajeva realizuje hijerarhijski. Hijerarhijsko organizovanje magistrale podrazumeva podelu magistrale na segmente koji objedinjuju IP jezgra iste ili slične brzine. Obično se hijerarhijska magistrala realizuje u dva nivoa. Prvi hijerarhijski nivo povezuje brze komponente, kao što su procesor i memorija, dok drugi hijerarhijski nivo povezuje spora IP jezgra, kao što su komunikacioni kontroleri (SPI, I2C, UART, ...) i namenske hardverske jedinice. Komunikacija između svih komponentata je obezbeđena povezivanjem segmenata magistrale preko komponente koja se naziva *magistralni most*. Magistralni most je sprežna komponenta koja vrši baferovanje i prenos podataka između segmenata na kojima se saobraćaj obavlja različitim brzinama. Takođe magistralni most obezbeđuje i konverziju protokola ukoliko segmenti koriste različite komunikacione protokole.

Postoji veliki broj tipova magistrala razvijenih za potrebe sistema na čipu od kojih su najpoznatije:

1. **AMBA** magistrala [58], prvenstveno namenjena primeni u sistemima na čipu zasnovanim na ARM procesorima. U opštem obliku sadrži dva segmenta AHB (za povezivanje brzih komponentata) i APB (za povezivanje sporih perifera).
2. **CoreConnect** magistrala [59], razvijena od strane kompanije IBM. Brze komponente su povezane na procesorsku lokalnu magistralu (PLB<sup>1</sup>), a sporije perifere na OCB<sup>2</sup> magistralu.
3. **STBus** magistrala [60], razvijena od strane kompanije ST Microelectronics. STBus definiše protokole i arhitekturu komponentata povezanih na magistralu. Postoje tri tipa protokola:
  - Tip1 – Jednostavni sinhroni protokol za komunikaciju između sporih perifernih komponentata,
  - Tip2 – Omogućava deljenje transakcija i implementaciju protočnosti. Pogodan za komunikaciju sa memorijskim kontrolerima.

---

<sup>1</sup> Processor Local Bus

<sup>2</sup> On-chip Peripheral Bus

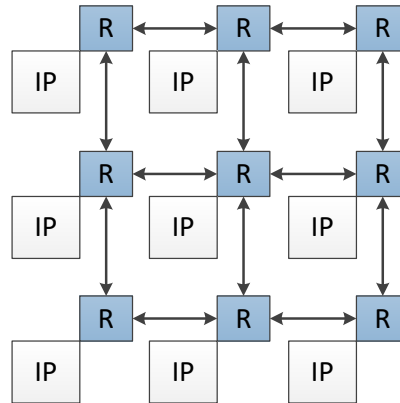
Tip3 – Najsloženiji tip protokola koji omogućava deljenje transakcija, izvršavanje instrukcija bez redosleda (engl. *out-of-order execution*). Koristi se za povezivanje procesora sa DMA i DDR kontrolerima.

## 2.3 Mreže na čipu

Vođena snažnim imperativima za smanjenje dimenzija tranzistora i povećanje brzine rada, današnja poluprovodnička tehnologija omogućava integraciju više desetina IP jezgra u okviru jednog sistema na čipu. U jednom takvom sistemu, povezivanje jezgara i organizacija komunikacione infrastrukture se izdvaja kao ključni problem, ne samo zbog kompleksnosti samog dizajna već i zbog direktnog uticaja primenjenog rešenja na performanse sistema [61]. Stalno povećavanje broja IP jezgara je dovelo u pitanje praktičnost deljive magistrale kao tradicionalnog pristupa u rešavanju komunikacione problematike. Naime, veliki broj IP jezgra podrazumeva obimnu komunikaciju i zahteva veliku propusnost koja prevazilazi kapacitet deljive magistrale. Iz tog razloga veliki deo vremena odlazi na komunikaciju između IP jezgara, koja i pored velike procesne moći podržane savremenom poluprovodničkom tehnologijom, moraju da provedu značajni deo vremena u čekanju na obavljanje komunikacije [62]. Pod takvim okolnostima, komunikaciona infrastruktura predstavlja usko grlo u povećanju performansi današnjih sistema na čipu.

Težnja da se obezbedi podrška za brzu i pouzdanu razmenu velike količine podataka između IP jezgara u okviru SoC-a, dovela je do pojave novog koncepta komunikacionog sistema na čipu, poznatog pod nazivom *mreža na čipu*, ili *NoC* (engl. *Network-on-Chip*). Mreža na čipu se vizuelno može predstaviti u obliku regularne strukture koja se sastoji od skupa čvorova od kojih je svaki povezan sa određenim, obično malim, podskupom okolnih čvorova (Sl. 2-5). Arhitekturno gledano, svaki čvor predstavlja jedan mali računarski podsistem koji se sastoji od procesora, lokalne memorije i pratećih perifernih komponenata. Čvorovi se međusobno razlikuju prema funkciji koju obavljaju. Recimo, jedan čvor može da ima ulogu grafičkog procesora koji vrši obradu slike, dok drugi obavlja digitalnu obradu zvuka, itd. Svaki čvor obuhvata i mrežnu komponentu – ruter koji omogućava razmenu podataka u formi poruka između čvorova. Ruter poseduje direktne veze, u formi bidirekcionih linkova, prema okolnim ruterima sa kojima razmenjuje podatke. Takođe, svaki ruter poseduje direktni link prema lokalnom IP jezgru. Direktni link omogućava IP jezgru da šalje i prima podatke iz mreže. Pored toga što se funkcija rutera može realizovati korišćenjem

procesora opšte namene, obično se u tu svrhu koriste namenski projektovani ruteri koji pružaju optimalno rešenje u pogledu brzine prenosa podataka, hardverske složenosti i potrošnje energije.



Sl. 2-5 Mreža na čipu

Zbog potencijala koje nudi, NoC danas predstavlja aktivnu oblast istraživanja, koja dobija sve veći značaj zahvaljujući ubrzanom širenju oblasti primene SoC-a. Projektanti mreža na čipu su suočeni sa setom klasičnih problema iz domena umrežavanja koji, između ostalog, obuhvata: topologije mreža na čipu, algoritme za rutiranje i tehnike komutacije. Topologija mreže na čipu definiše način na koji su ruteri (čvorovi) linkovima povezani u mrežu. Algoritam za rutiranje ima zadatak da izborom putanja u mreži određene topologije, sprovede podatak od izvora do odredišta. Algoritam za rutiranje direktno utiče na komunikacione performanse mreže. Tehnika komutacije definiše način fizičkog transfera paketa kroz mrežu. Ovaj aspekt mreže na čipu se bavi pitanjima fizičkog nivoa kao što su: veličina paketa koji se prenosi u jednom ciklusu između dva susedna rutera, kontrola toka paketa, uspostavljanje putanja između izvora i odredišta.

## 2.4 Topologije mreža na čipu

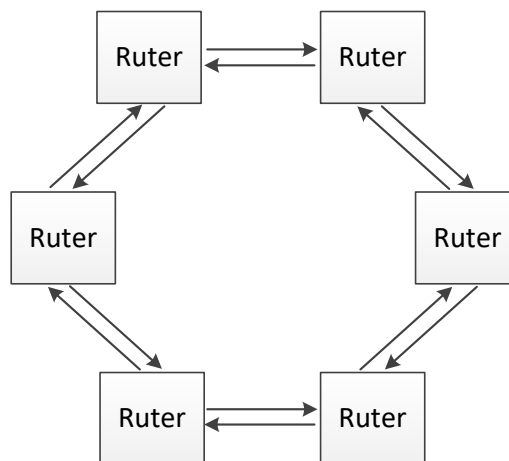
Topologija mreže na čipu definiše organizaciju i strukturu međusobnog povezivanja rutera [65]. Idealna topologija mreže na čipu je ona koja bi omogućila vezu svakog čvora sa svakim čvorom u mreži, tako da bi se podaci prenosili direktno, bez prolaženja kroz usputne rutere (kao što je slučaj kod komunikacione strukture tačka-ka-tački). Međutim, iz praktičnih razloga ova mreža nije primenljiva, jer bi zahtevala da svaki ruter poseduje onoliko portova koliko ima čvorova u mreži. Iz tog razloga topologije mreža na čipu se projektuju tako da uspostave odgovarajući balans između složenosti i performansi koje nude. Svaka topologija

nudi svojstven kompromis između hardverske složenosti i performansi. Biranje topologije je prvi korak u projektovanju mreže na čipu. Koja će se topologija koristiti u mnogome zavisi od zahteva ciljne aplikacije. Hardverska kompleksnost odabrane topologije ne ogleda se samo u složenosti povezivanja rutera već i složenosti algoritma za rutiranje.

Od mnoštva topologija koje se koriste za realizaciju mreža na čipu, širu primenu nalaze:

- a) Prsten
- b) Zvezda
- c) Torus
- d) 2D rešetka.

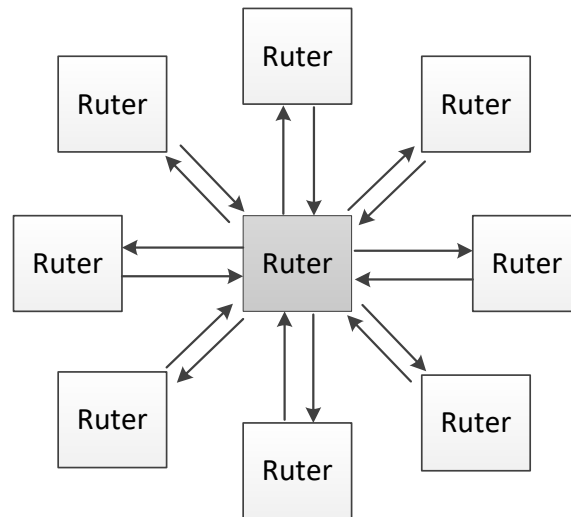
Topologija prsten organizuje skup rutera u mrežu tako da je svaki ruter povezan sa dva susedna rutera sa kojima može da razmenjuje podatke, gradeći pritom zatvorenu petlju – prsten. Saobraćaj u prstenu može da se odvija u jednom ili u oba smera. Topologija prsten je sa stanovišta hardverske složenosti jednostavna, ali zato nepovoljna po pitanju propusnosti saobraćaja. Takođe, u situaciji kada bilo koji od rutera otkáže, cela mreža postaje neoperativna.



Sl. 2-6 Topologija prsten

U topologiji zvezda, svi ruteri su povezani na jedan centralni ruter, koji zapravo predstavlja čvorište mreže (Sl. 2-7). Centralni ruter upravlja celokupnom komunikacijom u mreži tako da su periferni ruteri rasterećeni detaljima rutiranja paketa kroz mrežu. Pogodnost topologije zvezda se ogleda u lakoj proširivosti mreže (dodavanje novih rutera ne remeti organizaciju postojećih rutera) i većom imunošću na otkaze u odnosu na topologiju

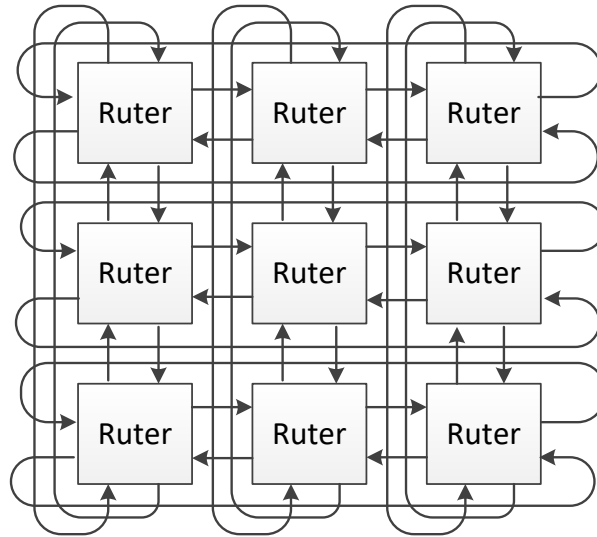
prsten. Naime, otkazivanje nekog od perifernih rutera ne utiče na operativnost preostalog dela mreže. Međutim, problem imunosti mreže na otkaz nije u potpunosti eliminisan, jer u situaciji kada otkaze centralni ruter, cela mreža postaje neoperativna. Takođe, u topologiji zvezda u uslovima saobraćaja visokog intenziteta dolazi do stvaranja tzv. vruće tačke (engl. *hot-spot*), jer se sva komunikacija između perifernih rutera obavlja preko centralnog rutera, što se odražava na performanse cele mreže.



Sl. 2-7 Topologija zvezda

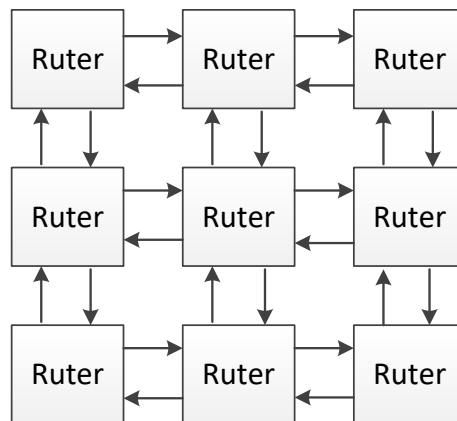
Topologija torus se javlja u dve različite varijante: kao dvodimenzionalni torus (2D torus), koji se najčešće upotrebljava, i kao trodimenzionalni torus (3D torus). Za 2D torus topologiju je karakteristično to što je svaki ruter unutar mreže povezan bidirekcionalnim linkovima sa četiri susedna rutera, dok su ruteri po obodu mreže povezani i sa naspramnim ruterima u odgovarajućoj vrsti i koloni (Sl. 2-8). Ovakav oblik fizičkog povezivanja rutera u mreži obezbeđuje kraće minimalne putanje od izvora do odredišta čime se znatno smanjuje latencija i povećava komunikaciona propusnost. Naime, umesto da podatak sa jednog kraja mreže putuje do drugog kraja prolazeći kroz usputne rutere, 2D torus omogućava direktan „skok“ na suprotni kraj mreže. Na taj način se rasterećuju centralni delovi mreže, čime se uspostavlja i ravnomernija raspodela saobraćaja. Dok sa jedne strane nudi značajne prednosti sa stanovišta komunikacionih performansi, 2D torus topologiju odlikuje i velika hardverska složenost, usled potrebe za implementacijom komplikovanog algoritma za rutiranje, i problem povratnih linkova. Naime, povratni linkovi koji povezuju suprotne krajeve mreže usled velike dužine ispoljavaju i veliko propagaciono kašnjenje signala što određuje minimalno trajanje ciklusa mreže. Takođe, povratni linkovi komplikuju projektovanje lejauta čipa.





Sl. 2-8 Topologija 2D torus

Poslednjih godina među brojnim topologijama, topologija 2D rešetke se izdvojila kao pogodno rešenje za primenu u oblasti mreža na čipu zbog svoje relativno jednostavne strukture i zadovoljavajućih performansi. U topologiji 2D rešetke svaki ruter je povezan bidirekcionim linkovima sa četiri susedna ruteri (Sl. 2-9). Ova topologija je strukturno najbliža topologiji 2D torusa, s tim što ruteri po obodu mreže ne poseduju vezu sa naspramnim ruterima iste kolone i vrste. Topologija 2D rešetke je sa stanovišta performansi u zaostatku u odnosu na 2D torus, ali je jednostavnija i pogodnija za praktičnu realizaciju.



Sl. 2-9 Topologija 2D rešetka

## 2.5 Kontrola toka podataka

Pored resursa, poput bafera i linkova, koji omogućavaju razmenu podataka, ruter poseduje i logičku strukturu koja implementira kontrolu toka podataka i definiše globalnu strategiju prenosa podataka u mreži. Kontrola toka podataka se bavi problemima koji se tiču fizičkog prenosa podataka u formi paketa od izvornog do odredišnog čvora u mreži na čipu. To obuhvata: način uspostavljanja veze između rutera, obim i format paketa koji se prenose kroz mrežu i odabir putanja. Kontrola toka podataka treba da obezbedi racionalnu alokaciju resursa kako bi se efikasno iskoristio kapacitet mreže na čipu. Za datu tehniku kontrole toka podataka se smatra da je kvalitetna ukoliko ravnomerno raspoređuje saobraćaj u mreži, koristi veliki deo raspoloživog komunikacionog kapaciteta mreže i obezbeđuje predvidivu latenciju paketa. Nasuprot tome, tehnika kontrole toka podataka koja angažuje samo deo resursa mreže na čipu, dok ostatak resursa veliki deo vremena provodi u neaktivnom režimu, se smatra nekvalitetnom. Problematika koju mehanizmi za kontrolu toka podataka rešavaju se može posmatrati sa dva aspekta: alokacija resursa mreže i rešavanje konfliktnih situacija. Alokacija resursa mreže treba da obezbedi paketima odgovarajuće resurse, kao što su linkovi i baferi, tokom njihovog napredovanja kroz mrežu od izvornog do odredišnog čvora. Takođe, kontrola toka podataka treba da obezbedi i određeni mehanizam za razrešavanje konfliktnih situacija koje nastaju onda kada dva ili više paketa istovremeno zahteva korišćenje istog resursa.

U zavisnosti od toga da li se paketi skladište u usputnim ruterima, može se izvršiti podela tehnika za kontrolu toka podataka na:

1. Nebaferovane kontrole toka podataka
2. Baferovane kontrole toka podataka.

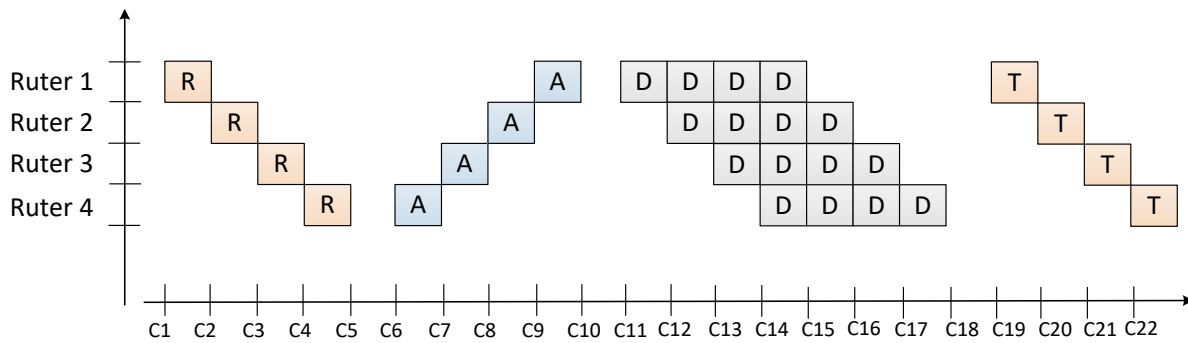
Za nebaferovane kontrole toka podataka je karakteristično to što se paketi ne zadržavaju u ruterima prilikom prenosa od izvora do odredišta. Postoje dve varijante nebaferovane kontrole toka podataka. U prvoj varijanti, pre slanja paketa se rezerviše putanja od izvora do odredišta, koja se nakon prenosa oslobađa. U drugoj varijanti se ne rezerviše putanja unapred već se u svakom ruteru za sve pristigle pakete donosi odluka o daljem usmeravanju kroz mrežu. U situaciji kada nekoliko paketa u okviru jednog rutera žele na isti izlazni link, samo se jedan propušta, dok se ostali preusmeravaju na slobodne linkove ili poništavaju. Paketi koji se poništavaju moraju biti ponovo poslani od strane izvornog čvora.

Nebaferovana kontrola toka podataka je jednostavna za hardversku realizaciju. Najpoznatija tehnika nebaferovane kontrole toka podataka je *komutacija kola*.

Baferovana kontrola toka podataka je efikasnija od nebaferovane po pitanju performansi jer omogućava privremeno smeštanje paketa u ruteru za koje se trenutno ne mogu obezbediti resursi potrebni za dalji prenos. Na ovaj način se obezbeđuje optimalna putanja od izvora do odredišta, paketi se ne usmeravaju na putanje koje ih udaljavaju od odredišta i ne poništavaju. Međutim, ključni nedostaci baferovane kontrole toka podataka leže u povećanoj potrošnji energije zbog implementacije bafera, koji uz to zauzimaju veliku površinu na čipu i povećavaju cenu proizvodnje. Postoje različite tehnike baferovane kontrole toka podataka koje teže da ublaže ove probleme smanjenjem obima paketa koji se u jednom ciklusu mogu preneti između dva rutera, time smanjujući i potrebnu veličinu bafera. Najznačajnije tehnike baferovane kontrole toka podataka su: *komutacija paketa*, *virtuelno presecanje* i *tunelovanje*.

### 2.5.1 Komutacija kola

Komutacija kola je oblik nebaferovane kontrole toka podataka gde se paketi razmenjuju između izvora i odredišta tek nakon uspostavljanja kompletne rute. Uspostavljanje rute se ostvaruje rezervisanjem odgovarajućih usputnih linkova između izvora i odredišta. Kada se razmena paketa obavi, ruta se oslobađa. Na Sl. 2-10 je prikazan primer razmene paketa tehnikom komutacije kola [15]. Na x – osi su označeni ciklusi mreže, tako da se mogu pratiti trenuci kada se paketi generišu, dok su na y – osi označeni ruteri koji učestvuju u komunikaciji. Proces razmene paketa se može podeliti u četiri faze. Tokom prve faze, izvor šalje odredištu specijalni paket (R) za uspostavljanje rute. Prostirući se kroz mrežu, ovaj paket ujedno rezerviše usputne linkove pa se često naziva i rezervacioni paket. Ukoliko se određeni deo mreže usled zauzetosti ne može rezervisati, paket R se poništava. U tom slučaju izvor posle nekog vremena ponavlja slanje R paketa. Nakon prijema rezervacionog paketa, odredište (ukoliko je slobodno) šalje paket potvrde (A) izvoru čime se obaveštava da je spremno za prijem paketa podataka i da je ruta uspostavljena. Ovo je deo druge faze. Treća faza obuhvata prenos paketa prethodno uspostavljenom rutom. Tokom ove faze se mogu slati paketi bilo kojeg obima, bez potrebe za kontrolom toka, jer je ruta već uspostavljena. Kada se prenos paketa u celosti obavi, tokom poslednje – četvrte faze, izvor šalje treći specijalni paket (T) kojim se oslobađa rezervisana ruta.

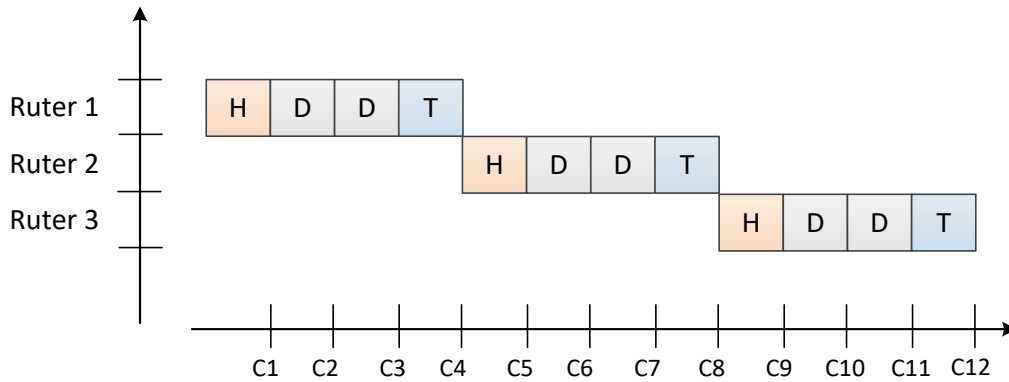


Sl. 2-10 Razmena paketa – komutacija kola

Glavna prednost komutacije kola je u tome što uspostavljanje rute između izvora i odredišta pre slanja paketa podataka eliminiše potrebu za uvođenje mehanizma za razrešavanje konflikata u situacijama kada nekoliko paketa zahteva rezervaciju istog linka. Međutim, komutacija kola nije pogodna onda kada je obim paketa koji se razmenjuje mali. U tom slučaju veliki udeo u celokupnom vremenu potrebnom za prenos paketa ima vreme potrebno za uspostavljanje i raskidanje rute. Takođe, alokacija resursa između izvora i odredišta često dovodi do neravnopravnosti učesnika u saobraćaju. Recimo, u situaciji kada određeni par izvor-odredište ima potrebu za obimnom i frekventnom komunikacijom, alocirani resursi će veliki deo vremena biti zauzeti i nedostupni ostalim čvorovima koji zbog toga bivaju blokirani.

## 2.5.2 Komutacija paketa

Komutacija paketa je oblik baferovane kontrole toka podataka gde se kompletna poruka koju treba poslati deli na pakete, koji nezavisno rutiraju kroz mrežu, pri čemu se mogu usmeravati različitim putanjama od izvora do odredišta [15]. Svaki paket se sastoji od tri dela: zaglavlje (H), podaci (D) i rep (T). Zaglavlje je deo paketa koji sadrži informaciju potrebnu za rutiranje paketa kroz mrežu (izvorna i odredišna adresa). U delu za podatke se smeštaju podaci koji se razmenjuju između izvora i odredišta. Rep označava kraj paketa. Ruter prosleđuje paket susednom ruteru tek onda kada je paket u celosti primljen od prethodnog rutera i smešten u interni bafer. Iz tog razloga ova tehnika je poznata i pod nazivom „zapamti i prosledi“ (engl. *Store-and-Forward*). Paket ostaje u baferu sve dok se ne alociraju resursi potrebni za prenos paketa u susedni ruter. Potrebno je obezbediti slobodni link i mesto u baferu susednog rutera. Na Sl. 2-11 je prikazan vremenski dijagram prenosa podataka u mreži sa komutacijom paketa.



Sl. 2-11 Razmena paketa – komutacija paketa

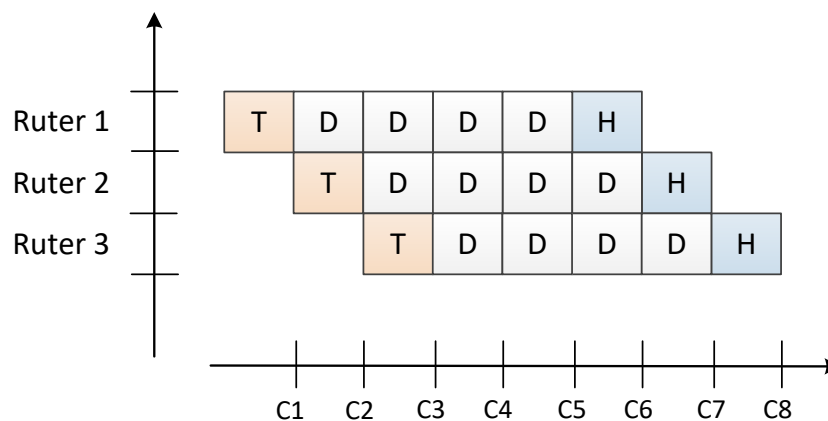
Ključna prednost komutacije paketa leži u boljem iskorišćenju resursa mreže na čipu. Podela poruka na pakete koji se nezavisno rutiraju kroz mrežu ne blokira resurse kao što je to slučaj sa tehnikom komutacije kola. Takođe, gledano sa stanovišta hardverske složenosti, podela na pakete iziskuje manju veličinu bafera, koji je u ovom slučaju potreban za smeštanje jednog paketa, a ne celokupne poruke koji se razmenjuje između izvora i odredišta. Međutim, deljenje poruke na pakete unosi dodatno kašnjenje kako na strani izvora (vreme potrebno za podelu) tako i na strani odredišta (vreme potrebno za rekonstrukciju poruke). Takođe, nezavisno rutiranje paketa intenzivira problem nadmetanja u situaciji kada nekoliko paketa zahteva alociranje istih resursa mreže.

### 2.5.3 Virtuelno presecanje

Virtuelno presecanje (engl. *Virtual Cut-Through* – VCT) je oblik baferovane kontrole toka podataka koji je nastao kao težnja da se poboljšaju performanse tehnike komutacije paketa [31]. Naime, za razliku od komutacije paketa gde se paket prosleđuje susednom ruteru tek onda kada se u celosti primi iz prethodnog rutera, VCT tehnika omogućava procesiranje i usmeravanje paketa kroz mrežu već nakon prijema zaglavlja paketa. Kako zaglavlje paketa sadrži sve neophodne informacije za rutiranje (izvorna i odredišna adresa), moguće je alocirati resurse i proslediti paket odmah nakon prijema zaglavlja. Na ovaj način se znatno smanjuje ukupna latencija prenosa podataka. U slučaju da neki od rutera ne može da alocira resurse potrebne za prenos paketa u naredni ruter, preostali paketi se smeštaju u bafer tekućeg rutera. Treba imati u vidu da VCT tehnika omogućava poboljšanje performansi mreže na čipu samo pri niskom intenzitetu saobraćaja. Pri visokom intenzitetu saobraćaja ova tehnika se ponaša isto kao i komutacija paketa, jer se u tom slučaju teško obezbeđuju resursi mreže odmah nakon pristizanja zaglavlja paketa.

## 2.5.4 Tunelovanje

Tunelovanje (engl. *Wormhole* – WH) je baferovana tehnika kontrole toka podataka koja dodatno pojednostavljuje hardver rutera smanjenjem potrebne veličine bafera. Za razliku od komutacije paketa i VCT tehnike gde se podaci dele na pakete, kod WH se paketi dodatno dele na elementarnije jedinice – *flitove* [32]. Obim flitova je znatno manji od obima paketa, tako da ruteri implementiraju bafere znatno manjeg kapaciteta. Paketi se dele na tri tipa flita koji se prenose kroz mrežu: flit zaglavlja (H), flit podataka (D) i flit repa (T). Noseći informacije potrebne za rutiranje, flit zaglavlja alocira resurse mreže na čipu potrebne za prenos ostalih flitova podatka. Flitovi podataka nose korisnu informaciju koja se prenosi između izvora i odredišta. Flit repa je poslednji flit čija je uloga oslobađanje alociranih resursa. Na Sl. 2-12 je prikazan vremenski dijagram toka podataka za WH tehniku.

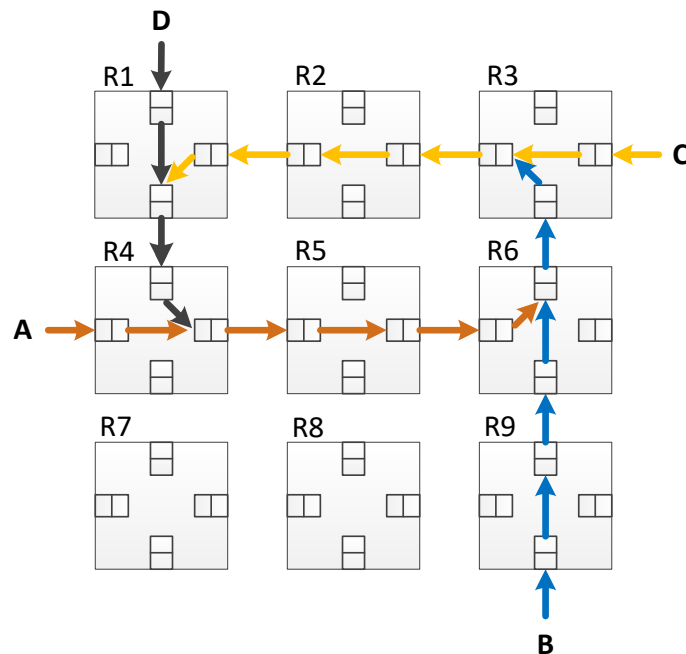


Sl. 2-12 Razmena paketa - tunelovanje

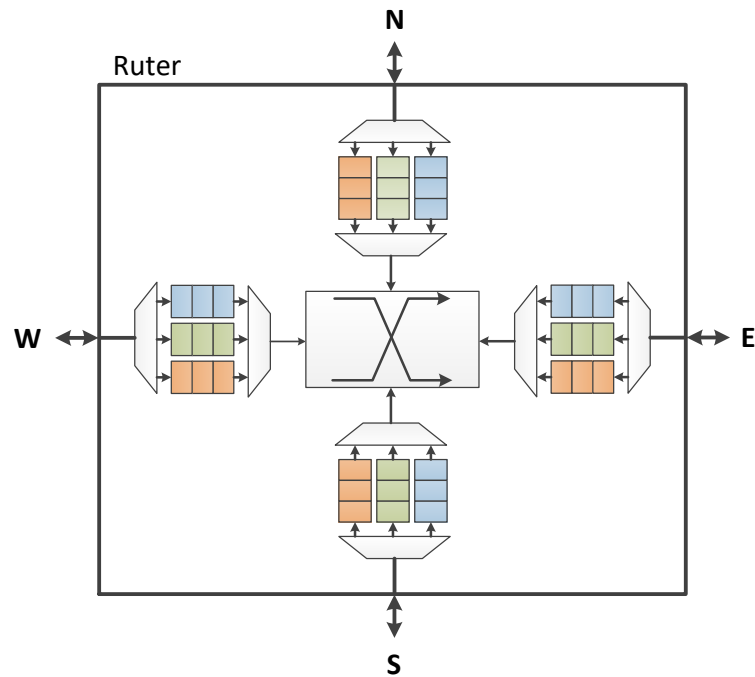
Kapacitet bafera u ruterima je dovoljan za smeštanje svega nekoliko flita. Iz tog razloga, u slučaju kada flit zaglavlja nije u mogućnosti da rezerviše resurse za prenošenje flitova u naredni ruter, preostali flitovi istog paketa ostaju u svojim tekućim ruterima. Zadržavajući alocirane resurse, flitovi obrazuju strukturu nalik crvu, zbog čega se ova tehnika kontrole toka podataka naziva i crvotočina u bukvalnom prevodu (*wormhole*). Potreba za manjim kapacitetom bafera čini WH tehniku efikasnom sa stanovišta hardverske složenosti i potrošnje energije. Međutim, glavni problem ove tehnike je mogućnost pojave uzajamne blokade koji nastaje kao posledica zadržavanja alociranih resursa u situaciji kada je napredovanje flitova blokirano. Na Sl. 2-13 je prikazan deo mreže na čipu u kome se javlja uzajamna blokada flitova. Prisutna su četiri toka flitova: *A*, *B*, *C* i *D*. Tok flita *A* želi da promeni pravac kretanja u ruteru R6. Međutim, to nije moguće jer je bafer na izlaznom portu ka ruteru R3 već alociran od strane toka flitova *B*. Sa druge strane, tok flitova *B* je blokirano u

ruteru R3 od strane toka flitova *C* koji je zauzeo bafer izlaznog porta ka ruteru R2. Konačno, tok flitova *C* ne može da napreduje kroz mrežu jer je blokiran tokom flitova *D* u ruteru R1. Ova četiri toka flitova grade petlju koja onemogućava napredovanje ni jednog od tokova flitova. Drugim rečima, nastaje uzajamna blokada, što za posledicu ima trajno blokiranje alociranih resursa mreže. Pojava uzajamne blokade je naročito izražena pod uslovima saobraćaja visokog intenziteta. Zaštita od dinamičke blokade se može ostvariti na nivou rutiranja restrikcijama pri izboru putanje ili uvođenjem virtuelnih kanala.

Kontrola toka podataka sa virtuelnim kanalima uvodi multipleksiranje logičkih (virtuelnih) kanala preko istog fizičkog kanala, tj. linka [33]. Za svaki virtuelni kanal se rezerviše deo bafera rutera u kome se smeštaju flitovi koji se tim virtuelnim kanalom prenose. Na Sl. 2-14 je prikazana arhitektura rutera mreže na čipu koja implementira kontrolu toka podataka sa virtuelnim kanalima (u konkretnom primeru sa tri virtuelna kanala). Kao što se može videti, svaki port rutera (*N*, *E*, *S*, *W*) poseduje tri bafere (za svaki virtuelni kanal po jedan bafer), demultiplekser koji raspoređuje prijemni tok flitova u bafere (u zavisnosti od virtuelnog kanala kojim se prenose) i multiplekser koji prosleđuje flitove iz bafera prema jedinstvenoj strukturi za rutiranje.

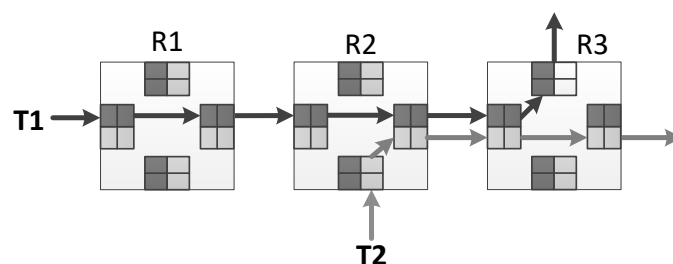


Sl. 2-13 Uzajamna blokada tokova flitova kod tunelovanja



SI. 2-14 Virtuelni kanali

U slučaju kada postoji potreba za istovremenim prenosom flitova kroz više virtuelnih kanala, prednost se daje onom virtuelnom kanalu koji je prvi alocirao resurse. Međutim, ukoliko tok flitova datog kanala naiđe na prepreku, resurse privremeno preuzima drugi virtuelni kanal, što je prikazano na Sl. 2-15. Tok flitova  $T1$  prolazi kroz rutere R1 i R2 do rutera R3 gde ostaje blokiran. Zahvaljujući virtuelnim kanalima tok flitova  $T2$  može da napreduje kroz mrežu koristeći iste fizičke linkove kao i  $T1$ , koji su zbog trenutne blokade  $T1$  postali slobodni.



SI. 2-15 Virtuelni kanali – deljivost resursa

Uvođenje virtuelnih kanala uvodi brojna poboljšanja u mreži na čipu. Kao prvo, u kombinaciji sa odgovarajućim algoritmom za rutiranje ukida se mogućnost pojave uzajamne blokade toka flitova. Blokiranje određenog toka flitova ne blokira i linkove rutera, pa oni postaju dostupni ostalim tokovima flitova u mreži. Drugim rečima, virtuelni kanali omogućavaju potpunije deljenje resursa. Kao i prethodne tehnike, kontrola toka podataka sa



virtuelnim kanalima ima određene nedostatke. Uvođenje virtuelnih kanala zahteva implementaciju obimnijeg bafera, tj. za svaki virtuelni kanal je potrebno obezbediti memorijski prostor za skladištenje flitova koji se prenose datim virtuelnim kanalom. Takođe, raspoređivanje flitova po virtuelnim kanalima i upravljanje resursima obuhvata složene aktivnosti koje zahtevaju složeniji hardver. Na kraju, povećanje obima bafera i uvođenje složenijeg hardvera se odražava na povećanje potrošnje energije.

## 2.6 Algoritmi za rutiranje

Naredni logički nivo posmatranja mreže na čipu obuhvata rutiranje paketa u mreži. Rutiranje je proces odabira putanje u mreži za prenos paketa od izvornog do odredišnog čvora [15]. U zavisnosti od mesta u kome se donose odluke o izboru putanje, rutiranje se može klasifikovati na izvorno i distribuirano rutiranje. Kod izvornog rutiranja, putanja paketa se određuje u izvornom čvoru tako što se kreira niz identifikatora rutera kroz koje paket treba da prođe da bi stigao na svoje odredište. Ovaj niz se smešta u zaglavlje paketa. U mrežama na čipu izvorno rutiranje je retko zastupljeno zbog toga što unosi značajne režijske troškove usled male veličine paketa. Kod distributivnog rutiranja zaglavlje paketa nosi samo adresu odredišnog čvora, a svaki usputni ruter lokalno donosi odluku o izboru susednog rutera kome će paket biti prosleđen. Postupak se ponavlja sve dok paket ne stigne na odredište. Na taj način paketi ne moraju da nose obimnu informaciju o svim ruterima na putanji između izvornog i odredišnog čvora što distributivno rutiranje čini pogodnim za primenu u mrežama na čipu.

Pored izbora putanja, proces rutiranja treba da odgovori i na zahteve koje se tiču pouzdanosti i performansi prenosa paketa. U zavisnosti od uticaja na funkcionalnost i performanse mreže, mogu se izdvojiti primarni i sekundarni zahtevi. U primarne zahteve spadaju oni zahtevi koji su kritični za regularno funkcionisanje celokupne mreže, kao što su zaštita od uzajamne blokade i „gladovanja“. U sekundarne zahteve spadaju zahtevi koji nisu bitni za regularno funkcionisanje ali su od presudnog značaja kada su u pitanju performanse mreže na čipu, kao što su biranje putanje minimalne dužine i uravnoteženje saobraćaja.

Uzajamna blokada je pojava koja onemogućava napredovanje paketa ka odredištu zbog uspostavljanja međusobne zavisnosti putanja između paketa. Uzajamna blokada može biti statička (engl. *deadlock*) i dinamička (engl. *livelock*). Paket pogođen statičkom blokadom je nepokretan, odnosno trajno zarobljen u ruteru. Statička blokada je karakteristična za mreže

sa WH kontrolom toka podataka. Za razliku od statičke blokade, kod dinamičke blokade paket je stalno u pokretu ali se kreće u cikličnim putanjama, pa tako ne uspeva da dođe do svog odredišta. Iako ne blokira trajno jedan resurs, blokirani paket troši deo kapaciteta mreže, čime se umanjuju performanse. Uzajamna blokada je složen problem za čije rešavanje se primenjuju strategije kao što su prevencija uzajamne blokade i oporavak od uzajamne blokade. Prevencija uzajamne blokade se rešava algoritmom za rutiranje koji uvođenjem restrikcija u izboru putanje garantuje prenos paketa bez uzajamne blokade. Oporavak od uzajamne blokade se najčešće ostvaruje uvođenjem mehanizma za detekciju i razrešavanje uzajamne blokade.

Gladovanje (engl. *starvation*) nastaje u situaciji kada se resurs, koji paket želi da rezerviše kako bi napredovao u mreži, stalno dodeljuje drugim paketima. U tom slučaju paket ostaje zarobljen i ne može da napravi pomak ka svom odredištu. Ova pojava je karakteristična za algoritme za rutiranje koji uvode prioritizaciju paketa. Intenzivan saobraćaj paketa visokog prioriteta može nepredviđeno dugo da blokira prenos paketa niskog prioriteta. Da bi se sprečila pojava gladovanja, potrebno je voditi računa o ravnomernoj dodeli resursa mreže.

Važan aspekt algoritma za rutiranje je ostvarivanje što veće propusnosti mrežne topologije u kojoj je algoritam implementiran. Povećanje propusnosti mreže na čipu se standardno ostvaruje biranjem najkraćih slobodnih putanja od izvora do odredišta. Na taj način se smanjuje ukupan broj skokova između rutera koji paket pravi krećući se ka odredištu, što kao posledicu ima i smanjenje latencije paketa. Međutim, ono što možda na prvi pogled nije očigledno, biranje minimalnih putanja doprinosi uspostavljanju neravnomerno raspoređenog saobraćaja u mreži. Kvalitetan algoritam za rutiranje treba da teži ka uspostavljanju ravnomerne raspodele intenziteta saobraćaja u celoj mreži. Ravnomerna raspodela intenziteta saobraćaja sprečava nastanak lokalnih zagušenja u vidu vrućih tačaka koje često dovode do otkaza i onemogućavaju učesnicima ravnopravno učestvovanje u komunikaciji. Naime, u slučaju stvaranja vrućih tačaka (zagušenih rutera) u mreži, IP jezgra povezana na takve rutere neće biti u mogućnosti da ubacuju svoje pakete u mrežu zbog nemogućnosti rutera da rezerviše slobodan link za lokalne pakete. Algoritam za rutiranje prevazilazi problem vrućih tačaka preusmeravanjem paketa iz opterećenih u manje opterećene delove mreže.

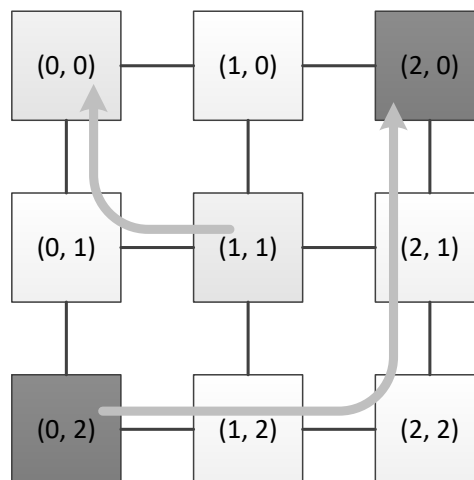
Zbog uzročno-posledične veze između odabira putanja i raspodele saobraćaja, algoritam za rutiranje treba da pronađe pravu meru kompromisa koja u mnogome zavisi od topologije mreže na čipu, implementiranog mehanizma za kontrolu toka i ciljne aplikacije.

Prema načinu odabira putanja, mogu se identifikovati sledeće kategorije algoritama za rutiranje u mrežama na čipu:

1. Deterministički algoritmi za rutiranje,
2. „Nesvesni“ algoritmi za rutiranje,
3. Adaptivni algoritmi za rutiranje.

### 2.6.1 Deterministički algoritmi za rutiranje

Determinističko rutiranje je oblik rutiranja gde se za svaki par izvor-odredište uvek bira ista putanja (po pravilu najkraća) kojom se paketi prenose. Iz tog razloga, determinističko rutiranje odlikuje jednostavni dizajn i mala hardverska složenost, što ga čini pogodnim za praktičnu realizaciju.



Sl. 2-16 Determinističko rutiranje

Na Sl. 2-16 je prikazan primer determinističkog rutiranja u mreži na čipu sa topologijom 2D rešetke. Adresa rutera u mreži topologije 2D rešetke se sastoji od  $x$  – i  $y$  – koordinate koje određuju poziciju rutera u mreži. Tako, adresa (2,0) znači da je  $x$  – koordinata 2, i  $y$  – koordinata 0. Na Sl. 2-16 su parovi rutera koji razmenjuju pakete jednako osenčeni. Kao što je rečeno, za svaki par rutera bira se samo jedna putanja kojom se paketi prenose. Tako, komunikacija između rutera (0,2) i (2,0) će se uvek obavljati preko rutera (1,2), (2,2) i (2,1). Glavni predstavnik determinističkog rutiranja je XY rutiranje za koji je

karakteristično da se paket najpre prenosi rutama po kojima se približava svome odredištu po  $x$  – koordinati (poravnanje po  $x$  – osi), a zatim rutama po kojima se paket približava odredištu po  $y$  – koordinati (poravnanje po  $y$  – osi).

Birajući uvek iste putanje, determinističko rutiranje ne može da reaguje na pojavu zagušenja u mreži preusmeravanjem paketa na alternativne, manje opterećenje putanje. Stoga, determinističko rutiranje nije pogodno za primenu u aplikacijama sa strogim vremenskim ograničenjima, gde svako zagušenje saobraćaja može ozbiljno da ugrozi pouzdanost sistema [15]. I pored ovog nedostatka, mreže na čipu zasnovane na determinističkom rutiranju su i danas veoma zastupljene, naročito kada su u pitanju neregularne mrežne topologije kod kojih zbog složenosti povezivanja rutera primena zahtevnijih algoritama gubi praktičnost usled obimnog i zahtevnog hardvera. Takođe, primena determinističkog rutiranja je pogodna u aplikacijama koje ne generišu mrežni saobraćaj velikog intenziteta.

## 2.6.2 Nesvesni algoritmi za rutiranje

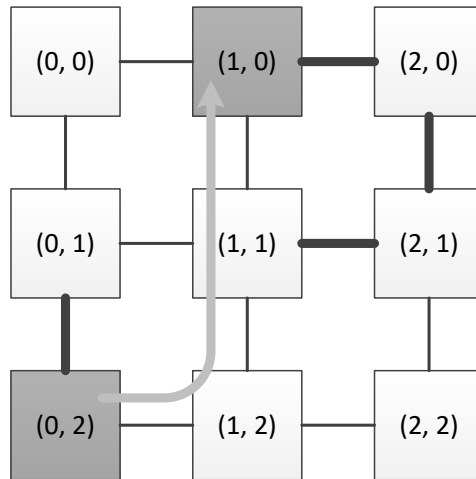
Deterministički algoritam za rutiranje je jednostavan, ali lako dovodi do zagušenja rutera. Putanja između dva konkretna čvora je predodređena uprkos tome što između bilo kog para čvorova u opštem slučaju postoji veći broj alternativnih putanja. Korišćenje alternativnih putanja radi prevencije zagušenja je karakteristično za nesvesne i adaptivne algoritme za rutiranje. Nesvesni algoritam za rutiranje ne uzima u obzir trenutno opterećenje linkova u mreži, već zagušenje sprečava indirektno, disperzijom saobraćaja po alternativnim putanjama. Nesvesni algoritam za rutiranje je u osnovi Valiantov algoritam [66]. Ovaj algoritam radi tako što se svaki paket na strani izvora prvo pošalje slučajno izabranom ruteru u mreži, nakon čega se sa date pozicije rutira najkraćom putanjom do svog odredišta. Bez obzira na raspodelu saobraćaja po izvorima i odredištima, efekat prve faze rutiranja je statistički gledano ravnomerna preraspodela opterećenja na sve rutere i linkove u mreži. Međutim, primena Valiantovog algoritma za rutiranje sa druge strane dovodi do degradacije performansi lokalnog saobraćaja, budući da se vreme potrebno za prenos paketa između bliskih čvorova ne razlikuje od vremena potrebnog za prenos paketa između maksimalno udaljenih čvorova. Ovaj problem je rešen u drugoj varijanti nesvesnog algoritma koji se naziva *minimalni nesvesni algoritam* [15]. Za razliku od prethodnog algoritma, minimalni nesvesni algoritam insistira na minimalnim putanjama između izvora i odredišta. Umesto da

se u prvoj fazi paket šalje ruteru koji je slučajno izabran iz skupa svih rutera u mreži, minimalni nesvesni algoritam bira međuruter iz skupa rutera u okolini odredišnog čvora unapred definisanih dimenzija. Nakon toga se paket rutira do svog odredišta po minimalnoj putanji. Insistirajući na minimalnim putanjama, minimalni nesvesni algoritam za rutiranje ne degradira lokalni saobraćaj, pri tom ostvarujući dobar balans saobraćaja kao i Valiantov algoritam. Minimalni nesvesni algoritam daje dobre rezultate kada se primenjuje u hijerarhijskim mrežama na čipu. U ostalim mrežnim topologijama (kao što je torus), ovaj algoritam dovodi do lošeg balansa saobraćaja.

### 2.6.3 Adaptivni algoritmi za rutiranje

Adaptivno rutiranje za potrebe rutiranja paketa uzima u obzir trenutno opterećenje mreže na čipu. Kao mera opterećenja mreže obično se uzima nivo popunjenosti bafera u ruterima. U baferima se čuvaju paketi čiji je prenos privremeno obustavljen zbog nedostupnosti određenih resursa. Nivo popunjenosti bafera ukazuje na opterećenje rutera. Kako su baferi tipično pridruženi izlaznim portovima rutera, veći nivo popunjenosti bafera u ovom slučaju ukazuje na veći nivo opterećenosti odgovarajućeg linka. Da bi se obezbedila informacija o stanju mreže, algoritam za rutiranje „tesno“ saraduje sa implementiranim mehanizmom za kontrolu toka podataka, što se znatno razlikuje od determinističkog i nesvesnog algoritma za rutiranje koji su ortogonalni na primenjenu tehniku za kontrolu toka podataka.

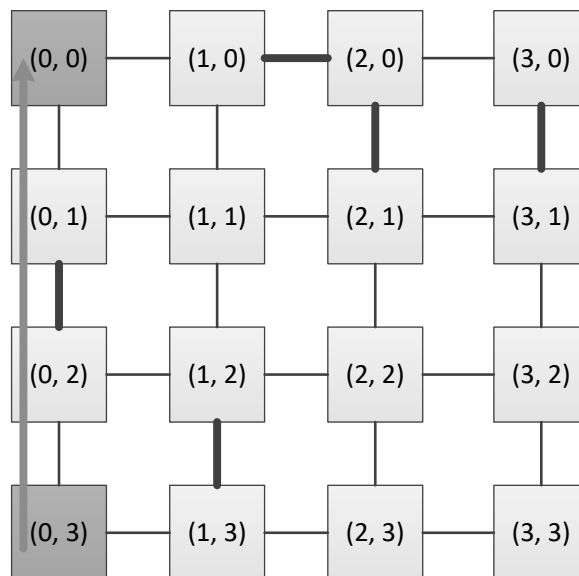
*Minimalno adaptivno rutiranje* je varijanta adaptivnog rutiranja koja rutira paket kroz mrežu tako da bira jednu od najkraćih putanja između izvora i odredišta uzimajući pri tom u obzir informaciju o stanju mreže. Za svaki paket ruter generiše vektor produktivnosti koji pokazuje koji od portova rutera su produktivni za dati paket. Port je produktivan ukoliko trasira paket najkraćom putanjom do odredišta. U slučaju mrežne topologije 2D rešetka, paket može da poseduje najviše dva produktivna porta (poravnanje po  $x$  – i  $y$  – koordinati). Iz skupa produktivnih portova, bira se onaj koji je trenutno najmanje opterećen. Sužavanjem izbora na produktivne portove obezbeđuje da će paket biti prenet do odredišta minimalnom rutom, dok izbor najmanje opterećenog porta doprinosi ravnomernoj raspodeli saobraćaja u mreži.



Sl. 2-17 Minimalno adaptivno rutiranje

Na Sl. 2-17 je prikazan primer minimalnog adaptivnog rutiranja paketa od izvora (0,2) do odredišta (1,0). Opterećeni linkovi su označeni podebljanim linijama. U tački izvora za paket postoje dva produktivna porta (prema ruteru (0,1) i prema ruteru (1,2)). Kako je link ka ruteru (0,1) opterećeniji od linka ka ruteru (1,2), bira se produktivni port povezan na link (1,2).

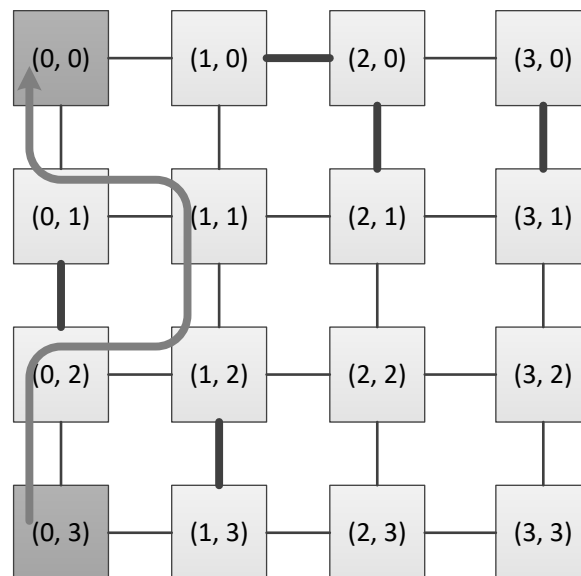
Minimalno adaptivno rutiranje daje dobre rezultate kada u mreži preovladava lokalni saobraćaj, međutim performanse pri uslovima saobraćaja visokog intenziteta se značajno degradiraju. Insistiranje na minimalnim putanjama može dodatno pogoršati stanje u mreži, što je predstavljeno na Sl. 2-18.



Sl. 2-18 Nedostatak minimalnog adaptivnog rutiranja

Izvor (0, 3) šalje paket na odredište (0, 0). U tom slučaju paket ima samo jedan produktivni port pa će biti prosleđen ruterima (0, 2) i (0, 1). Međutim, na putu između izvora i odredišta, paket će naići na preopterećen link koji spaja rutere (0, 2) i (0, 1). Bez obzira na to, zbog odabira minimalnih putanja paket će biti preusmeren na taj link.

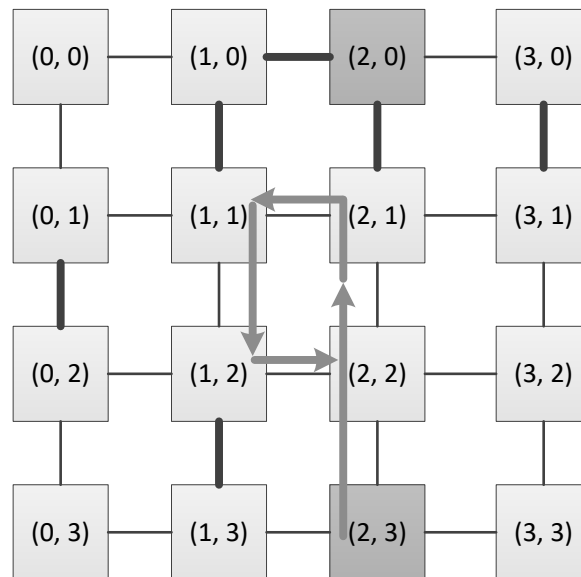
*Potpuno adaptivno rutiranje* pruža dodatnu fleksibilnost u odnosu na minimalno adaptivno rutiranje na taj način što izbegava opterećene linkove i po cenu odabira ruta dužih od minimalnih. Kao i kod minimalnog adaptivnog rutiranja, potpuno adaptivno rutiranje daje prioritet minimalnim linkovima (linkovima na najkraćoj putanji do odredišta), ali samo ukoliko je njihovo opterećenje manje od specifične vrednosti koja se naziva prag zagušenja. Ukoliko je opterećenje linka veće od praga zagušenja, smatra se da je link zagušen i bira se alternativni link bez obzira na to što udaljava paket od svog odredišta.



Sl. 2-19 Potpuno adaptivno rutiranje

Na Sl. 2-19 je prikazan primer potpunog adaptivnog rutiranja. Ruter (0, 3) poseduje paket namenjen odredištu (0, 0). S obzirom na poziciju rutera (0, 3) paket ima samo jedan produktivni port. Iz tog razloga paket se usmerava na port koji ga preko odgovarajućeg linka dovodi do rutera (0, 2). Kako je link koji spaja rutere (0, 2) i (0, 1) preopterećen (vrednost opterećenja je iznad praga zagušenja), u ruteru (0, 2) paket se usmerava na neproduktivni port koji paket dovodi do rutera (1, 2). Iz rutera (1, 2) se zatim paket doprema do rutera (1, 1), pa do rutera (0, 1), i konačno do svog odredišta – rutera (0, 0). Na ovaj način se zaobilazi preopterećeni link na minimalnoj putanji paketa što doprinosi boljem balansiranju saobraćaja u mreži. Potpuno adaptivno rutiranje se obično primenjuje u kombinaciji sa

mehanizmom za zaštitu od vraćanja paketa natrag prethodnom ruteru u situaciji kada je minimalni link preopterećen, što je potencijalni uzrok dinamičke blokade.



Sl. 2-20 Potpuno adaptivno rutiranje – dinamička blokada

Potpuno adaptivno rutiranje je podložno stvaranju uzajamne blokade, što stvara potrebu za implementaciju odgovarajućeg zaštitnog mehanizma. Na Sl. 2-20 je prikazana pojava dinamičke blokade u mreži koji implementira potpuno adaptivno rutiranje. Ruter (2,3) poseduje paket namenjen odredišnom ruteru (2,0). Paket poseduje samo jedan produktivni port koji ga usmerava minimalom putanjom preko rutera (2,2) i (2,1) do odredišta. Međutim, link koji povezuje rutere (2,1) i (2,0) je preopterećen pa se paket iz rutera (2,1) preusmerava na ruter (1,1). U normalnim uslovima, paket bi se iz rutera (1,1) dopremio u ruter (1,0), a zatim i do svog odredišta, ali link koji povezuje rutere (1,1) i (1,0) je preopterećen pa se paket prosleđuje ruteru (1,2), a potom ruteru (2,2). Na taj način se stvara petlja gde paket ostaje zarobljen u mreži bez napredovanja ka svome odredištu.

Teorijski gledano, adaptivni algoritam za rutiranje bi trebalo da prevaziđe performanse ovih algoritama jer u procesu rutiranja uzima u obzir i stanje mreže. Međutim, u praksi adaptivno rutiranje daje loše performanse pod uslovima velikog opterećenja. Razlog tome je činjenica da se adaptivno rutiranje zapravo oslanja na stanje lokalnog dela mreže, tj. okolnih rutera. Da bi se informacija o zagušenju nekog dela mreže prenela do tačke gde se donosi odluka o izboru putanje paketa, potrebno je da se svi baferi između ove dve tačke napune. Takođe, kada informacija o zagušenju nekog dela mreže bude dostupna ruteru koji treba da donese odluku o izboru rute paketa, ona predstavlja stanje mreže u prošlosti, pre više



ciklusa. Stanje mreže u trenutku donošenja odluke može se znatno razlikovati od stanja koju trenutna informacija nosi. Drugim rečima, ruter donosi odluku na osnovu stanja mreže koje više nije aktuelno. Ovo za posledicu ima znatnu degradaciju performansi. Problem se može ublažiti primenom tehnike za kontrolu toka podataka koje pružaju pouzdanu i brzu povratnu informaciju o stanju. Tok povratne informacije je suprotan toku paketa kroz mrežu. Imajući u vidu da se informacija o stanju delu mreže prostire do određenog rutera tek onda kada se svi usputni baferi napune, adaptivno rutiranje daje bolje rezultate za tehnike kontrole toka podataka koje implementiraju bafere malog kapaciteta.

## 2.7 Deflekciono rutiranje

Današnja VLSI tehnologija se susreće sa brojnim zahtevima koji utiču na tok njenog daljeg razvoja. U domenu mreža na čipu, imperativi kao što su projektovanje sistema niske potrošnje (engl. *Low-Power Design*) i ekonomska isplativost koja se ostvaruje smanjenjem površine na čipu, izdvojili su se kao glavni koji usmeravaju istraživanje u ovoj oblasti. Tradicionalne mreže na čipu, kao što je WH sa virtuelnim kanalima, koje u svojoj strukturi implementiraju bafere relativno velikog kapaciteta, ostvaruju visoke performanse, što ih čini pogodnim za primenu u aplikacijama koji ispoljavaju intenzivan saobraćaj. Međutim, za ovaj tip mreže na čipu vremenom se smanjilo interesovanje, pre svega zato što nije u skladu sa pomenutim imperativima savremene VLSI tehnologije. Naime, implementacija bafera velikog kapaciteta značajno povećava potrošnju električne energije koja je u oblasti sistema niske potrošnje neprihvatljiva [76][77]. Takođe, baferi zauzimaju veliku površinu na čipu, čime neposredno utiču na povećanje cene krajnjeg proizvoda. Sve ovo je stvorilo snažnu motivaciju za istraživanje alternativnih, efikasnijih rešenja kojima bi se omogućila praktična primena mreže na čipu. Kao posledica istraživanja, nastao je koncept deflekcioni mreža na čipu, čiji je osnovni gradivni element deflekcioni ruter bez bafera.

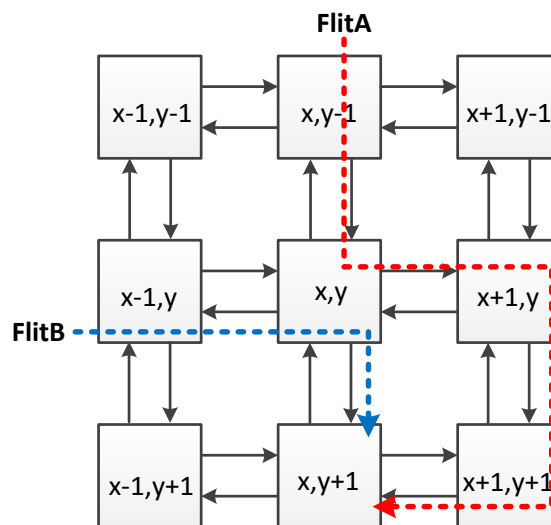
Ključna osobina deflekcioni rutera bez bafera je to što su baferi u potpunosti eliminisani iz interne strukture rutera. Opravdanje za eliminisanje bafera leži u činjenici da se u WH mreži sa virtuelnim kanalima pri izvršavanju aplikacija koje ostvaruju saobraćaj niskog intenziteta, u 90% slučajeva zauzme manje od 25% kapaciteta bafera [45]. Eliminacija bafera za sobom povlači činjenicu da se flitovi ne mogu zadržati u ruteru, već svi flitovi pristigli u datom ciklusu moraju da napuste ruter u narednom ciklusu. Kako bi se to ostvarilo, ovaj tip rutera koristi tzv. deflekciono rutiranje [78]. Deflekciono rutiranje se izdvaja po tome što u

svakom ciklusu mora da obezbedi usmeravanje pristiglih flitova sa ulaznih portova rutera na odgovarajuće izlazne portove do početka narednog ciklusa. Iz tog razloga, deflekciono rutiranje se suočava sa novim, kompleksnim problemom kao što je nadmetanje flitova oko izlaznih portova. Naime, u situaciji kada dva ili više flita traže izlaz na isti izlazni port rutera, nastaje konflikt koji se u deflekcionom rutiranju razrešava tako što se jedan od flitova usmeri na željeni izlazni port, a ostali flitovi se raspoređuju na preostale slobodne izlazne portove rutera. Za flitove koji su raspoređeni na neodgovarajuće (neželjene) portove kaže se da su deflektovani (preusmereni). Iz tog razloga se i ovaj tip rutiranja naziva deflekciono rutiranje.

### 2.7.1 Deflekciono rutiranje u topologiji 2D rešetke

Uzimajući u obzir da su baferi za skladištenje flitova u ruteru eliminisani, deflekciono rutiranje je jedino primenjivo u mrežama na čipu koje se sastoje od rutera sa jednakim brojem ulaznih i izlaznih portova, kako bi svi flitovi pristigli u tekućem ciklusu mogli da napuste ruter u narednom ciklusu. Mrežna topologija koja odgovara ovom kriterijumu i koja se najčešće primenjuje, usled svoje jednostavnosti, je topologija 2D rešetke (Sl. 2-9). U topologiji 2D rešetke, svaki ruter je linkovima povezan sa četiri susedna rutera, tako da svaki ruter poseduje četiri ulazna i četiri izlazna porta. Pored ulaznih i izlaznih portova ruteri poseduju još i lokalni port kojim pridruženo IP jezgro razmenjuje flitove sa ostalim IP jezgrima u mreži. Ubacivanje flitova u mrežu od strane lokalnog IP jezgra se vrši postavljanjem flitova na poziciju ulaznog porta koji u datom ciklusu nije primio flit od susednog rutera. Iz tog razloga, lokalno IP jezgro može ubacivati flitove u mrežu jedino u situaciji kada ima slobodnih ulaznih portova. Ovakva politika ubacivanja novih flitova u mrežu za posledicu ima pojavu koja se naziva samoregulacija intenziteta saobraćaja (engl. *Self Throtling*), a koja se odnosi na to da se stopa ubacivanja flitova u mrežu automatski prilagođava opterećenju mreže [15]. Naime, pri intenzivnom saobraćaju se retko javlja situacija u kojoj je neki od ulaznih portova rutera slobodan, što predstavlja neophodan uslov da bi se novi flit ubacio u mrežu. U tom slučaju stopa ubacivanja flitova u mrežu će se smanjiti čime se mreža rasterećuje. Takođe, pri niskom intenzitetu saobraćaja često će se javljati situacija u kojoj je bar jedan od ulaznih portova slobodan, tako da se stopa ubacivanja flitova u mrežu može intenzivirati. Pri intenzivnom saobraćaju ne dolazi do nagomilavanja flitova u mreži, već se flitovi gomilaju u izlaznim baferima IP jezgara.

Isti broj ulaznih i izlaznih portova obezbeđuje da će svi pristigli flitovi u tekućem ciklusu napustiti ruter u narednom ciklusu, ali ne garantuje da će svi flitovi biti usmereni na „željene“ izlazne portove. Za svaki pristigli flit, na osnovu odredišne adrese, izlazni portovi tekućeg rutera se svrstavaju u dve kategorije: produktivni i neproduktivni port. Za izlazni port rutera koji dati flit trasira tako da se flit u narednom ciklusu približi svome odredištu, kaže se da je *produktivan port*. U suprotnom, za izlazni port rutera koji dati flit trasira tako da se flit u narednom ciklusu udalji od svog odredišta, kaže se da je *neproduktivan port*. Svaki flit u mreži sa topologijom 2D rešetke može da ne poseduje produktivne portove ili da poseduje 1 ili 2 produktivna porta. Flit koji ne poseduje produktivne portove je lokalni flit, tj. flit adresiran na IP jezgro povezano na ruter u kome se trenutno nalazi. Kako bi svako usmeravanje na izlazni port rutera udaljilo ovaj flit od odredišta, tj. rutera u kome se trenutno nalazi, on ne poseduje produktivne portove. Flit koji poseduje jedan produktivni port je u liniji sa odredištem po jednoj od osa tako da mu je ostao da se približi odredištu po drugoj osi. Flit koji poseduje dva produktivna porta može biti prosleđen na bilo koji od njih, jer i jedan i drugi približavaju flit njegovom odredištu, s tim što jedan produktivni port približava flit odredištu po  $x$  –, a drugi po  $y$  – osi.



Sl. 2-21 Deflekciono rutiranje

Na Sl. 2-21 je prikazan primer deflekcionog rutiranja u mreži na čipu sa topologijom 2D rešetke. Treba primetiti da u ovom primeru ruteri poseduju generičke adrese, izražene preko  $x$  – i  $y$  – koordinata. Dva flita, *FlitA* i *FlitB* su adresirana na isto odredište – ruter sa adresom  $(x, y + 1)$ . Oba flita u određenom trenutku dolaze do rutera sa adresom  $(x, y)$ . Kako je to poslednji usputni ruter, flitovi imaju isti produktivni port koji ih direktno dovodi do

odredišta. U toj situaciji samo jedan od flitova (u konkretnom slučaju *FlitB*) može biti raspoređen na produktivni port, dok se drugi flit (*FlitA*) deflektuje i alternativnom putanjom dolazi do odredišta.

Eliminisanje bafera iz deflekcionog rutera pruža brojne prednosti. Na prvom mestu, potrošnja energije mreže na čipu zasnovana na deflekcionim ruterima je značajno smanjena. Prema istraživanju sprovedenom na MIT RAW multiprocesorskoj platformi, baferi odnose preko 35% ukupne potrošnje energije [70], dok na Intel SoC platformi sa 48 jezgara baferi troše 10% energije [75]. Takođe, sa ruterima bez bafera ostvaruje se znatna ušteda površine na silicijumu čime se smanjuje i cena krajnjeg proizvoda.

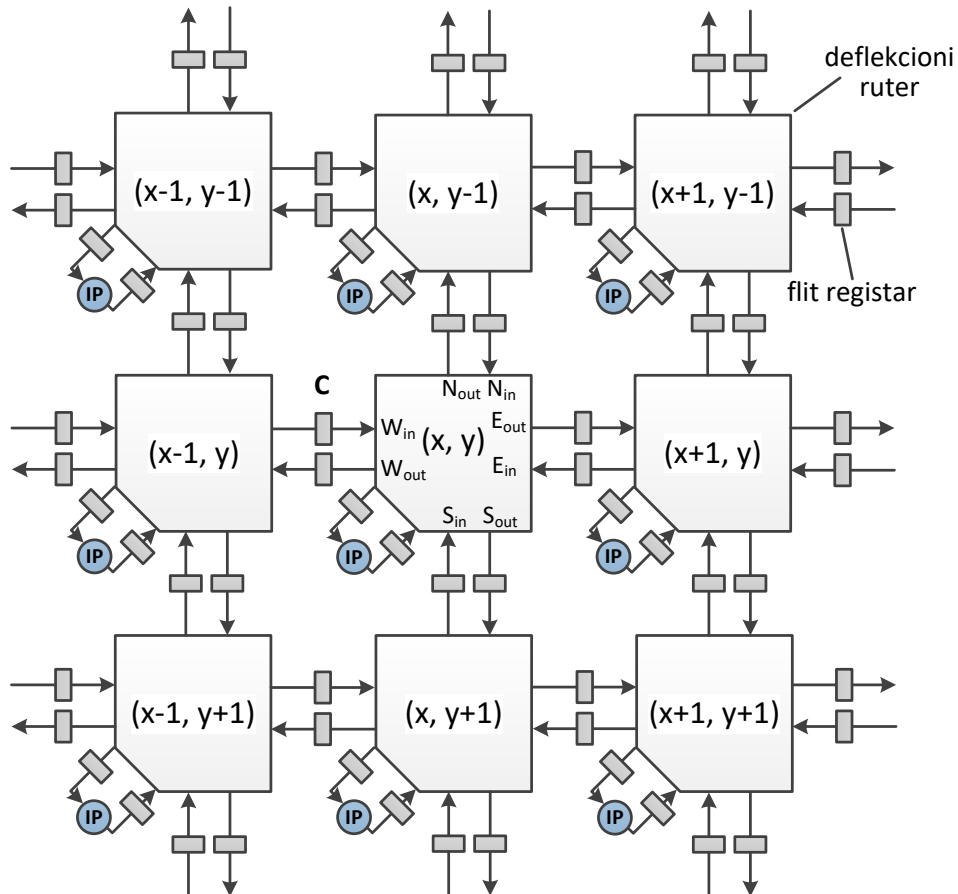
Eliminacija bafera iz rutera, sa druge strane ima za posledicu degradaciju komunikacionih performansi pri intenzivnom saobraćaju. U opštem slučaju se mogu izdvojiti tri glavna nedostatka deflekcioni mreža na čipu: a) neefikasno iskorišćenje linkova, b) pristizanje flitova na odredište izvan redosleda, i c) otežano ostvarivanje zahtevanog nivoa kvaliteta usluge – QoS (engl. *Quality of Service*) u pogledu garantovane propusnosti i latencije. Neefikasno iskorišćenje linkova nastaje kao posledica dužeg zadržavanja flitova u mreži. Naime, povećanjem obima saobraćaja povećava se stopa deflekcija čime se produžava vreme potrebno da flit stigne od izvora do svog odredišta. Dužim boravkom u mreži flit nepotrebno zauzima resurse mreže, ujedno povećavajući potrošnju energije koja pri intenzivnom saobraćaju može da premaši potrošnju energije mreža na čipu sa baferima. Takođe, u uslovima saobraćaja velikog intenziteta, vreme transporta flita može da varira u širokom rasponu, što otežava ostvarivanje zahteva u pogledu garantovane latencije. Iz tog razloga deflekcione mreže na čipu su primenjive pri niskom i srednjem intenzitetu saobraćaja. Deflekciono rutiranje ne garantuje da svi flitovi jednog paketa imaju istu putanju od izvora do odredišta pa flitovi ne stižu na odredište po redosledu kako su poslani. Kako bi se ovaj problem prevazišao, na odredištu je potrebno implementirati bafer za asembliranje paketa, što delimično poništava prednosti deflekcioni mreža. Međutim, i pored navedenih nedostataka, deflekcionoj mreži na čipu je posvećena velika pažnja, tako da je stvoreno nekoliko novih rešenja gde svako nudi svojstvenu meru kompromisa između hardverske složenosti sa jedne, i performansi sa druge strane [47][48][49].

## 3. ARHITEKTURA DEFLEKCIONOG RUTERA

U ovom poglavlju su predstavljene osnovne varijante deflekcioih rutera koji se koriste kao polazna osnova za rešenja predložena u ovoj disertaciji. To obuhvata deflekcione rutere bez bafera, kao i deflekcione rutere sa minimalnim baferovanjem.

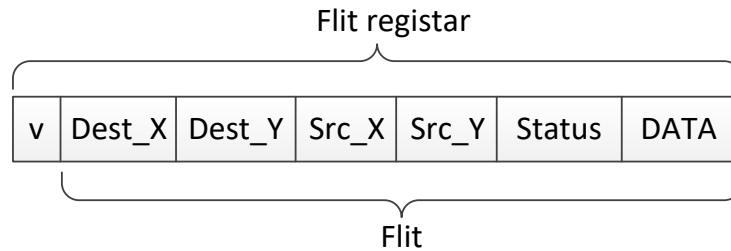
### 3.1 Arhitektura deflekcione mreže na čipu

Na Sl. 3-1 je prikazan segment mreže na čipu sa topologijom 2D rešetke koja implementira deflekciono rutiranje. Svaki ruter poseduje četiri ulazna i četiri izlazna porta (N – *North*, E – *East*, S – *South*, W – *West*) kojima se preko bidirekcionih linkova spreže sa susednim ruterima u mreži. Takođe, ruter dodatno poseduje i bidirekcionu port za spregu sa lokalnim IP jezgrom (IP port). Sa stanovišta arhitekture, ruter predstavlja kombinacionu strukturu. Za smeštanje flitova se koriste *flit-registri* koji su postavljeni na linkovima između rutera. Svi flit-registri se taktuju zajedničkim sistemskim taktim signalom čija perioda određuje trajanje *mrežnog ciklusa*. Prenos flitova kroz mrežu iz ciklusa u ciklus se ostvaruje premeštanjem flitova između flit-registara pod kontrolom rutera koji deluje kao komutacioni blok koji u svakom ciklusu otvara putanje za prenos flitova iz skupa ulaznih u skup izlaznih flit-registara. Flitovi se prenose u paralelnom obliku tako da je dužina flit-registra jednaka dužini flita.



Sl. 3-1 Arhitektura deflekcione mreže

Na Sl. 3-2 je prikazan format flita. U opštem slučaju, flit se sastoji od tri polja: adresa odredišnog rutera (*Dest*), izvorna adresa (*Src*) i podaci (*DATA*). Kako adresu rutera čine  $x$  – i  $y$  – koordinate rutera u mreži, odredišna i izvorna adresa se sastoje od dve komponente ( $Dest_X$ ,  $Dest_Y$ ) i ( $Src_X$ ,  $Src_Y$ ). Dužina adresnih polja zavisi od dimenzija konkretne mreže. U svakom mrežnom ciklusu ruter vrši operacije rutiranja i dodele izlaznih portova nad flitovima koji se tekuće nalaze na ulaznim portovima datog rutera. Da bi ruter bio u mogućnosti da pravi razliku između novopristiglih flitova i proizvoljne vrednosti na ulaznom portu (ukoliko na izlaznom portu rutera sa kojim je u vezi nije raspoređen flit), flit-registar je proširen statusnim bitom  $v$  koji ukazuje na validnost. Bit  $v$  je setovan ukoliko flit-registar sadrži flit. Polje *DATA* nosi korisne podatke koji se razmenjuju između izvornog i odredišnog IP jezgra. Tipične dužine polja *DATA* iznose 32, 64, 128, 256 i 512 bita. Pored osnovnih polja, u zavisnosti od konkretne implementacije, flit može opciono da sadrži i višebitno polje za dodatne statusne informacije (*Status*) koje se tiču rutiranja i starosti flita u mreži.

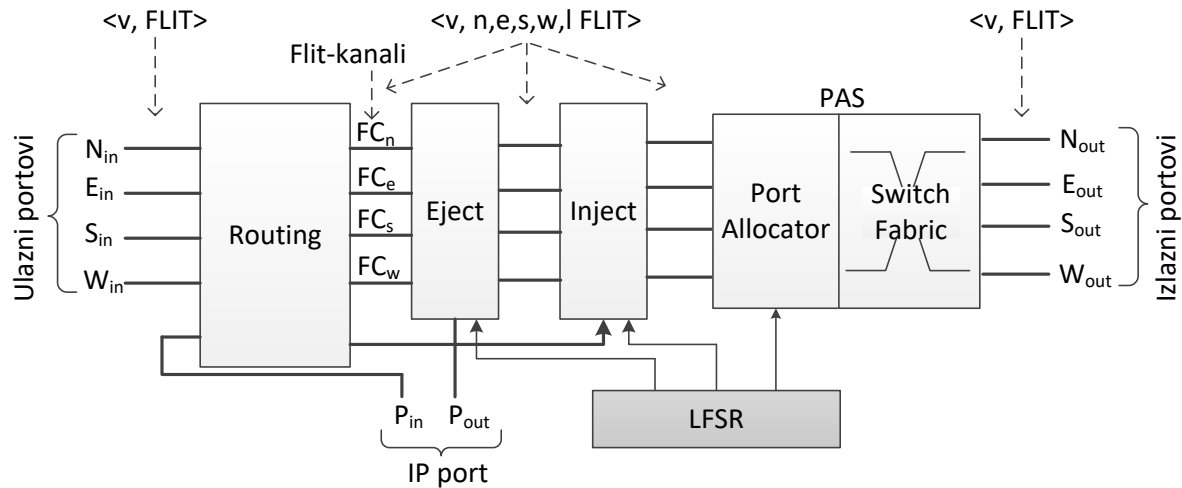


Sl. 3-2 Format flita

U zavisnosti od toga da li poseduju mogućnost privremenog skladištenja flitova, mogu se identifikovati dve varijante deflekcioni ruter: deflekcioni ruteri bez bafera i deflekcioni ruteri sa minimalnim baferovanjem. Kao što i sam naziv ukazuje, deflekcioni ruteri bez bafera ne pružaju mogućnost privremenog zadržavanja flitova u ruteru, već svi flitovi tekućeg ciklusa moraju da napuste ruter u sledećem mrežnom ciklusu. Za razliku od njih, deflekcioni ruteri sa minimalnim baferovanjem implementiraju bafer malog kapaciteta u koji se tipično može smestiti jedan flit i sačuvati za naredni mrežni ciklus. Nezavisno od varijante ruter (sa ili bez minimalnog baferovanja), globalna organizacija mreže na čipu kao i format flitova su isti. Naredne sekcije ovog poglavlja su posvećene deflekcionim ruterima bez bafera i deflekcionim ruterima sa minimalnim baferovanjem. Takođe, predstavljene su osnovne varijante ruteri koje su usvojene kao polazna osnova za nova rešenja predložena u ovoj disertaciji.

## 3.2 Deflekcioni ruter bez bafera

Na Sl. 3-3 je prikazana unutrašnja struktura deflekcionog ruteri bez bafera. Deflekcioni ruter bez bafera se u opštem slučaju sastoji od četiri osnovna funkcionalna bloka: 1) blok za rutiranje (*Routing*); 2) blok za izbacivanje flita iz mreže (*Eject*); 3) blok za ubacivanje flita u mrežu od strane lokalnog IP jezgra (*Inject*); i 4) blok za alokaciju i usmeravanje flitova na izlazne portove (PAS – *Port Allocation and Switching*). Blokovi su međusobno povezani flit-kanalima ( $FC_n, FC_e, FC_s, FC_w$ ) koji pored tela flita prenose još i šest statusnih bitova pridruženih svakom flitu u bloku *Routing* ( $v, n, e, s, w, l$ ). Pored osnovnih blokova, arhitekturu ruteri čini i pomerački registar sa linearnom povratnom spregom (LFSR - *Linear Feedback Shift Register*) koji ima ulogu generatora pseudoslučajnih brojeva. LFSR se kao i flit-registri taktuje sistemskim taktom. Bitovi generisanog pseudoslučajnog binarnog broja se koriste u blokovima u kojima je potrebno doneti odluku slučajnog karaktera.



Sl. 3-3 Struktura deflekcionog rutera bez bafera

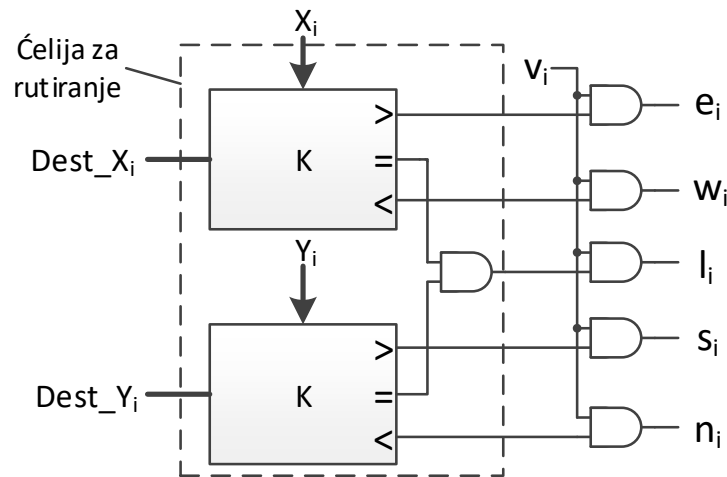
### 3.2.1 Blok za rutiranje

Blok za rutiranje u svakom mrežnom ciklusu određuje produktivne izlazne portove za sve flitove na ulaznim portovima rutera. Određivanje produktivnih portova se vrši na osnovu rezultata poređenja odredišne adrese flita i lokalne adrese rutera. Na Sl. 3-4 je prikazana struktura ćelije za rutiranje pridružena jednom od ulaznih portova rutera. Blok *Routing* obuhvata 5 takvih ćelija. Ćelija poseduje po dva ulaza, za lokalnu adresu rutera ( $X_i, Y_i$ ) i odredišnu adresu ( $Dest\_X_i, Dest\_Y_i$ ). Indeks ukazuje na port, tj.  $i \in \{N, S, E, W, P\}$ , gde  $P$  označava port ka lokalnom IP jezgru. Strukturu ćelije čine dva komparatora magnitude za nezavisno poređenje  $X$  i  $Y$  komponentata lokalne adrese rutera i odredišne adrese flita.

Fizički gledano, u okviru bloka za rutiranje se svaki flit proširuje sa još pet statusnih bitova ( $n, e, s, w, l$ ) koji služe kao indikacija produktivnosti portova, a koji će biti potrebni u PAS bloku u procesu alokacije portova. Kako  $X$  – komponenta adrese raste krećući se sleva udesno u mreži, flit će imati produktivni port prema istoku ( $E$ ) ukoliko je  $Dest\_X_i > X_i$ . U tom slučaju se setuje statusni bit  $e_i$ . U suprotnom, za  $Dest\_X_i < X_i$ , flit će imati produktivni port prema zapadu ( $W$ ), pa se setuje statusni bit  $w_i$ . Slično, uzimajući u obzir da se  $Y$  – komponenta adrese povećava krećući se odozgo naniže u mreži, flit će imati produktivni port prema jugu ( $S$ ) ukoliko je  $Dest\_Y_i > Y_i$ , što se indikuje setovanjem statusnog bita  $s_i$ . Za  $Dest\_Y_i < Y_i$ , flit će imati produktivni port prema severu ( $N$ ), i setuje se statusni bit  $n_i$ . Na kraju, ukoliko su odredišna adresa flita i lokalne adrese rutera iste, tj.  $Dest\_X_i = X_i$  i  $Dest\_Y_i = Y_i$  flit je upućen lokalnom IP jezgru (setuje se statusni bit  $l_i$ ). Za takav flit se kaže



da je *lokalno adresiran*. Ukoliko na ulaznom portu nije prisutan flit ( $v_i = 0$ ), svih pet statusnih bitova se postavljaju na 0.

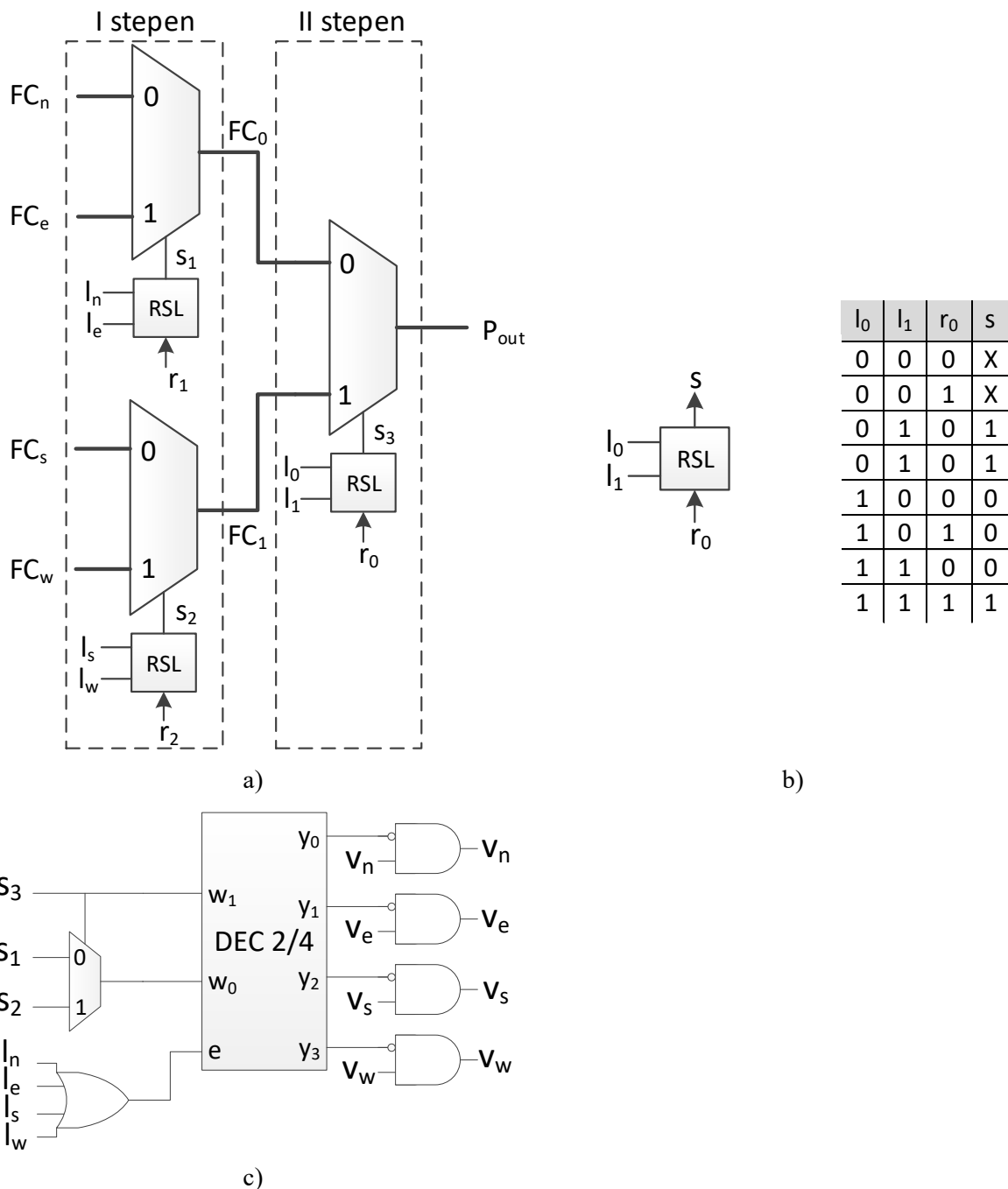


Sl. 3-4 Struktura ćelije za rutiranje

### 3.2.2 Blok za izbacivanje flita

Blok za izbacivanje flita iz mreže (*Eject*) izdvaja jedan od lokalno adresiranih flitova i upućuje ga na IP port. Kao što je rečeno, lokalno adresirani flit ne poseduje produktivne portove (flit je već u svom odredišnom ruteru). Funkcionalnost bloka *Eject* dodatno usložnjava situacija kada se u ruteru nađe više lokalno adresiranih flitova. Ova situacija se rešava slučajnim izborom jednog od lokalno adresiranih flitova. Izabrani flit se prosleđuje IP jezgru, dok preostali lokalno adresirani flitovi nastavljaju kretanje kroz ruter i na kraju deflektuju. Na Sl. 3-5 a) je prikazana struktura bloka *Eject*. Blok *Eject* se sastoji od tri multipleksera i pridruženih logičkih jedinica za slučajni izbor flita (RSL) organizovanih u dva stepena. U prvom stepenu se sa četiri flit-kanala biraju dva flita za potencijalno izbacivanje iz mreže. U drugom stepenu se bira jedan od dva flita koji se izbacuje iz mreže i prosleđuje lokalnom IP jezgru. Na Sl. 3-5 b) je u vidu tabele istinitosti opisana funkcionalnost RSL jedinice. Na osnovu statusnih bitova ( $l_i$ ) koji ukazuju na to da li je flit lokalno adresiran ili ne, i bitova LFSR generatora ( $r_i$ ), RSL jedinica postavlja multiplekser u odgovarajuću konfiguraciju. Ukoliko na ulazima multipleksera nije prisutan lokalno adresirani flit, selekcionni signal  $s$  može imati proizvoljnu vrednost (X u tabeli). Kada je na ulazima multipleksera prisutan samo jedan lokalno adresirani flit, RSL postavlja multiplekser tako da se dati flit prosleđuje na izlaz. U slučaju da se na ulazima multipleksera nalaze dva lokalno adresirana flita, na izlaz multipleksera se prosleđuje flit izabran na osnovu slučajno generisanog bita  $r_i$ . Flit koji je izabran za izbacivanje napušta ruter kroz port  $P_{out}$  prema IP

jezgru, a odgovarajući flit-kanal se oslobađa postavljanjem bita  $v$  na 0. Anuliranje bita validnosti se obavlja blokom prikazanim na Sl. 3-5 c). Blok za anuliranje se sastoji od multipleksera 2/1, dekodera 2/4 i dodatnih logičkih kola. Ulazi bloka su selekcionni signali multipleksera za izbacivanje flitova ( $s_3, s_2, s_1$ ). Ako postoji bar jedan lokalno adresirani flit, a u zavisnosti od vrednosti selekcionnih signala, dekodera sa pridruženim multiplekserom setuje signal kojim se anulira odgovarajući bit validnosti.

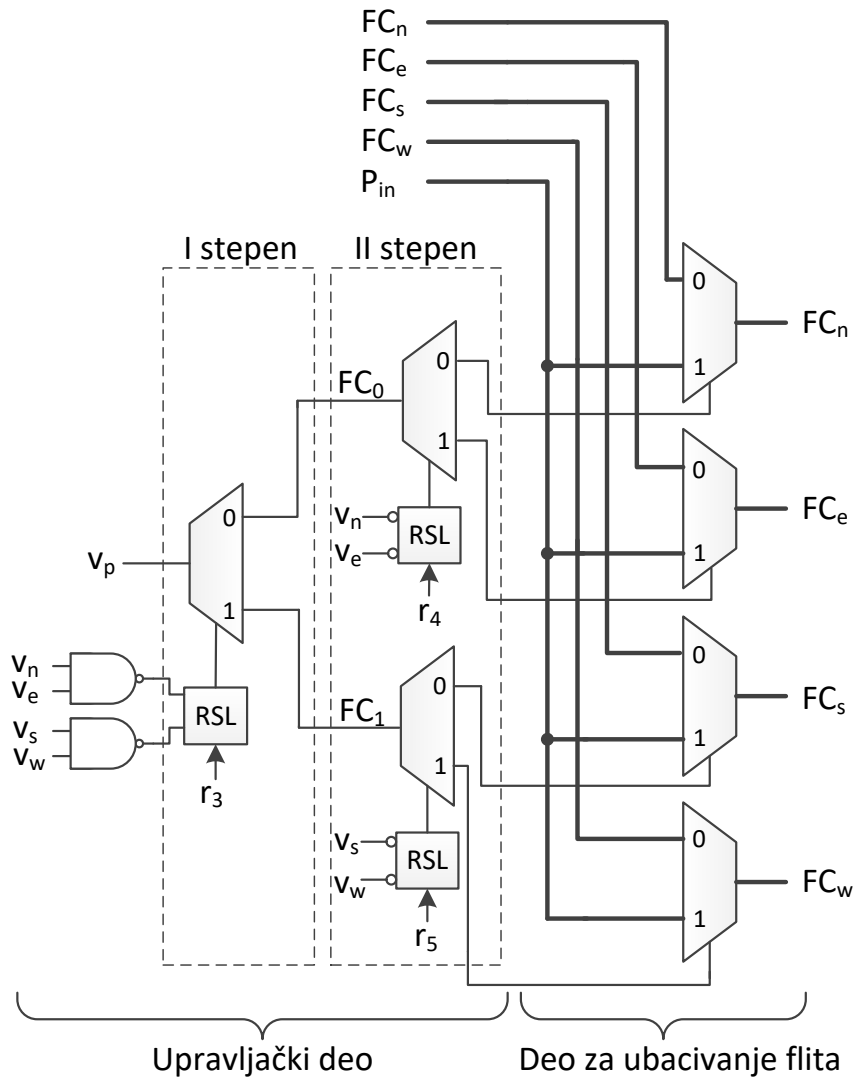


Sl. 3-5 Blok *Eject*: a) hardverska struktura, b) tabela istinitosti RSL bloka, c) blok za anuliranje bita validnosti

### 3.2.3 Blok za ubacivanje flita

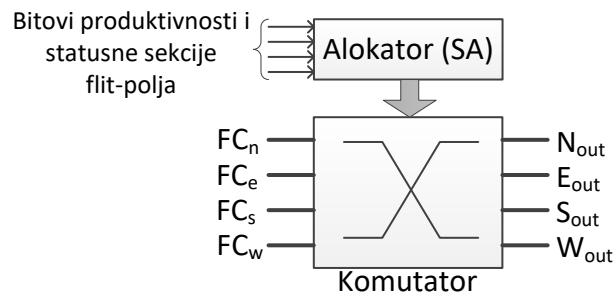
Blok za ubacivanje flita u mrežu (*Inject*) prihvata flit od strane lokalnog IP jezgra i prenosi ga na jedan od slobodnih flit-kanala, ukoliko takvi kanali postoje. Flit-kanal je slobodan ukoliko u tekućem ciklusu ruter nije primio flit preko odgovarajućeg ulaznog porta ili se na datom flit-kanalu nalazio lokalno adresirani flit koji je prosleđen IP jezgru. Blok *Inject* je po funkcionalnosti sličan bloku *Eject*, s tim što se njegova glavna problematika sastoji u odabiru jednog od slobodnih flit-kanala za ubacivanje lokalnog flita u ruter. Blok *Inject* čini deo za ubacivanje lokalnog flita u flit-kanal i upravljački deo (Sl. 3-6). Deo za ubacivanje lokalnog flita u flit-kanal se sastoji od četiri multipleksera 2/1. Na jednom od ulaza multipleksera prisutan je odgovarajući flit-kanal iz prethodnog stepena, dok je na drugom ulazu prisutan lokalni flit. U zavisnosti od konfiguracije koju postavlja upravljački deo, samo jedan od multipleksera ubacuje lokalni flit u odgovarajući flit-kanal dok se flitovi sa ostalih flit-kanala prosleđuju dalje kroz ruter.

Upravljački deo se sastoji od tri demultipleksera 1/2 i pridruženih RSL jedinica organizovanih u dva stepena (Sl. 3-6). Izbor flit-kanala za ubacivanje flita se vrši prosleđivanjem bita validnosti lokalnog flita ( $v_p$ ) na selekcionu ulaz jednog od multipleksera. U prvom stepenu se  $v_p$  usmerava ka jednom od dva para multipleksera za ubacivanje lokalnog flita, a u drugom ka jednom od dva multipleksera iz izabranog para. Prvi par multipleksera služi za ubacivanje lokalnog flita u flit-kanale  $FC_n$  i  $FC_e$ , a drugi par za ubacivanje lokalnog flita u flit-kanale  $FC_s$  i  $FC_w$ . Biranje para multipleksera se vrši postavljanjem odgovarajuće konfiguracije demultipleksera od strane RSL jedinice. U prvom stepenu RSL postavlja demultiplekser tako da se  $v_p$  prosleđuje na par multipleksera kod kojih je bar jedan flit-kanal slobodan. Indikaciju slobodnog flit-kanala pruža bit validnosti  $v_i$ . Ukoliko oba para sadrže bar jedan slobodan flit-kanal, RSL jedinica bira par za prosleđivanje na osnovu bita  $r_3$  iz LFSR generatora. U drugom stepenu, RSL postavlja demultiplekser tako da se  $v_p$  prosleđuje ka multipleksersu na kome je odgovarajući flit-kanal slobodan. Ukoliko su oba flit-kanala, kojima upravlja demultiplekser, slobodna, odabir se vrši na osnovu bita  $r_4$  ili  $r_5$ , u zavisnosti od odabranog para multipleksera.

Sl. 3-6 Struktura bloka *Inject*

### 3.2.4 Blok za alokaciju i usmeravanje flitova na izlazne portove

Od svih funkcionalnih jedinica u ruteru, blok za alokaciju i usmeravanje flitova na izlazne portove rutera (PAS) je najstroženiji. Uloga PAS bloka je da prenese flitove sa flit-kanala na odgovarajuće izlazne portove rutera. PAS obuhvata dva funkcionalna bloka: blok za komutaciju (*Switch Fabric*) i blok za alokaciju portova (SA – *Switch Allocator*), Sl. 3-7. Blok za komutaciju u osnovi predstavlja komutacionu mrežu koja implementira određeni skup permutacija kojim se flitovi sa flit-kanala mogu rasporediti na izlazne portove rutera. Blok za alokaciju portova vrši izbor permutacije na osnovu bitova produktivnosti i statusnih bitova flitova. U zavisnosti od broja podržanih permutacija, razlikuju se dve varijante PAS-a: potpuni i nepotpuni PAS.



Sl. 3-7 Opšta struktura PAS bloka

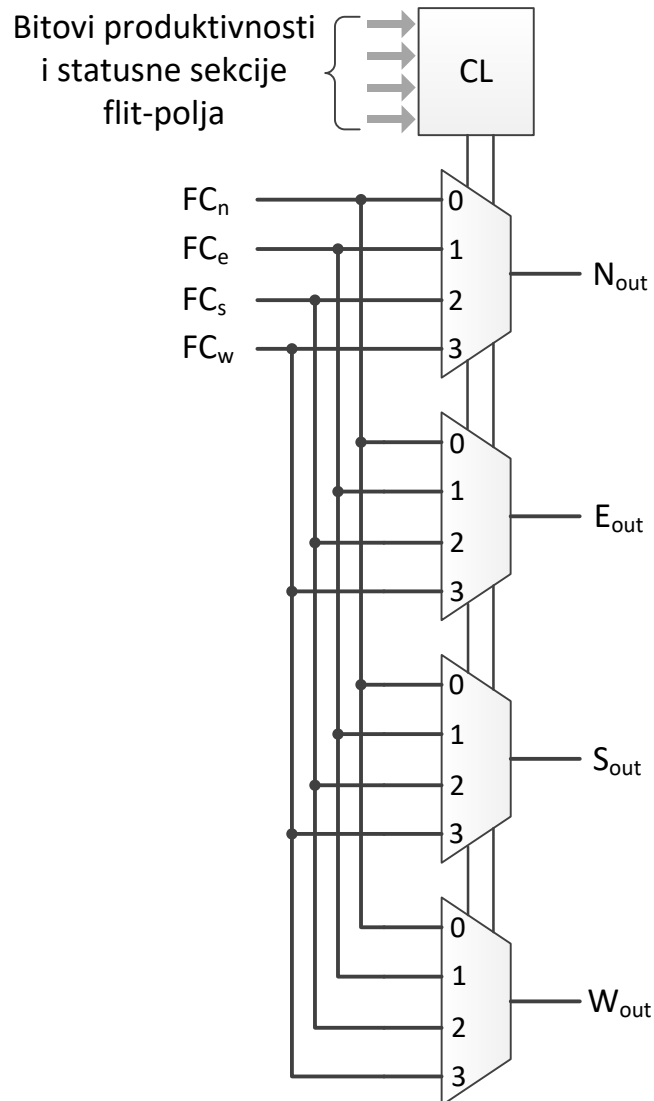
### 3.2.5 Potpuni PAS

Potpuni PAS omogućava proizvoljnu permutaciju flitova sa flit-kanala na izlazne portove rutera. S obzirom na to da ruter u mreži topologije 2D rešetke poseduje četiri flit-kanala ukupan broj permutacija iznosi  $4! = 24$ . Na Sl. 3-8 je prikazana struktura potpunog PAS-a. Blok za komutaciju čine četiri multipleksera 4/1, gde je svaki od njih pridružen jednom izlaznom portu rutera. Takođe, na ulazima sva četiri multipleksera su prisutni flitovi sa četiri flit-kanala što omogućava bilo koji raspored flitova na izlazne portove rutera.

Izbor permutacije se svodi na postavljanje određene konfiguracije multipleksera od strane bloka za alokaciju portova (SA). Ulazi SA su statusni bitovi ( $v, n, e, s, w$ ) i, opciono, statusne sekcije flita koje sadrže dodatne informacije o rutiranju i procesu alokacije portova. Blok SA vrši pridruživanje izlaznih portova flitovima, vodeći računa da je svaki izlazni port pridružen najviše jednom flitu. Treba istaći da alokacija zapravo predstavlja planiranje rasporeda flitova po izlaznim portovima, dok se fizički prenos flitova na izlazne portove obavlja u bloku za komutaciju flitova.

Alokacija portova ima značajan uticaj na komunikacione performanse deflekcione mreže na čipu. Način na koji se vrši dodela izlaznih portova utiče na putanju a time i na ukupno vreme koje flitovi provedu u mreži. Optimalni alokator bi bio onaj koji minimizuje broj deflektovanih flitova. Takav alokator bi trebalo da u svakom ciklusu mreže za svaku od 24 permutacija eksplicitno proračuna broj deflektovanih flitova i shodno tome izabere najbolju permutaciju. Međutim, ovakav alokator bi zahtevao kompleksni hardver, što bi bilo nepraktično. Alternativno rešenje predstavlja sekvencijalni alokator. Sekvencijalni alokator svakom flitu ponaosob dodeljuje jedan od preostalih izlaznih portova, uzimajući u obzir da, ukoliko je moguće, to bude produktivni port. Redosled alokacije portova uvodi prioritizaciju flitova, pri čemu će prvi izabrani flit sigurno biti prosleđen na produktivni izlazni port, jer su

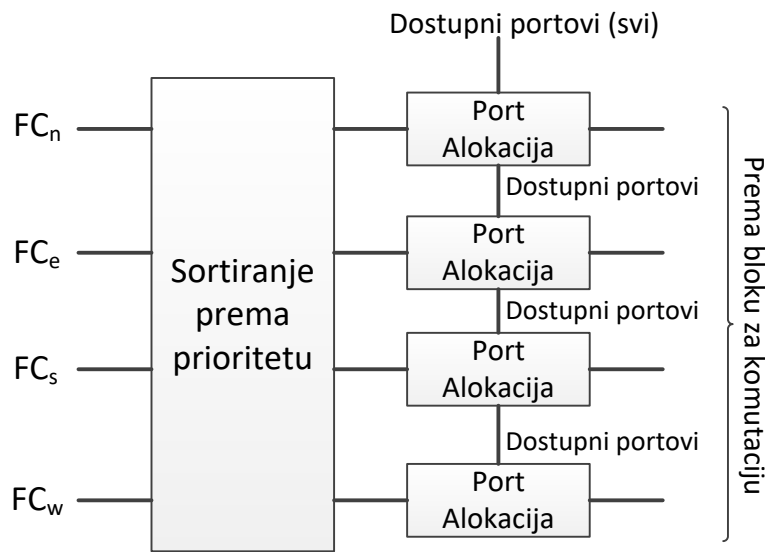
u tom trenutku svi izlazni portovi rutera dostupni. Iz tog razloga se može reći da je tom flitu dodeljen najviši prioritet u ruteru. Takođe, za svaki izabrani flit je veća verovatnoća da će mu biti dodeljen produktivni port u odnosu na izabrani flit u narednoj iteraciji alokacije.



Sl. 3-8 Struktura bloka za komutaciju flitova sa potpunim skupom permutacija

Na Sl. 3-9 je prikazan funkcionalni dijagram SA bloka sa sekvencijalnom alokacijom portova [46]. Najpre se skup flitova sa flit-kanala sortira prema prioritetu, a zatim se vrši alokacija portova počevši od flita sa najvišim prioritetom. Kao što se može uočiti, proces alokacije se odvija sekvencijalno. To znači da se u svakom koraku alokacije, datom flitu rezerviše jedan od preostalih, slobodnih izlaznih portova rutera. Drugim rečima, samo se za prvi flit (flit sa najvišim prioritetom) garantuje dodela produktivnog porta. Kao mera za sortiranje flitova po prioritetu po pravilu se uzima starost flita (vreme koje je flit proveo u

mreži). To zahteva proširenje flitova poljem za starost čiji se sadržaj inkrementira u svakom ruteru kroz koji flit prolazi.



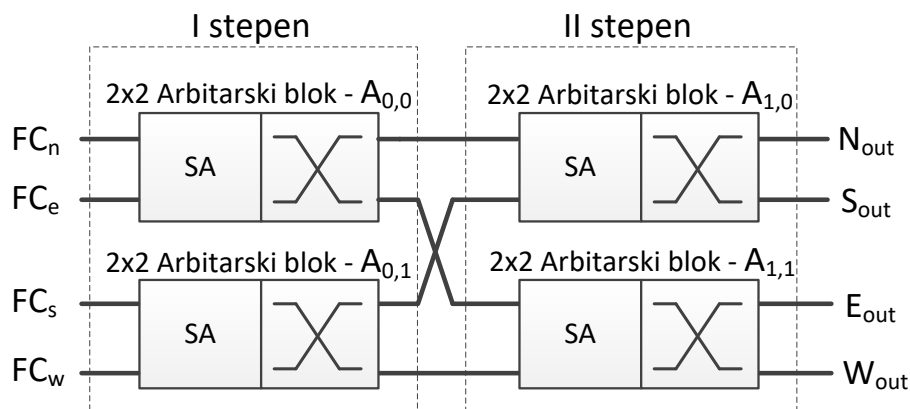
Sl. 3-9 Funkcionalni dijagram SA bloka potpunog PAS-a

Potpuni PAS, sa jedne strane pruža potencijal za postizanje viših performansi mreže na čipu, ali sa druge strane zahteva složeniji i obimniji hardver rutera. Uzimajući u obzir da su za realizaciju multipleksera 4/1 potrebna tri multipleksera 2/1, složenost bloka za komutaciju sa potpunim skupom permutacija iznosi 12 multipleksera 2/1. Hardver dodatno usložnjava sekvencijalni SA koji koristi prioritizaciju flitova zasnovanu na starosti. Takođe, sekvencijalna alokacija dovodi do pojave velikog propagacionog kašnjenja, što zahteva smanjenje frekvencije sistemskog takta, a time sporiji prenos flitova kroz mrežu. Tradicionalni deflekcioni ruter koji implementira potpuni PAS je BLESS [46]. BLESS je u literaturi usvojen kao bazični deflekcioni ruter sa sekvencijalnom dodelom portova.

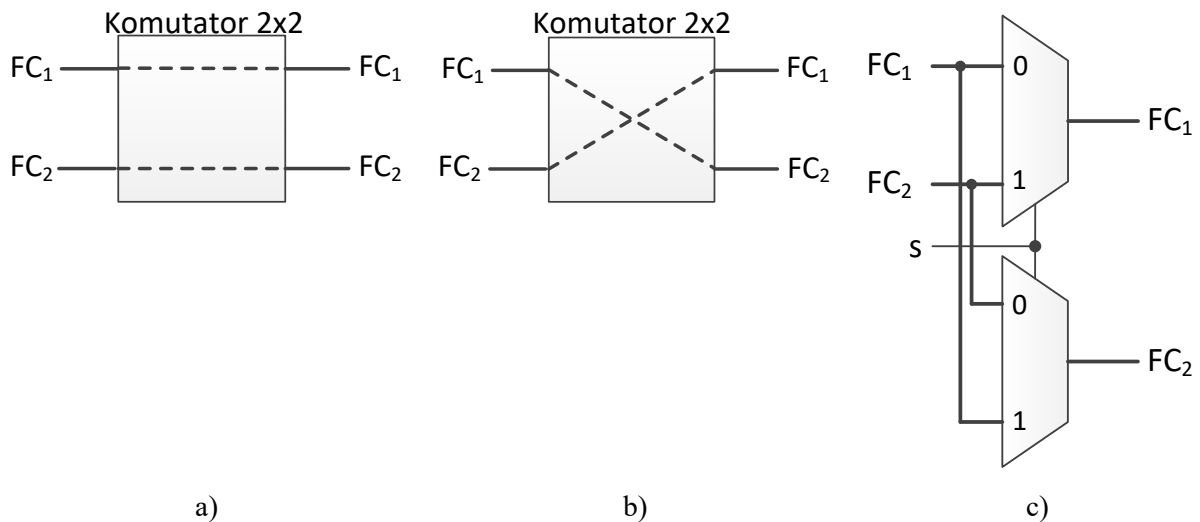
### 3.2.6 Delimični PAS

Za razliku od potpunog PAS-a, komutacioni blok delimičnog PAS-a realizuje redukovani skup permutacija sa flit-kanala na izlazne portove rutera. Delimični PAS implementira distribuiranu strukturu bloka za komutaciju i alokaciju portova koja se sastoji od četiri arbitarska bloka organizovana u dva stepena (Sl. 3-10). Svaki arbitarski blok se sastoji od malog SA pridruženog komutatoru 2x2. Za razliku od potpunog PAS-a gde se alokacija portova za sve flitove vrši na jednom mestu, kod delimičnog PAS-a svaki arbitar autonomno donosi odluku o usmeravanju flitova. Blok SA postavlja komutator u jednu od dve

konfiguracije – propuštanje flitova pravo (Sl. 3-11 a)) ili ukrštanje flitova (Sl. 3-11 b)), u zavisnosti od produktivnih portova ulaznih flitova. Arbitarski blokovi su povezani tako da se sa jednog arbitarskog bloka prvog stepena može proslediti samo jedan flit jednom arbitarskom bloku drugog stepena. Uzimajući u obzir sva četiri arbitarska bloka, delimični PAS podržava ukupno 16 permutacija flitova sa ulaznih flit-kanala na izlazne portove rutera. Međutim, i pored smanjenog broja permutacija, delimični PAS obezbeđuje da se flit sa bilo kog flit-kanala može usmeriti na bilo koji izlazni port rutera.



SI. 3-10 Struktura delimičnog PAS-a



SI. 3-11 Konfiguracije komutatora: a) pravo, b) ukrštanje, c) struktura komutatora

Prednost delimičnog nad potpunim PAS-om ležu u jednostavnijem hardveru, što se odražava na površinu koju zauzima na silicijumu i ukupnu cenu dizajna. Uzimajući u obzir da strukturu komutatora čine dva multipleksera 2/1 (Sl. 3-11 c)), ukupna složenost delimičnog PAS-a iznosi osam multipleksera 2/1. Sa druge strane, redukovani skup podržanih permutacija dovodi do izvesne degradacije performansi mreže.



Među deflekcionim ruterima u literaturi se kao bazični ruter koji implementira delimični PAS izdvojio CHIPPER [47]. CHIPPER dodatno pojednostavljuje mikroarhitekturu deflekcionog rutera uvođenjem pseudo-slučajnog izbora flita prema kome se postavlja konfiguracija arbitarskog bloka, u slučaju da su na ulazima arbitarskog bloka prisutna dva flita. Ukoliko je na arbitarskom bloku prisutan samo jedan flit, arbiter se postavlja u konfiguraciju prema tom flitu.

### 3.3 Deflekcioni ruter sa minimalnim baferovanjem

Osnovna prednost deflekcionih rutera leži u jednostavnosti. Zahvaljujući eliminaciji bafera iz arhitekture rutera, ostvarena je značajna ušteda kako površine silicijumskog čipa, tako i potrošnje energije. Istraživanja pokazuju da se 30 – 40% električne energije potroši za napajanje bafera u mreži na čipu sa WH arhitekturom [69][70]. Takođe, smanjenje površine silicijumskog čipa ujedno smanjuje i cenu proizvodnje [71], što deflekcione rutere čini primamljivim za praktičnu primenu. Sa druge strane, eliminacijom bafera ruter gubi mogućnost privremenog skladištenja flitova. Iz tog razloga svi flitovi pristigli u tekućem ciklusu mora da napuste ruter u narednom ciklusu. To povlači za sobom dve posledice. Prvo, deflekcioni ruter mora da poseduje jednak, ili veći broj izlaznih portova od ulaznih kako bi svi flitovi mogli da napuste ruter u sledećem ciklusu. Drugo, flit mora biti prosleđen na izlazni port bez obzira na to da li je taj port produktivan ili ne za dati flit. Povećanjem intenziteta saobraćaja raste verovatnoća da se flitu dodeli neproduktivan port. Drugim rečima povećava se stopa deflekcije flitova. Pri intenzivnom saobraćaju, performanse deflekcioog rutera bez bafera naglo opadaju. Naime, usled velike stope deflekcije produžava se vreme boravka flitova u mreži što dovodi do zagušenja mreže i povećanja potrošnje energije. Pod tim režimom rada, potrošnja energije deflekcione mreže na čipu može da premaši potrošnju mreže koja se sastoji od tradicionalnih rutera sa beferima. Zasićenje koje se kod ovih mreža javlja pri relativno niskom nivou intenziteta saobraćaja posledica je nemogućnosti mreže da prihvati nove flitove zbog ograničenog broja flit-registara. Stoga, deflekcione mreže na čipu zasnovane na deflekcionim ruterima bez bafera su pogodne za upotrebu u aplikacijama sa niskim ili umerenim intenzitetom saobraćaja.

Jedna od strategija za poboljšanje performansi deflekcionih mreža na čipu se sastoji u kombinovanju dobrih strana deflekcioih mreža i mreža sa baferima. U nastavku je dat pregled tri rešenja: *AFC*, *Flex-buffer* i deflekcioni ruter sa minimalnim baferovanjem.

### 3.3.1 AFC

*AFC (Adaptive Flow Control)* je osnovni deflekcioni ruter koji uvodi dva režima rada: nebaferovani i baferovani [72]. U nebaferovanom režimu rada, ruter se postavlja u konfiguraciju standardnog deflektionog rutera bez bafera, pri čemu se baferi isključuju sa napajanja. Nebaferovani režim rada je aktivan pri niskom intenzitetu saobraćaja. Pri intenzitetu saobraćaja većem od određene granične vrednosti, baferi se priključuju na napajanje, pri čemu se ruter postavlja u baferovani režim. Sposobnost *AFC* rutera da promeni režim rada omogućava značajnu uštedu energije pri saobraćaju niskog intenziteta. Međutim, pri intenzivnom saobraćaju ruter većinu vremena provodi u baferovanom režimu tako da se alternativna opcija i ne ostvaruje. Takođe, uvođenje dva režima rada zahteva dodatni, složeni hardver koji treba u realnom vremenu da procenjuje stanje mreže i da omogući promenu iz jednog u drugi režim.

### 3.3.2 Flex-buffer

*Flex-buffer* dizajn uvodi varijabilne bafere, odnosno bafere promenljivog kapaciteta koji se može menjati u realnom vremenu u zavisnosti od opterećenja mreže [68]. Neaktivni deo bafera se isključuje sa napajanja čime se postiže precizno upravljanje potrošnjom električne energije. Međutim, prelazak dela bafera iz aktivnog u neaktivni režim i obratno nije trenutno već zahteva izvesno vreme koje degradira performanse mreže. Takođe, promena režima rada bafera stvara dodatnu, dinamičku potrošnju energije zbog prelaznih pojava digitalnih kola, što smanjuje efikasnost ovog rešenja. Na kraju, i pored uštede električne energije uvođenjem varijabilnih bafera, površina koju baferi zauzimaju ostaje ista, što je jedan od ključnih nedostataka baferovanih mreža na čipu.

### 3.3.3 Deflekcioni ruter sa minimalnim baferovanjem

Posebnu pažnju poslednjih godina zauzima deflekcioni ruter sa minimalnim baferovanjem. Za razliku od tradicionalnih rutera sa baferima, deflekcioni ruter sa minimalnim baferovanjem implementira bafer kapaciteta dovoljnog za smeštanje do nekoliko flita. Ovaj bafer je u literaturi poznat pod nazivom *side-buffer* (SB). Za razliku od *AFC* i *Flex-buffer* rešenja, u ruteru sa minimalnim baferovanjem, SB je uvek aktivan. Implementacijom SB-a bazični deflekcioni ruter dobija dodatnu fleksibilnost koja se ogleda u mogućnosti za

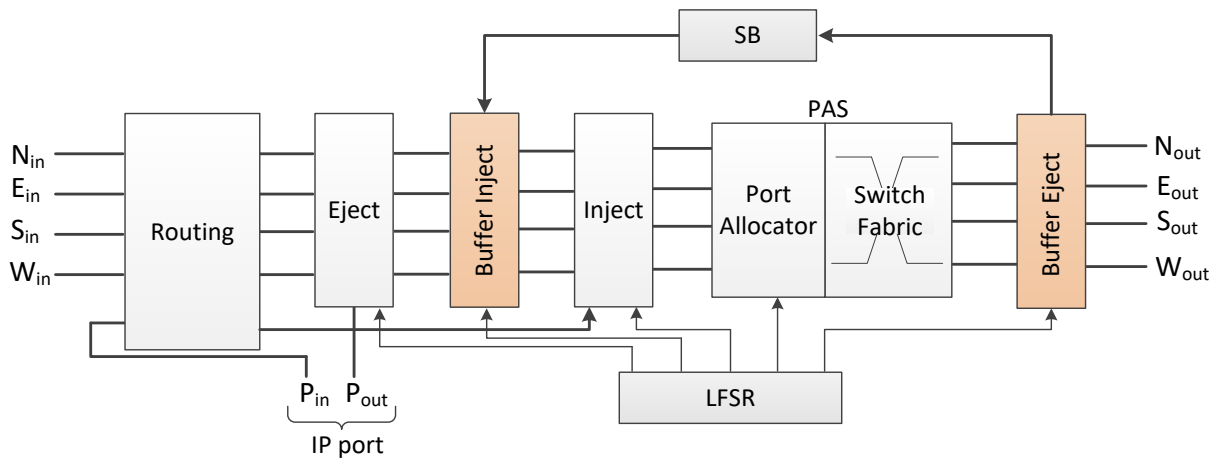
privremeno skladištenje nekog od flitova koji je u tekućem ciklusu deflektovan. Privremenim skladištenjem deflektovani flit ostaje u tekućem ruteru čime dobija mogućnost da se u narednim mrežnim ciklusima ponovo nadmeće u dodeli izlaznih portova. Time se povećava verovatnoća da se flitu dodeli produktivni port što ujedno poboljšava performanse mreže. Evaluacijom se došlo do zaključka da se, zahvaljujući implementaciji SB-a, postiže poboljšanje maksimalne propusnosti za 54% u odnosu na bazični deflekcioni ruter sa delimičnim PAS-om [48]. Takođe, utvrđeno je da kapacitet SB-a neznatno utiče na performanse rutera, pa se najčešće implementira SB veličine 1 ili 2 flita. Za kapacitet veći od jednog flita, SB je organizovan kao FIFO bafer.

Dodavanje SB-a bazičnom deflekcionom ruteru zahteva određenu modifikaciju interne hardverske strukture. Na Sl. 3-12 je prikazana struktura rutera sa minimalnim baferovanjem. Pored standardnih blokova (*Inject*, *Eject* i *Routing*), ovaj tip rutera dodatno sadrži i blok za ubacivanje flita iz SB-a u mrežu (*Buffer Inject*) i blok za izbacivanje flita iz mreže u SB (*Buffer Eject*).

Blok *Buffer Inject* je pozicioniran između *Eject* i *Inject* blokova. Ovaj blok preuzima flit iz SB-a i usmerava ga na neki od slobodnih flit-kanala. Flit-kanal je slobodan onda kada na pridruženom ulaznom portu nije primljen flit od susednog rutera ili je flit preusmeren ka IP jezgru u bloku *Eject*. Kada je dostupno više slobodnih flit-kanala, blok *Buffer Inject* nasumično bira jedan flit-kanal za ubacivanje baferovanog flita. Struktura bloka *Buffer Inject* je ista kao i struktura bloka *Inject* (Sl. 3-6).

Blok *Buffer Eject* se nalazi posle *PAS* bloka. *Buffer Eject* preuzima deflektovani flit (ukoliko ima takvih) sa jednog od flit-kanala i smešta ga u SB. U situaciji sa više deflektovanih flitova, *Buffer Eject* nasumično bira jedan deflektovani flit i smešta ga u SB. Struktura *Buffer Eject* bloka je ista kao i struktura bloka *Eject* (Sl. 3-5). S obzirom na to da i *Buffer Inject* i *Buffer Eject* imaju mogućnost nasumičnog izbora, bitovi LFSR registra se koriste i u ovim blokovima.

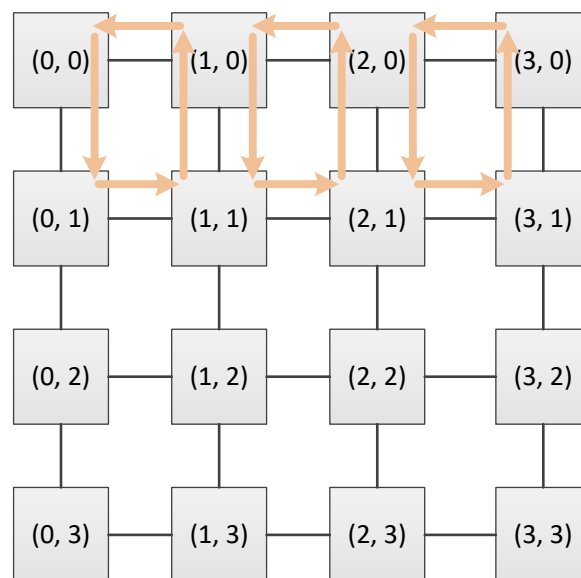
Glavni predstavnik deflekcionog rutera sa minimalnim baferovanjem je MinBD ruter [48].



Sl. 3-12 Arhitektura rutera sa minimalnim baferovanjem

### 3.4 Dinamička blokada u deflekcionoj mreži

Uzimajući u obzir da je glavna osobina deflekcione mreže da svi flitovi pristigli u tekućem ciklusu moraju napustiti ruter u narednom ciklusu, pojava statičke blokade u deflekcionoj mreži nije moguća. Sa druge strane, deflekcione mreže nisu otporne na pojavu dinamičke blokade kada je flit pokretan, ali ne napreduje ka svom odredištu. Dinamička blokada nastaje u situaciji kada se lokalno u mreži usled interakcije flitova javljaju ponovljene defleksije koje stvaraju zatvorene putanje iz koje flit ne može izaći. Na Sl. 3-13 je ilustrovan primer dinamičke blokade u deflekcionoj mreži na čipu sa topologijom 2D rešetke. Strelicama su naznačene ciklične putanje tri flita koji su, zbog determinističkog ponašanja rutera u procesu rutiranja, pogođeni dinamičkom blokadom.



Sl. 3-13 Primer dinamičke blokade u deflekcionoj mreži sa topologijom 2D rešetke

Dinamička blokada narušava funkcionalnost mreže na čipu jer pojedini flitovi ostaju zauvek zarobljeni u mreži. Takođe zarobljeni flitovi beskorisno zauzimaju resurse mreže što dovodi do degradacije performansi mreže. Iz tog razloga problem dinamičke blokade ima važnu ulogu pri dizajniranju i evaluaciji mreže na čipu. U opštem slučaju postoje dva pristupa za sprečavanje dinamičke blokade: probabilistički i primenom mehanizama za sprečavanje dinamičke blokade.

Probabilistički pristup polazi od činjenice da se primenom slučajnog odabira flitova prema kome se postavlja konfiguracija PAS-a eliminiše mogućnost stvaranja uslova za pojavu dinamičke blokade jer se ruter iz ciklusa u ciklus konfigurise od strane različitog flita.

Mehanizmi za sprečavanje dinamičke blokade eksplicitno rešavaju problem dinamičke blokade u mreži. Mehanizmi koji su se izdvojili kao relevantni su primena prioritizacije flitova prema starosti i primena tzv. „zlatnih“ flitova. Prioritizacija flitova prema starosti obezbeđuje da najstariji flit u mreži uvek ima prioritet u odnosu na ostale flitove prilikom dodele produktivnih portova. To znači da će najstarijem flitu u mreži biti dodeljen produktivni port što garantuje da će u okviru određenog vremenskog intervala (koji zavisi od dimenzija mreže na čipu) stići na svoje odredište. Ovaj pristup je prisutan kod BLESS deflekcijonog rutera.

Primena zlatnih flitova [48] rešava problem dinamičke blokade tako što se s vremena na vreme jednom flitu u mreži dodeli najviši prioritet. Flit kome je dodeljen najviši prioritet se naziva zlatni flit. Zlatni flit uvek ima prioritet u odnosu na ostale flitove prilikom dodele izlaznih portova rutera, što garantuje dodelu produktivnog porta a time i konačno vreme za dostizanje svog odredišta. Vremenski interval u kome je dati flit proglašen zlatnim se naziva „zlatna epoha“. Trajanje zlatne epohe se izražava u mrežnim ciklusima. Minimalno trajanje zlatne epohe treba da obezbedi da zlatni flit stigne na svoje odredište, bez obzira na trenutnu poziciju. Ovo vreme zavisi od dimenzija mreže na čipu. Na kraju svake zlatne epohe se bira novi flit koji se proglašava zlatnim što ujedno započinje novu zlatnu epohu. Implementacija mehanizma zlatnog flita zahteva proširenje flita poljem za jedinstvenu identifikaciju, koje se utiskuje u flit u trenutku kada flit napušta izvorni IP. Biranje zlatnih flitova se zapravo svodi na biranje vrednosti identifikatora flita, što se obavlja ciklično od najmanje do najveće vrednosti ne vodeći računa o tome da li flit sa datim identifikatorom postoji u mreži.

## **4. MINIMIZACIJA DEFLEKCIJA**

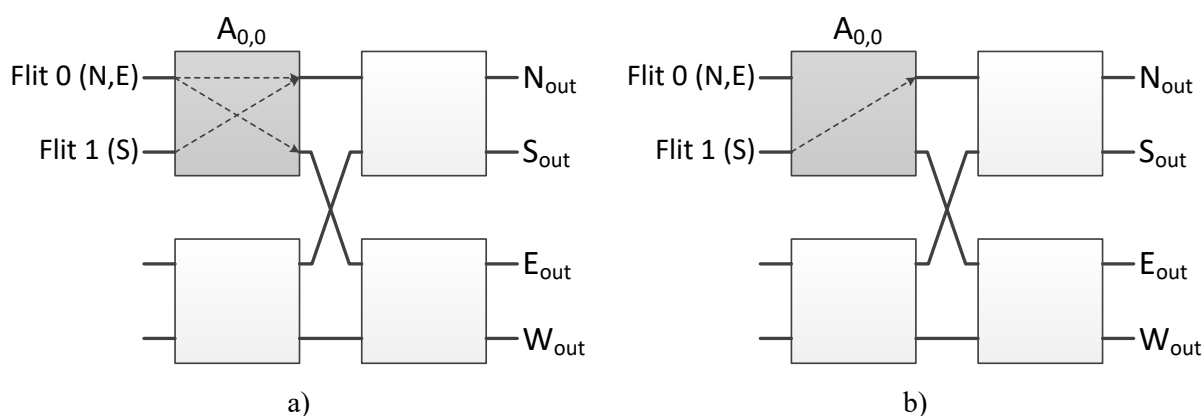
Deflekcioni ruteri bez bafera i deflekcioni ruteri sa minimalnim baferovanjem su zbog relativno jednostavnog hardvera, niske potrošnje i male površine na čipu, pogodni za praktičnu realizaciju, što ih je stavilo u fokus istraživanja mreža na čipu. Sa druge strane, ove pogodnosti su ostvarene na uštrb performansi. Pri intenzivnom saobraćaju, u ovim ruterima se naglo povećava stopa deflekcije, što ograničava propusnost mreže. Iz tog razloga, deflekcioni ruteri nisu pogodni za primenu u aplikacijama koje zahtevaju intenzivan saobraćaj. Glavna tema ove disertacije je unapređenje arhitekture deflekcionih rutera u cilju poboljšanja komunikacionih performansi deflekcionih mreža na čipu. Ovo poglavlje je posvećeno optimizaciji delimičnog PAS-a, koji predstavlja ključni stepen deflekcionog rutera u pogledu performansi.

### **4.1 Nedostaci standardnog delimičnog PAS-a**

Za razliku od potpunog PAS-a koji uvek postiže optimalan raspored flitova na izlazne portove rutera zahvaljujući tome što su podržane sve permutacije flitova sa ulaznih na izlazne portove rutera, delimični PAS redukuje broj podržanih permutacija, čime se znatno pojednostavljuje hardver. U delimičnom PAS-u se krozbar zamenjuje arbitarskim blokovima organizovanih u dva nivoa (Sl. 3-10). Smanjenje broja podržanih permutacija neminovno dovodi i do smanjenja performansi rutera. Međutim, na smanjenje performansi ne utiče samo restrikcija broja permutacija, već i način na koji se na osnovu bitova produktivnosti flitova vrši konfigurisanje pojedinačnih arbitarskih blokova. U delimičnom PAS-u CHIPPER rutera se nasumično bira jedan od dva flita sa ulaza arbitra, koji zatim postavlja konfiguraciju („pravo“ ili „ukršteno“) u zavisnosti od svojih produktivnih portova. Takav način postavljanja konfiguracije ima lokalni karakter. Prilikom izbora konfiguracije na osnovu

statusa proizvoljno izabranog flita, ne uzima se u obzir status ostalih flitova, pa često izabrana konfiguracija ne daje optimalan raspored flitova na izlazne portove rutera.

Na Sl. 4-1 su predstavljene dve tipične situacije koje dovode do degradacije performansi CHIPPER rutera. Situacije su predstavljene sa stanovišta arbitarskog bloka  $A_{0,0}$  u prvom stepenu delimičnog PAS-a. Međutim, ista zapažanja važe i za ostale arbitarske blokove. U obe situacije na ulazu arbitra  $A_{0,0}$  su prisutna dva flita – *Flit 0* i *Flit 1*. Za svaki flit su isprekidanom linijom naznačeni produktivni pravci. U prvom slučaju (Sl. 4-1 a)) *Flit 0* poseduje dva produktivna porta (N i E), dok *Flit 1* poseduje samo jedan produktivni port (S). U dugom slučaju (Sl. 4-1 b)) *Flit 0* ne poseduje produktivne portove (lokalno adresirani flit), dok *Flit 1* kao i u prvom slučaju poseduje samo jedan produktivni port (S). U oba slučaja bilo koja konfiguracija arbitra  $A_{0,0}$  („pravo“ ili „ukrštanje“) je podjednako dobra za *Flit 0*, dok je za *Flit 1* jedino povoljna konfiguracija „ukrštanje“. Verovatnoća da *Flit 0* bude odabran za konfiguraciju arbitra iznosi  $P_{flit0} = 0.5$ . S obzirom na to da su za *Flit 0* obe konfiguracije podjednako povoljne, verovatnoća da *Flit 0* postavi konfiguraciju pravo takođe iznosi 0.5. U tom slučaju, *Flit 1* će u obe situacije biti usmeren na neproduktivni pravac, a na kraju i deflektovati. Drugim rečima, u četvrtini slučajeva *Flit 1* će biti deflektovan. Ova situacija je mogla biti sprečena izborom konfiguracije za ukrštanje flitova koja je povoljna za oba flita.

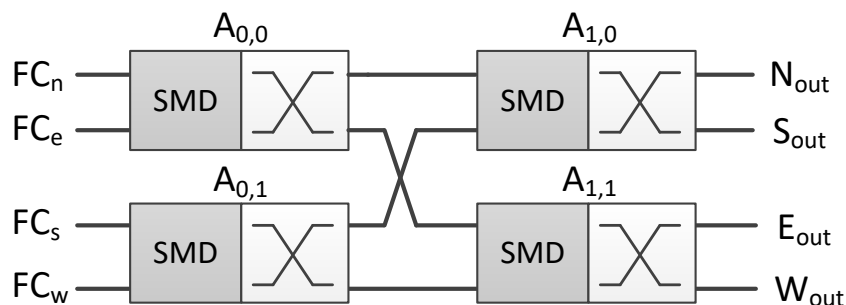


**Sl. 4-1** Nedostaci delimičnog PAS-a: a) Flit 0 sa dva produktivna porta, b) Flit 0 bez produktivnih portova

U ovoj disertaciji su predložena dva rešenja za minimizaciju deflekcija delimičnog PAS-a. Za razliku od tradicionalnog delimičnog PAS-a koji postavlja konfiguraciju arbitra prema nasumično izabranom flitu, predložena rešenja postavljaju konfiguraciju koja će rezultirati manjim brojem deflekcija na izlazima arbitarskih blokova, odnosno rutera. Da bi se to postiglo, tradicionalni PAS se modifikuje tako što se SA zamenjuje novom vrstom

alokatora koji donosi odluku o načinu konfigurisanja arbitrarskih blokova na osnovu prebrojavanja produktivno rutiranih flitova za alternativne konfiguracije arbitara. U zavisnosti od mesta na kome se donosi odluka o postavljanju konfiguracije arbitara, razlikuje se distribuirana i globalna minimizacija deflekcija.

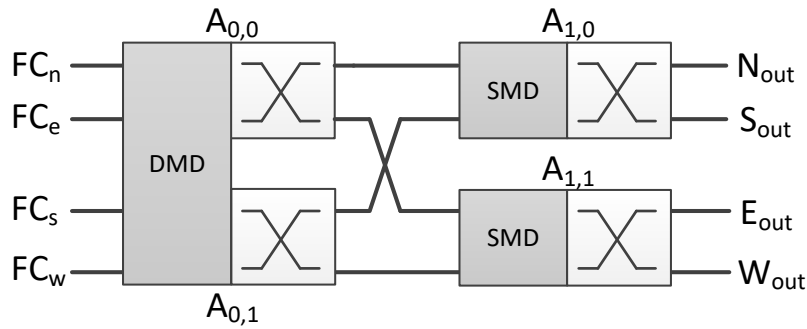
Kod distribuirane minimizacije deflekcija, konfiguracija se postavlja za svaki arbitar nezavisno, pri čemu se bira ona konfiguracija za koju je broj deflekcija na izlazu arbitra minimalan. Na Sl. 4-2 je prikazan PAS sa distribuiranom minimizacijom deflekcija. Struktura modifikovanog PAS-a je ista kao kod tradicionalnog PAS-a, uz zamenu SA alokatora, SMD (*Single Minimal Deflection*) alokatorima.



Sl. 4-2 Delimični PAS sa distribuiranom minimizacijom deflekcija

Eksplisitna minimizacija deflekcija na nivou arbitra dovodi do smanjenja deflekcija na nivou rutera. Međutim, biranje povoljne konfiguracije na nivou pojedinačnih arbitra u prvom PAS stepenu ne garantuje minimalni broj deflektovanih flitova na izlazu rutera. Razlog za to je što se prilikom konfigurisanja arbitra  $A_{0,0}$  ne uzima u obzir podatak o produktivnim portovima flitova na ulazu arbitra  $A_{0,1}$ , i obrnuto. Kod globalne minimizacije deflekcija, odluka o postavljanju konfiguracije se donosi objedinjeno, za oba arbitra prvog stepena delimičnog PAS-a (Sl. 4-3). Izbor konfiguracije se vrši tako što objedinjeni alokator (DMD – *Dual Minimal Deflection*) poredi sve četiri konfiguracije dva arbitra iz prvog stepena i bira onu koja daje minimalan broj deflekcija na izlazima rutera. Konfiguracija arbitara drugog stepena se bira lokalno jer flitovi na ulazima arbitra drugog stepena jedino mogu da se rasporede na neki od dva izlazna porta rutera povezana na dati arbitar, pa objedinjena konfiguracija u ovom stepenu ne bi imala smisla.

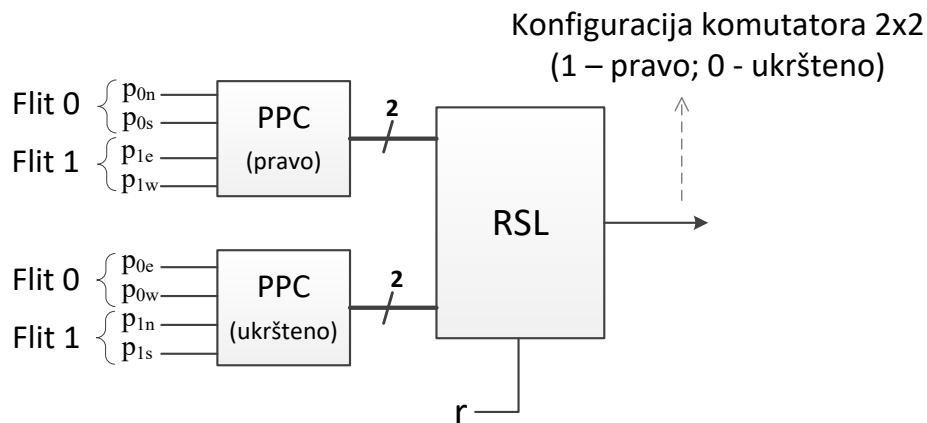




Sl. 4-3 Delimični PAS sa globalnom minimizacijom deflekcija

## 4.2 Distribuirana minimizacija deflekcija

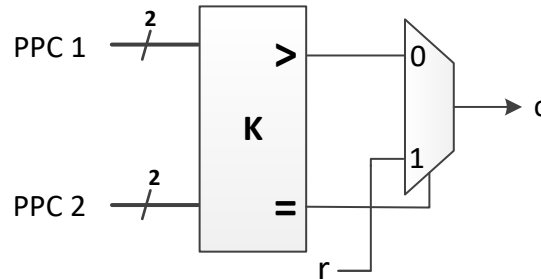
Umesto da bira konfiguraciju komutatora prema slučajno izabranom flitu, kod distribuirane minimizacije deflekcija, SMD alokator postavlja komutator arbitarskog bloka u konfiguraciju (pravo ili ukršteno) koja rezultira manjim brojem deflektovanih flitova na izlazu arbitarskog bloka. Izbor između dve konfiguracije se vrši na osnovu bitova produktivnosti flitova na ulazu arbitarskog bloka. Za obe konfiguracije komutatora, SMD alokator prebrojava produktivno rutirane flitove i bira povoljniju konfiguraciju, tj. konfiguraciju koja daje manji broj deflekcija.



Sl. 4-4 Principijelna šema predloženog SMD alokatora arbitra prvog stepena

Na Sl. 4-4 je prikazana principijelna šema SMD alokatora za arbitar prvog stepena –  $A_{0,0}$ . Struktura alokatora arbitarskog bloka  $A_{0,1}$  je identična, s tim što je drugačiji raspored bitova produktivnosti na ulazu. Broj produktivno rutiranih flitova, kojih može biti 0, 1 ili 2, se određuje na osnovu bitova produktivnosti ( $p_n, p_e, p_s, p_w$ ) u blokovima PPC (engl. *Productive Port Counter*). Rezultati broja produktivno rutiranih flitova za konfiguracije „pravo“ i „ukršteno“ se dovode na ulaz RSL jedinice koja postavlja konfiguraciju arbitarskog

bloka koja dovodi do manjeg broja deflekcija. Ukoliko je za obe konfiguracije isti broj produktivno rutiranih flitova, proizvoljno se bira jedna konfiguracija na osnovu bita  $r$  pseudoslučajnog generatora. RSL jedinica se sastoji od univerzalnog komparatora magnitude ( $K$ ), i multipleksera 2/1 (Sl. 4-5).



Sl. 4-5 Struktura RSL jedinice

Blok PPC generiše izlaz u obliku dvobitnog broja  $s_1s_0$ , gde je  $s_1$  bit veće, a  $s_0$  bit manje težine broja. Kako je moguće imati maksimalano dva produktivno rutirana flita, bitovi  $s_1$  i  $s_0$  ne mogu istovremeno biti setovani. Za dva produktivno rutirana flita, setovan je bit  $s_1$ , a za jedan produktivno rutirani flit setovan je bit  $s_0$ . U situaciji kada nema produktivno rutiranih flitova, resetovana su oba bita,  $s_1$  i  $s_0$ . Usredsredimo se na blok PPC arbitra  $A_{0,0}$  koji određuje broj produktivno rutiranih flitova za konfiguraciju „pravo“. Konfiguracija „pravo“ će imati dva produktivno rutirana flita ukoliko *Flit 0* ima produktivne portove prema  $N$  ili  $S$  (tj. setovan je bar jedan od bitova produktivnosti  $p_{0n}$  i  $p_{0s}$ ), i pritom *Flit 1* ima produktivne portove prema  $E$  ili  $W$  (tj. setovan je bar jedan od bitova  $p_{1e}$  i  $p_{1w}$ ). Ovom uslovu odgovara logički izraz (1). Konfiguracija „pravo“ će imati jedan produktivno rutirani flit ukoliko nema dva produktivno rutirana flita ( $\bar{s}_1$ ) i pritom bar jedan od portova ( $N, S, E$  ili  $W$ ) je produktivan za bar jedan od dva flita na ulazu. Ovom uslovu odgovara logički izraz (2).

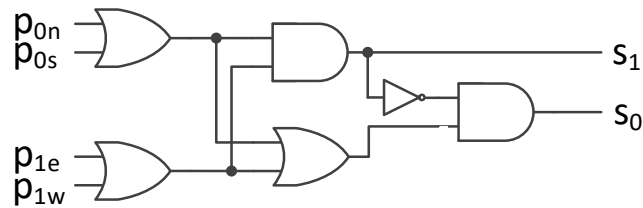
$$s_1 = (p_{0n} + p_{0s})(p_{1e} + p_{1w}) \quad (1)$$

$$s_0 = \bar{s}_1(p_{0n} + p_{0s} + p_{1e} + p_{1w}) \quad (2)$$

Logički izraz (3) odgovara situaciji kada konfiguracija „ukršteno“ rezultira sa dva produktivno rutirana flita, dok logički izraz (4) odgovara situaciji sa jednim produktivno rutiranim flitom. Na Sl. 4-6 je prikazana struktura PPC bloka za prebrojavanje produktivno rutiranih flitova za konfiguraciju „pravo“. Struktura PPC bloka za prebrojavanje produktivno rutiranih flitova za konfiguraciju „ukršteno“ je identična, ali sa drugačijim rasporedom bitova produktivnosti na ulazu.

$$s_1 = (p_{0e} + p_{0w})(p_{1n} + p_{1s}) \quad (3)$$

$$s_0 = \bar{s}_1(p_{0e} + p_{0w} + p_{1n} + p_{1s}) \quad (4)$$

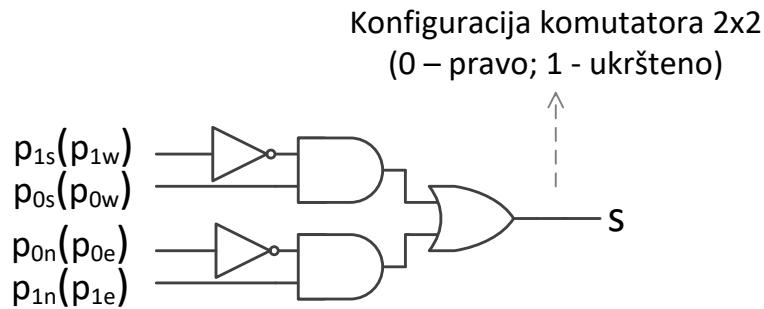


Sl. 4-6 Struktura PPC bloka

Arbitarski blokovi drugog stepena usmeravaju flitove na jedan od dva izlazna porta rutera duž istog pravca, i to arbitar  $A_{1,0}$  po  $y$  – osi (u smeru  $N$  ili  $S$ ), i arbitar  $A_{1,1}$  po  $x$  – osi (u smeru  $E$  ili  $W$ ). U pogledu produktivnosti, portovi istog pravca su međusobno isključivi. Drugim rečima, flit ne može istovremeno želeći da se kreće u dva različita smera istog pravca ( $N$  i  $S$ , ili  $E$  i  $W$ ). Ovo znatno pojednostavljuje strukturu SMD alokatora drugog stepena sa stanovišta definisanja uslova za postavljanje konfiguracije. Iz tog razloga, struktura SMD alokatora arbitarskog bloka drugog stepena se razlikuje od strukture SMD alokatora arbitarskog bloka prvog stepena. Usvojicemo da je arbitar  $A_{1,0}$  podrazumevano postavljen u konfiguraciju „pravo“. Arbitar će biti postavljen u konfiguraciju „ukršteno“ ukoliko jedan od flitova eksplicitno zahteva tu konfiguraciju, a drugi ne želi konfiguraciju „pravo“. Uslov da neki od flitova ne želi konfiguraciju „pravo“ obuhvata situacije kada flit želi konfiguraciju „ukršteno“ ili flit nema produktivne portove (lokalno adresirani flit). Kao što se može primetiti, u definisanju uslova za izbor konfiguracije kod ovog alokatora ne učestvuje slučajno generisani flit. Stoga, ponašanje ovog alokatora je determinističko, tj. zavisi isključivo od bitova produktivnosti ulaznih flitova. Funkcionalnost SMD alokatora za arbitar  $A_{1,0}$  se može predstaviti logičkim izrazom (5), dok je struktura ovog alokatora prikazana na Sl. 4-7. Struktura alokatora za arbitarski bloka  $A_{1,1}$  je identična, s tim što je na ulazima prisutan drugi set bitova produktivnosti. Ovom alokatoru odgovara logički izraz (6).

$$s = p_{0s}\bar{p}_{1s} + p_{1n}\bar{p}_{0n} \quad (5)$$

$$s = p_{0w}\bar{p}_{1w} + p_{1e}\bar{p}_{0e} \quad (6)$$



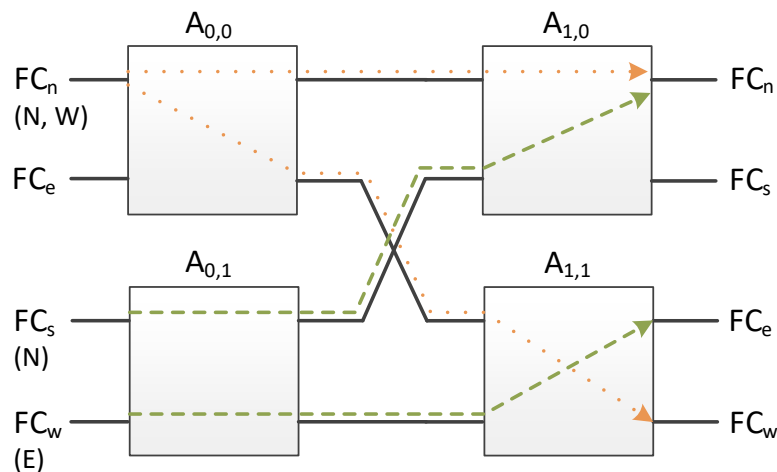
Sl. 4-7 Struktura MD alokatora drugog stepena

Razmotrimo ponovo primer sa Sl. 4-1 koji ilustruje dve tipične situacije kada standardni alokator postavlja nepovoljnu konfiguracije arbitra koja nepotrebno deflektuje flitove sa ulaza. Ukoliko posmatramo situaciju sa Sl. 4-1 a), za konfiguraciju „pravo“ ukupan broj produktivno rutiranih flitova je jedan, dok je za konfiguraciju „ukršteno“ broj produktivno rutiranih flitova dva. Iz tog razloga predloženi SMD alokator će datu situaciju razrešiti postavljanjem konfiguracije „ukršteno“. Na taj način oba flita će biti usmerena na produktivne pravce. Slično, u situaciji sa Sl. 4-1 b), SMD alokator će postaviti konfiguraciju „ukršteno“, jer je to konfiguracija koja je povoljna za *Flit 1*, dok je za *Flit 0* neutralna (*Flit 0* je lokalno adresirani flit). Zahvaljujući identifikaciji situacija u kojima je moguće izbeći deflekciju flitova, predloženi SMD alokator unapređuje performanse deflekcione mreže na čipu.

### 4.3 Globalna minimizacija deflekcija

Distribuirana minimizacija deflekcija zasnovana na SMD alokatorima ne daje uvek optimalan raspored flitova na izlazne portove rutera. Na Sl. 4-8 je prikazana jedna tipična situacija za koju lokalno postavljanje konfiguracije arbitra, iako optimalno sa stanovišta pojedinačnih arbitarskih blokova, dovodi do neoptimalnog rasporeda flitova na izlazu rutera. Na flit-kanalu  $FC_n$  je prisutan flit koji ima dva produktivna porta,  $N$  i  $W$ . Iz tog razloga obe konfiguracije arbitarskog bloka  $A_{0,0}$  su za dati flit povoljne. Na flit-kanalu  $FC_e$  je prisutan lokalno adresirani flit. Za ovaj flit ne postoje produktivni portovi jer se ovaj flit već nalazi u svom odredišnom čvoru. Uzimajući u obzir produktivne portove flitova sa ulaza arbitarskog bloka  $A_{0,0}$ , u slučaju distribuirane minimizacije deflekcija, dati arbitarski blok će biti postavljen u proizvoljnu konfiguraciju jer su obe konfiguracije povoljne za flit na flit-kanalu  $FC_n$ , dok su za flit na flit-kanalu  $FC_e$  obe konfiguracije nepovoljne. U ovom primeru se usvaja da se arbitarski blok  $A_{0,0}$  postavlja u konfiguraciju „pravo“. Istovremeno, na flit-kanalu  $FC_s$  je

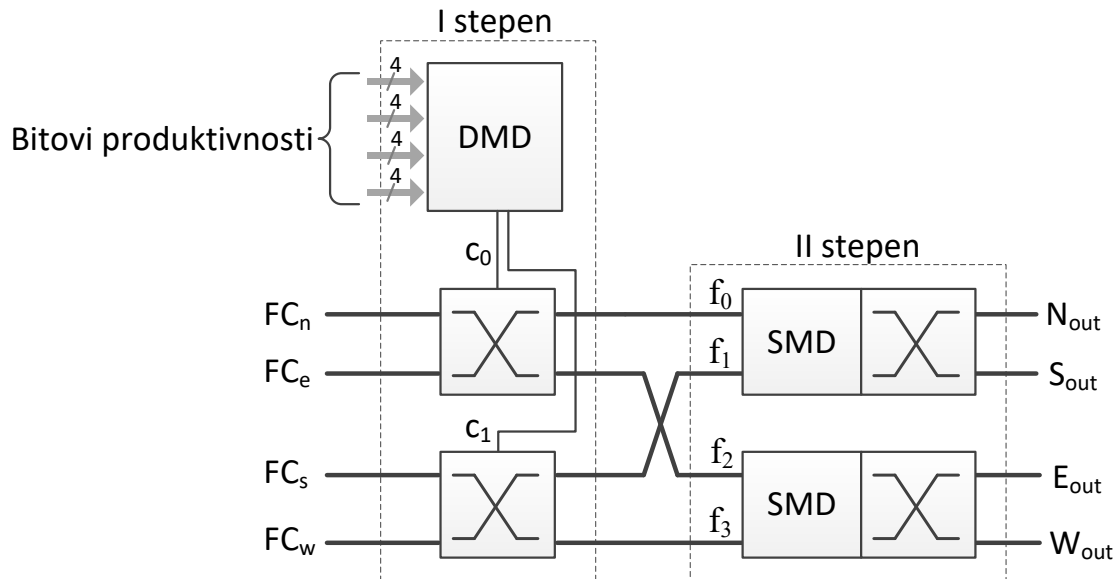
prisutan flit koji ima jedan produktivan port,  $N$ , dok je na flit-kanalu  $FC_w$  prisutan flit koji takođe ima jedan produktivan port,  $E$ . I u ovoj situaciji SMD alokator će postaviti konfiguraciju „pravo“, jer je to povoljnija konfiguracija sa stanovišta arbitra  $A_{0,1}$ . U drugom stepenu situacija će biti sledeća. Na ulazima arbitra  $A_{1,0}$  su prisutna dva flita sa jednim produktivnim portom,  $N$ , dok su na ulazima arbitra  $A_{1,1}$  prisutni flitovi sa produktivnim portovima  $W$  i  $E$  respektivno. U tom slučaju SMD alokator će arbitar  $A_{1,0}$  postaviti u konfiguraciju „pravo“ (podrazumevana konfiguracija arbitra kada obe konfiguracije daju isti broj produktivnih portova) i arbitar  $A_{1,1}$  u konfiguraciju „ukršteno“. S obzirom na to da se na ulazima arbitra  $A_{1,0}$  nalaze flitovi sa jednim produktivnim portom, istim za oba flita, jedan od njih će biti deflektovan, u zavisnosti od izabrane konfiguracije arbitra. Iz tog razloga, distribuirana minimizacija deflekcija bi u ovoj situaciji rezultirala sa dva produktivno rutirana flita. Ova situacija će imati povoljniji krajnji ishod drugačijim usmeravanjem flitova u prvom stepenu. Na primer, da je arbitarski blok  $A_{0,0}$  postavljen u konfiguraciju „ukršteno“, svi flitovi bi bili produktivno rutirani, čime bi se ukupan broj deflekcija smanjio za jedan. Međutim, ovakva konfiguracija bi zahtevala da arbitar  $A_{0,0}$  poseduje informaciju o tome koji su produktivni portovi flitova na ulazu arbitra  $A_{0,1}$  i da shodno tome postavi odgovarajuću konfiguraciju, što je neizvodljivo sa SMD alokatorima.



Sl. 4-8 Nedostatak SMD alokatora

Predloženo rešenje sa globalnom minimizacijom deflekcija modifikuje arbitarske blokove prvog stepena PAS-a, pa se za razliku od distribuirane minimizacije deflekcija, odluka za izbor konfiguracije donosi objedinjeno za oba arbitarska bloka. Na Sl. 4-9 je prikazan funkcionalni dijagram delimičnog PAS-a sa predloženim DMD alokatorom. Kao što

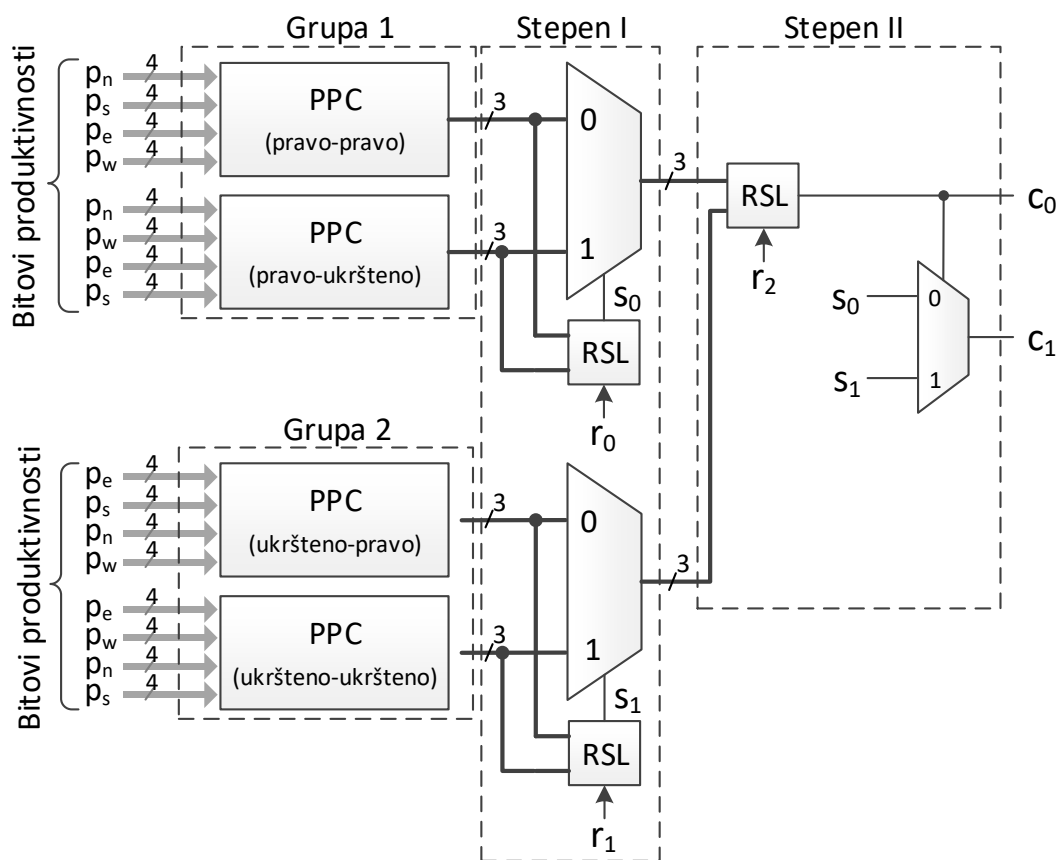
se može uočiti, pojedinačni alokatori arbitara prvog stepena su zamenjeni centralnim alokatorom – DMD koji postavlja konfiguracije oba arbitra. Na ulaz DMD-a se dovode bitovi produktivnosti flitova sa sva četiri flit-kanala, dok izlaz čine dva signala,  $c_0$  i  $c_1$ , kojima se bira konfiguracija odgovarajućih arbitara. Za arbitarske blokove iz drugog stepena se koriste SMD alokatori.



Sl. 4-9 Funkcionalni dijagram delimičnog PAS-a sa DMD alokatorom u prvom stepenu

Uloga DMD alokatora je da od četiri moguće kombinacije konfiguracija arbitara prvog stepena izabere najpovoljniju. DMD se sastoji od četiri brojača produktivno rutiranih flitova (PPC) i selekcionne logike za izbor konfiguracije sa najvećim brojem produktivno rutiranih flitova (Sl. 4-10). Svaki PPC određuje broj produktivno rutiranih flitova za jednu konfiguraciju dva arbitara prvog stepena. Za razliku od PPC kod SMD alokatora koji određuje broj produktivno rutiranih flitova na izlazu jednog arbitarskog bloka, PPC DMD alokatora određuje broj produktivno rutiranih flitova na izlazu rutera. Raspored flitova po izlaznim portovima rutera je u potpunosti određen konfiguracijom prvog stepena, jer SMD alokatori u drugom stepenu rade deterministički. Stoga, ukoliko je poznata konfiguracija prvog stepena, moguće je jednoznačno odrediti raspored flitova na izlaze portove rutera. Svi PPC blokovi imaju identičnu strukturu pa se prebrojavanje produktivno rutiranih flitova za određenu konfiguraciju postiže odgovarajućim rasporedom bitova produktivnosti na ulazima PPC bloka. Redosled bitova produktivnosti je određen konkretnom konfiguracijom arbitara za koje je potrebno prebrojati produktivne portove. Na primer, PPC koji na ulazima ima bitove produktivnosti u redosledu  $p_n, p_s, p_e, p_w$  prebrojava produktivne portove za arbitre

prvog stepena postavljene u konfiguraciju „pravo“. Slično, PPC koji na ulazima ima bitove produktivnosti u redosledu  $p_n, p_w, p_e, p_s$  prebrojava produktivne portove za slučaj kada je arbitar  $A_{0,0}$  postavljen u konfiguraciju „pravo“, i arbitar  $A_{0,1}$  postavljen u konfiguraciju „ukršteno“. Izlaz PPC-a je broj produktivno rutiranih flitova za konkretnu konfiguraciju. Ovaj broj se predstavlja sa tri bita, s obzirom na to da maksimalni broj produktivno rutiranih flitova iznosi 4. Na osnovu broja produktivno rutiranih flitova za sve moguće konfiguracije arbitara prvog stepena, pomoću dvostepene mreže multipleksera se bira najpovoljnija konfiguracija, tj. konfiguracija koja daje najveći broj produktivno rutiranih flitova na izlazu rutera.



Sl. 4-10 Struktura DMD alokatora delimičnog PAS-a

Na Sl. 4-11 je prikazana struktura jednog PPC bloka. PPC se sastoji od dva kombinaciona bloka,  $B_0$  i  $B_1$ , iste strukture i jednog binarnog sabirača. Blok  $B_0$  određuje broj produktivno rutiranih flitova na izlaznim portovima  $N$  i  $S$  arbitara  $A_{1,0}$ , a blok  $B_1$  na izlaznim portovima  $E$  i  $W$  arbitara  $A_{1,1}$ . Izlaz oba bloka je dvobitni broj ( $s_{0,1}s_{0,0}$  za blok  $B_0$ , i  $s_{1,1}s_{1,0}$  za blok  $B_1$ ) s obzirom na to da je maksimalni broj produktivno rutiranih flitova po jednom izlaznom arbitru 2. Sabiranjem ovih brojeva se dobija trobitna vrednost koja predstavlja

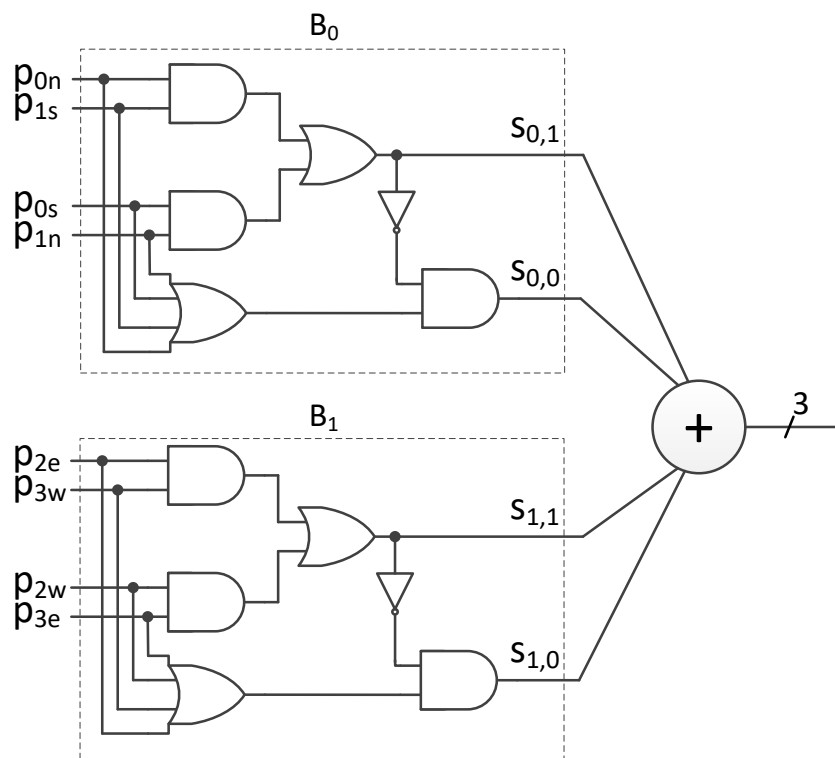
ukupan broj produktivno rutiranih flitova za određene konfiguracije arbitara prvog stepena. Analitički, bitovi broja produktivno rutiranih flitova se mogu predstaviti logičkim izrazima (7), (8), (9) i (10).

$$s_{0,1} = p_{0n}p_{1s} + p_{0s}p_{1n} \quad (7)$$

$$s_{0,0} = \bar{s}_{0,1}(p_{0n} + p_{0s} + p_{1n} + p_{1s}) \quad (8)$$

$$s_{1,1} = p_{2e}p_{3w} + p_{2w}p_{3e} \quad (9)$$

$$s_{1,0} = \bar{s}_{1,1}(p_{2e} + p_{2w} + p_{3e} + p_{3w}) \quad (10)$$



Sl. 4-11 Struktura PPC bloka sa redosledom bitova produktivnosti za konfiguraciju "pravo-pravo"

Funkcionalnost bloka  $B_0$  na primeru konfiguracije "pravo-pravo" se može sagledati na sledeći način. Konfiguracija „pravo“ oba arbitra prvog stepena će rezultirati sa dva produktivno rutirana flita na izlazu arbitarskog bloka  $A_{1,0}$  ukoliko flit  $f_0$  (Sl. 4-9) iz arbitarskog bloka  $A_{0,0}$  želi na port  $N$  i flit  $f_1$  iz arbitarskog bloka  $A_{0,1}$  želi na port  $S$  ili flit  $f_0$  želi na port  $S$ , a flit  $f_1$  želi na port  $N$ . Ista konfiguracija arbitara prvog stepena će rezultirati jednim produktivno rutiranim flitom u arbitarskom bloku  $A_{1,0}$ , ukoliko nije ispunjen uslov za dva produktivno rutirana flita ( $\bar{s}_{0,1}$ ) i pri tome je bar jedan izlazni port arbitra  $A_{1,0}$  produktivan za bar jedan od dva flita,  $f_0$  ili  $f_1$ , koji su konfiguracijom "pravo" prosleđeni na ulaz arbitra  $A_{1,0}$ . Slično zapažanje važi i za blok  $B_1$  koji određuje broj produktivno rutiranih flitova na izlazu arbitarskog bloka  $A_{1,1}$ .



Biranje najpovoljnije konfiguracije se obavlja u dva stepena (Sl. 4-10). U prvom stepenu se četiri PPC bloka raspoređuju u dve grupe. Treba uočiti da PPC blokovi u grupi 1 prebrojavaju produktivno rutirane flitove za slučajeve kada je arbitrarni blok  $A_{0,0}$  konfigurisan "pravo", dok PPC blokovi iz grupe 2 za slučajeve kada je  $A_{0,0}$  konfigurisan "ukršteno". U svakoj grupi se bira povoljnija konfiguracija. Logika za biranje povoljnije konfiguracije u okviru jedne grupe se sastoji od multipleksera 2/1 i pridružene RSL jedinice koja postavlja multiplekser u odgovarajuću konfiguraciju. RSL jedinica poredi vrednosti prebrojanih produktivno rutiranih flitova za odgovarajuće konfiguracije i postavlja multiplekser tako da propusti veću vrednost. Ukoliko su obe vrednosti jednake, RSL na osnovu bita  $r$  pseudoslučajnog generatora postavlja proizvoljnu konfiguraciju multipleksera. Struktura RSL jedinice DMD alokatora je ista kao i struktura RSL jedinice SMD alokatora (Sl. 4-5). Jedina razlika je u tome što su ulazi RSL jedinice DMD alokatora 3-bitni.

U drugom stepenu se na osnovu izabranih brojeva produktivno rutiranih flitova iz odgovarajućih grupa prvog stepena, bira veći broj. Ovaj stepen ima za cilj da generiše dva signala ( $c_0$  i  $c_1$ ) kojima se postavljaju konfiguracije arbitara  $A_{0,0}$  i  $A_{0,1}$ , respektivno. Drugi stepen se sastoji od RSL jedinice i multipleksera 2/1. Izlaz RSL jedinice postavlja konfiguraciju multipleksera i ujedno predstavlja signal  $c_0$ . Multiplekserom se postavlja bit  $c_1$ . Kao što se može videti sa Sl. 4-10, za  $c_1$  se bira jedan od dva signala postavljena u prvom stepenu,  $s_0$  ili  $s_1$ . Funkcionalnost drugog stepena se može sagledati na sledeći način. Ukoliko se najpovoljnija konfiguracija nalazi u grupi 1,  $c_0$  će imati vrednost 0. To znači da je u tom slučaju najpovoljnija situacija u kojoj je arbitar  $A_{0,0}$  postavljen u konfiguraciju „pravo“. Konfiguracija arbitra  $A_{0,1}$  zavisi od toga koji je PPC iz grupe 1 dao veći broj, na šta ukazuje bit  $s_0$ . Iz tog razloga će za  $c_0 = 0$  multiplekser kao  $c_1$  postaviti  $s_0$ . Slično, ukoliko se najpovoljnija konfiguracija nalazi u grupi 2,  $c_0$  će imati vrednost 1, što znači da je u tom slučaju najpovoljnija konfiguracija u kojoj je arbitar  $A_{0,0}$  postavljen u konfiguraciju „ukršteno“. Konfiguracija arbitra  $A_{0,1}$  zavisi od toga koji je PPC iz grupe 2 dao veći broj, na šta ukazuje bit  $s_1$ , pa će iz tog razloga za  $c_0 = 1$  multiplekser kao  $c_1$  postaviti  $s_1$ .

## 4.4 Simulator deflekcioni mreža na čipu

Za potrebe procene performansi predloženih rešenja za primenu u mrežama na čipu zasnovanih na deflekcionom rutiranju, u okviru ove disertacije je razvijen simulator deflekcioni mreža na čipu. Simulator je realizovan u jeziku za modeliranje i verifikaciju

digitalnih sistema – SystemC [74]. SystemC predstavlja kolekciju C++ klasa i makroa koja omogućava modeliranje konkurentnih procesa i obavljanje simulacije vođene događajima (engl. *event-driven simulation*). SystemC je nadogradnja C++ jezika, pa stoga omogućava definisanje signala svih tipova podataka podržanih C++ standardom, što pojednostavljuje modeliranje sistema velike složenosti. Realizovani simulator omogućava: 1) funkcionalno modeliranje deflekcionog rutera, komunikacionog linka za povezivanje susednih rutera i mrežne topologije, 2) izbor različitih oblika i karakteristika sintetičkog mrežnog saobraćaja, 3) prikupljanje i statističku obradu podataka o ostvarenom saobraćaju, i 4) identifikaciju uskih grla u arhitekturi mreže.

Struktura simulatora je podudarna sa opštim modelom deflekcione mreže na čipu. Osnovne gradivne jedinice simulatora su: ruter, link i IP jezgro. Ove jedinice su realizovane kao konkurentni procesi osetljivi na ivicu globalnog taktnog signala. Na taj način, funkcionalnost deflekcione mreže na čipu je modelirana do nivoa taktnih ciklusa (engl. *cycle-accurate simulation*). Ruter predstavlja proces koji sa svakom aktivnom ivicom takta obavlja skup aktivnosti koje se tiču usmeravanja flitova sa ulaznih na izlazne portove, izbacivanja lokalnih flitova i ubacivanja novih flitova u mrežu. Link predstavlja interfejs između susednih rutera koji u svakom ciklusu može da prenese najviše jedan flit. U osnovnoj varijanti, link sadrži dva suprotno orijentisana flit-registra. Pored toga, na raspolaganju su i složeniji modeli linkova koji odgovaraju rešenjima koja će biti predstavljena u narednim poglavljima. IP jezgro je kao i ruter realizovano u vidu procesa koji generiše i konzumira flitove. Ruter i IP jezgro su povezani preko FIFO bafera. IP smešta generisane flitove u FIFO bafer ukoliko ima mesta, u suprotnom se generisani flit odbacuje i signalizira se preopterećenje mreže. Sa druge strane, ruter direktno šalje primljene lokalne flitove IP jezgru, bez FIFO bafera. Simulator omogućava modelovanje deflekcione mreže sa topologijom 2D rešetke proizvoljnih dimenzija. Na raspolaganju su različite konfiguracije bazičnih deflekcioni rutera kao i rutera sa predloženim rešenjima. Takođe, simulator pruža mogućnost izbora različitih tipova linka.

U svim simulacijama čiji su rezultati predstavljeni u ovoj doktorskoj disertaciji se koristi sintetički saobraćaj. Sintetički saobraćaj je pogodan sa stanovišta vremena potrebnog za obavljanje simulacije, kao i mogućnosti za laku manipulaciju različitim parametrima saobraćaja. Sintetički saobraćaj ne potiče od realne aplikacije već se flitovi generišu shodno izabranom modelu distribucije saobraćaja i modelu intenziteta saobraćaja. Model distribucije saobraćaja definiše način generisanja odredišnih adresa flitova. Simulator omogućava izbor

jednog od sledećih modela distribucije saobraćaja: uniformni, transponovani, *hot-spot* (vruća tačka), tornado i bit-komplement.

Kod *uniformne* distribucije saobraćaja, flitovima može biti dodeljena određena adresa bilo kojeg rutera iz mreže sa podjednakom verovatnoćom. Kod *transponovane* distribucije, flitu se dodeljuje određena adresa koja se dobija zamenom mesta  $x - i$  y – koordinata adrese čvora u kome je flit generisan. Na primer, ukoliko je flit generisan u čvoru sa adresom (3, 5), flit će biti upućen čvoru sa adresom (5, 3). Distribucija tipa *hot-spot* definiše jedan čvor u mreži kome se dodeljuje veća verovatnoća u odnosu na ostale čvorove u mreži za izbor kao određište. Svi ostali čvorovi imaju podjednaku verovatnoću da postanu određište generisanim flitovima. Kod distribucije tipa *tornado*,  $x - i$  y – koordinate određište adrese se izračunavaju po formulama:

$$X_d = \left( X_s + \frac{N}{2} - 1 \right) \% N \quad (11)$$

$$Y_d = \left( Y_s + \frac{N}{2} - 1 \right) \% M \quad (12)$$

gde su  $X_d$  i  $Y_d$  – koordinate adrese određišnog čvora,  $X_s$  i  $Y_s$  – koordinate adrese izvornog čvora,  $N$  i  $M$  – dimenzije mreže na čipu. Drugim rečima, kod distribucije tipa tornado, određište adresa se računa tako što se na adresu čvora u kome je flit generisan doda pozitivni pomak koji odgovara polovini dimenzije mreže na čipu. Pri tome se vodi računa o graničnim vrednostima adresa. Na kraju, kod *bit-komplement* distribucije se dodeljuje određište adresa koja predstavlja komplementiranu vrednost binarnog zapisa adrese čvora u kome je flit generisan.

Prilikom simulacije se može izabrati jedan od dva modela intenziteta saobraćaja – varijabilni i saturacioni model. *Varijabilni* model intenziteta saobraćaja pruža mogućnost izbora intenziteta saobraćaja u mreži pri čemu se flitovi generišu u svakom IP jezgru nezavisno. Intenzitet saobraćaja se zadaje parametrom  $\lambda$  koji se još naziva i opterećenje mreže. Opterećenje mreže predstavlja broj generisanih flitova od strane jednog IP jezgra u jednom ciklusu mreže. Vrednost opterećenja mreže se kreće u granicama od 0 (kada IP jezgro ne generiše flitove) do 1 (kada IP jezgro generiše jedan flit u svakom ciklusu mreže). Flitovi se generišu Puasonovim slučajnim procesom. Vremenski intervali između generisanih flitova od strane IP jezgra su promenljivi. Njihovo trajanje je slučajna veličina sa eksponencijalnom raspodelom verovatnoće definisanom formulom:

$$P(T_i \leq t) = 1 - e^{-\lambda t} \quad (13)$$

gde je  $P(T_i \leq t)$  – verovatnoća da je trajanje vremenskog intervala između generisanja  $i - 1$  i  $i$  – tog flita manje ili jednako  $t$ ,  $e$  – osnova prirodnog logaritma,  $\lambda$  – opterećenje mreže. Prosečno trajanje ovog intervala je  $\frac{1}{\lambda}$ .

Kod *saturacionog* modela intenziteta saobraćaja, IP jezgro generiše novi flit neposredno nakon što je prethodno generisani flit ubačen u mrežu. Na taj način mreža radi pod maksimalnim opterećenjem.

Životni vek flita počinje u mrežnom ciklusu kada je flit generisan u izvornom IP jezgru, i traje do mrežnog ciklusa kada se isporučuje odredišnom IP jezgru. Za svaki flit se registruju podaci dati u Tab. 1. Sva vremena su izražena u taktim (mrežnim) ciklusima.

**Tab. 1** Parametri flita

Podatak	Značenje
$t_g$	Vreme generisanja flita
$t_i$	Vreme ubacivanja flita u mrežu
$t_a$	Vreme isporuke flita odredištu
$h_t$	Ukupan broj skokova
$d_c$	Broj deflekcija
$h_p$	Broj produktivnih skokova

Pored podataka za pojedinačne flitove, registruju se još i ukupan broj deflekcija ( $N_d$ ), ukupan broj misrutiranja ( $N_m$ ) i ukupan broj flitova procesiranih u PAS blokovima svih rutera ( $N_r$ ).

Statističkom obradom prikupljenih podataka izračunavaju se sledeće komunikacione performansne mere:

**$Th$**  – propusnost mreže pod uslovima varijabilog saobraćaja. Izražava se kao broj isporučenih flitova jednom IP jezgru u jednom ciklusu mreže,

**$Th_{max}$**  – maksimalna propusnost, tj. propusnost pod uslovima saturacionog saobraćaja,

**$L$**  – prosečna latencija, vreme od trenutka generisanja flita u izvornom IP jezgru do trenutka isporuke flita odredišnom IP jezgru. Latencija obuhvata vreme koje flit provede u baferu IP jezgra (od trenutka generisanja do trenutka ubacivanja u mrežu) i vreme transporta (od trenutka ubacivanja u mrežu do trenutka isporuke odredišnom IP jezgru).

$H$  – prosečan broj skokova flitova od izvora do odredišta,

$\delta_r$  – stopa defleksije ( $\delta_r = N_d/N_r$ ).

Vreme trajanja simulacije je konfigurabilni parametar i izražava se brojem mrežnih ciklusa. Za potrebe evaluacije predloženih rešenja u ovoj disertaciji je usvojeno vreme trajanja koje iznosi 10000 mrežnih ciklusa. Početni deo simulacije (prvih 1000 mrežnih ciklusa) čini tzv. vreme zagrevanja (engl. *warming time*), tj. vreme potrebno da se u mreži ustali saobraćaj, jer su u trenutku pokretanja simulacije svi predajni i prijemni baferi, kao i flit-registri na linkovima prazni. Ovaj deo vremena simulacije se ne uzima u obzir prilikom računanja komunikacionih performansnih mera.

## 4.5 Evaluacija performansi PAS stepena sa SMD i DMD alokatorima

Evaluacija performansi predloženih rešenja za distribuiranu i globalnu minimizaciju defleksija, obavljena je na osnovu simulacionog modela defleksione mreže na čipu sa topologijom 2D rešetke koja se sastoji od  $8 \times 8$  rutera. Kao bazični defleksioni ruter, u odnosu na koji se upoređuju performanse predloženog rešenja, usvojen je CHIPPER ruter. U simulacijama se pored saturacionog koristi i varijabilni saobraćaj sa uniformnom, transponovanom, tornado i bit-komplement distribucijom saobraćaja. Za procenu performansi koriste se sledeći parametri: maksimalna propusnost mreže, prosečna latencija, prosečni broj skokova flitova i stopa defleksija.

### 4.5.1 Saturacioni saobraćaj

U tabeli Tab. 2 je data maksimalna propusnost, prosečan broj skokova i stopa defleksije pri saturacionom saobraćaju za defleksionu mrežu na čipu sastavljenu od bazičnih defleksionih rutera (BL), defleksionih rutera sa distribuiranom minimizacijom defleksija (BL\_SMD) i defleksionih rutera sa globalnom minimizacijom defleksija (BL\_DMD). Rezultati se odnose na uniformnu distribuciju saobraćaja. Primena rešenja za minimizovanje defleksija na nivou rutera doprinosi smanjenju stope defleksija na nivou celokupne mreže i to za 12% kada je u pitanju BL\_SMD, i 26.1% za BL\_DMD. Manja stopa defleksije povlači za sobom kraće zadržavanje flita u mreži. Kao što se može videti u tabeli, u mreži na čipu sa bazičnim ruterima flit načini u proseku 13.197 skokova od izvora do odredišta, dok se primenom

distribuirane minimizacije deflekcija taj broj smanjuje na 11.289, a primenom globalne minimizacije deflekcija smanjuje na 9.56 skokova. Prosečan broj skokova odgovara vremenu transporta flita, izraženog u mrežnim ciklusima. Kraće vreme transporta znači da se kroz mrežu može preneti veći broj flitova u jedinici vremena, tj. veću maksimalnu propusnost mreže. Smanjenje broja skokova je takođe u korelaciji sa minimizacijom deflekcije flitova, što čini suštinu predloženih rešenja alokatora. Svaka deflekcija povećava broj skokova pojedinačnog flita za 2: prvi skok, koji je posledica deflekcije, udaljava flit od odredišta, dok drugi skok vraća flit na rastojanje do odredišta pre deflekcije. U odnosu na bazični deflekcioni ruter, BL\_SMD ostvaruje poboljšanje performansi za 17.4%, a BL\_DMD za 38.6% u pogledu maksimalne propusnosti.

U tabelama Tab. 3, Tab. 4 i Tab. 5 je data maksimalna propusnost, prosečan broj skokova i stopa deflekcija za BL, BL\_SMD i BL\_DMD mreže u uslovima saturacionog saobraćaja za transponovanu, tornado i bit-komplement distribuciju saobraćaja.

**Tab. 2** Maksimalne propusnosti, prosečan broj skokova i stopa deflekcije mreža sa BL, BL\_SMD i BL\_DMD ruterima pri saturacionom saobraćaju sa uniformnom raspodelom odredišta

	BL	BL_SMD	BL_DMD
$Th_{max}$	0.264	0.310	0.366
$H$	13.197	11.289	9.56
$\delta_r$	0.299	0.263	0.221

**Tab. 3** Maksimalne propusnosti mreža sa BL, BL\_SMD i BL\_DMD ruterima pri saturacionom saobraćaju sa neuniformnom raspodelom odredišta

	BL	BL_SMD	BL_DMD
Transpose	0.301	0.332	0.358
Tornado	0.164	0.198	0.235
Bit Complement	0.161	0.195	0.233

**Tab. 4** Prosečan broj skokova mreža sa BL, BL\_SMD i BL\_DMD ruterima pri saturacionom saobraćaju sa neuniformnom raspodelom odredišta

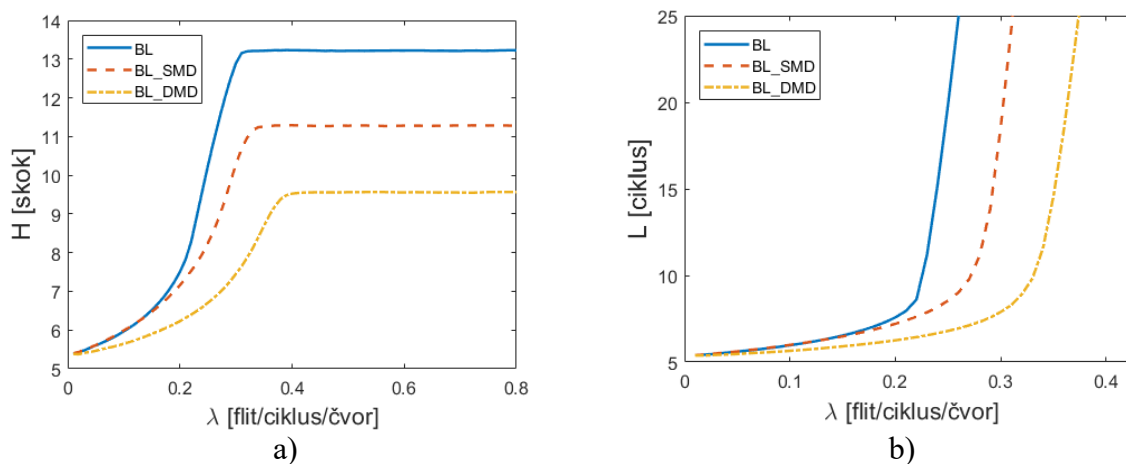
	BL	BL_SMD	BL_DMD
Transpose	10.149	10.527	9.770
Tornado	19.185	16.917	14.092
Bit Complement	18.936	17.920	14.962

**Tab. 5** Stope deflekcije mreža sa BL, BL\_SMD i BL\_DMD ruterima pri saturacionom saobraćaju sa neuniformnom raspodelom odredišta

	BL	BL_SMD	BL_DMD
Transpose	0.234	0.229	0.198
Tornado	0.274	0.267	0.222
Bit Complement	0.286	0.302	0.265

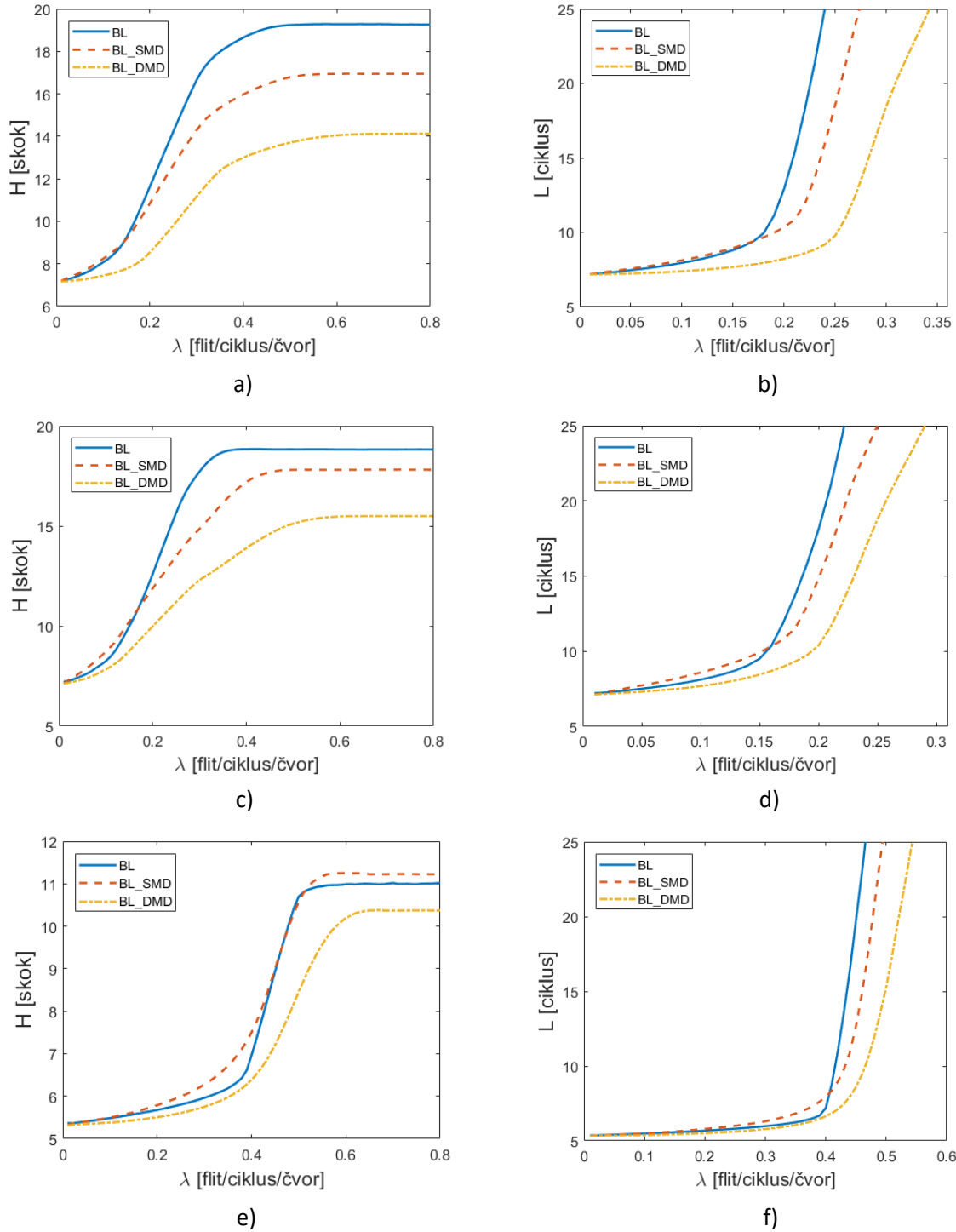
## 4.5.2 Varijabilni saobraćaj

Na Sl. 4-12 su prikazani grafikoni za prosečan broj skokova i prosečnu latenciju BL, BL\_SMD i BL\_DMD mreže pod uslovima varijabilnog saobraćaja sa uniformnom distribucijom saobraćaja. Opterećenje se u simulacijama menja od nule do maksimalne vrednosti pri kojoj mreža ulazi u zasićenje. Kada je opterećenje mreže veoma malo, zbog malog broja flitova u mreži, deflekcije se javljaju sporadično, tako da većina flitova stiže na svoje odredište najkraćom putanjom. Sa porastom opterećenja mreže raste broj situacija u kojima dva ili više flitova zahtevaju prolaz na isti izlazni port rutera, što povećava broj deflekcija, a time i broj skokova i latenciju flita. Kada opterećenje dostigne maksimalnu propusnost, mreža ulazi u zasićenje, pri čemu je kapacitet mreže u potpunosti zauzet pa nije moguće dalje povećanje broja flitova u mreži. Pod ovim uslovima, latencija naglo raste, što je posledica dugog čekanja flitova u baferima izvornih IP jezgara, dok broj skokova, odnosno vreme transporta održava konstantnu vrednost. Na osnovu grafikona se može videti da su pri malom opterećenju ( $\lambda < 0.15$ ) performanse BL, BL\_SMD i BL\_DMD rutera približno iste zbog male stope deflekcije u mreži. Veća efikasnost BL\_SMD i BL\_DMD rutera u razrešavanju konflikata između flitova dolazi do izražaja sa povećanjem opterećenja, kada raste broj flitova u mreži, a time i učestanost pojave konfliktnih situacija.



Sl. 4-12 Performanse deflekcionih rutera sa SMD i DMD alokatorom pri varijabilnom saobraćaju sa uniformnom distribucijom: a) prosečan broj skokova, b) prosečna latencija

Na Sl. 4-13 su prikazani grafikoni za prosečan broj skokova i prosečnu latenciju BL, BL\_SMD, i BL\_DMD mreže pod uslovima varijabilnog saobraćaja za tornado, bit-komplement i transponovanu distribuciju saobraćaja. Kao što se može primetiti, poboljšanje performansi mreže sa predloženim rešenjima se uočava i za ove distribucije saobraćaja.



**Sl. 4-13** Performanse deflekcionihi rutera sa SMD i DMD alokatorom pri varijabilnom saobraćaju sa neuniformnom distribucijom: a) prosečan broj skokova za tornado distribuciju, b) prosečna latencija za tornado distribuciju, c) prosečan broj skokova za bit-komplement distribuciju, d) prosečna latencija za bit-komplement distribuciju, e) prosečan broj skokova za transponovanu distribuciju, f) prosečna latencija za transponovanu distribuciju.



## 5. SUPRESIJA MISRUTIRANJA

Zbog nemogućnosti privremenog skladištenja flitova, kod deflekcionih ruteru bez bafera svi flitovi deflektovani u tekućem ciklusu moraju da napuste ruter u narednom ciklusu mreže. To znači da će deflektovani flit uvek napraviti neproduktivni skok prema susednom ruteru, čime se udaljava od svog odredišta. Sa druge strane, kod deflekcionih ruteru sa minimalnim baferovanjem, činjenica da je flit deflektovan ne povlači nužno i to da će flit napustiti ruter i napraviti neproduktivan skok, jer se deflektovani flit može sačuvati u baferu za naredni ciklus mreže kada će se ponovo nadmetati sa ostalim flitovima za dodelu produktivnog porta. Iz tog razloga u ovoj disertaciji je uveden pojam *misrutiranje flita*. Misrutiranje flita se odnosi na situaciju kada deflektovani flit napušta ruter, dok deflekcija samo znači da je flit raspoređen na neproduktivni port ruteru. Kod deflekcionih ruteru bez bafera, deflekcija ujedno podrazumeva i misrutiranje. Kod deflekcionih ruteru sa minimalnim baferovanjem, deflekcija uslovljava misrutiranje ili baferovanje.

Poboljšanje performansi deflekcionih mreža na čipu se, pored minimizacije deflekcija primenom poboljšanih algoritama za alokaciju portova u PAS bloku ruteru, može ostvariti i smanjenjem misrutiranja, primenom tzv. tehnika za *supresiju misrutiranja*. Konvencionalni pristup problemu supresije misrutiranja se sastoji u primeni SB-a za privremeno skladištenje deflektovanog flita. Na taj način deflektovani flit ostaje u ruteru do sledećeg mrežnog ciklusa kada dobija novu mogućnost za nadmetanje u dodeli produktivnog porta.

U ovoj disertaciji je predloženo nekoliko tehnika za supresiju misrutiranja, koje se u zavisnosti od mesta primene, mogu svrstati u tehnike koje se primenjuju u ruteru i tehnike koje se primenjuju na linku. Od tehnika koje se primenjuju u ruteru, u ovoj disertaciji je predloženo rešenje koje se implementira u deflekcionim ruterima sa minimalnim

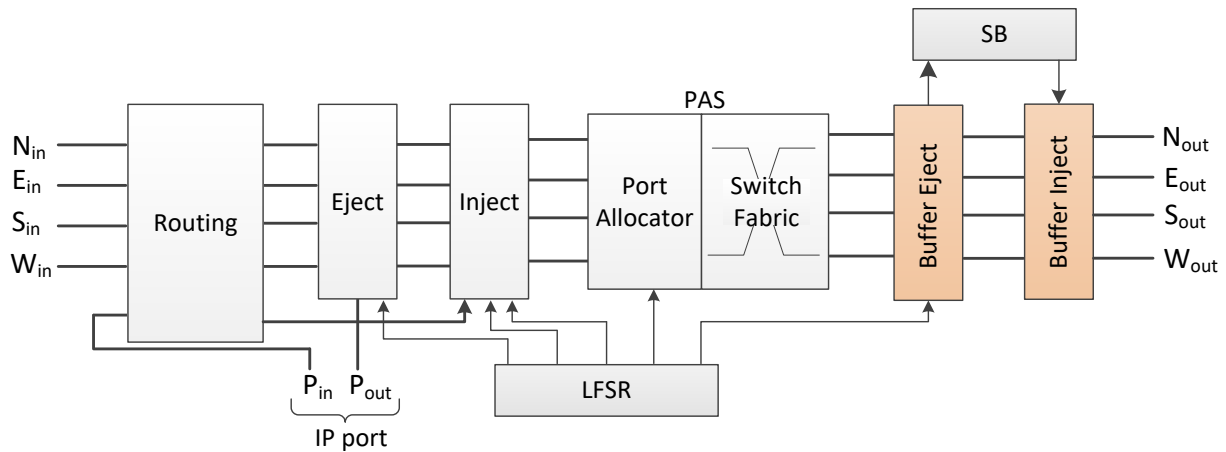
baferovanjem. Ovo rešenje modifikuje postojeću organizaciju rutera uz uvođenje optimizovanog algoritma za alokaciju SB-a. Od tehnika koje se primenjuju na linku, u ovoj disertaciji su predložena dva rešenja: refleksioni link i refleksioni link sa baferima. Suština ovih rešenja je da se tradicionalni link, koji omogućava prenos flitova između rutera, zameni linkom koji dodatno omogućava da se flit vrati natrag u ruter u kome je deflektovan.

## 5.1 Optimizovani deflekcioni ruter sa minimalnim baferovanjem

Deflekcioni ruter sa SB-om (MinBD) ostvaruje znatno veće performanse u odnosu na bazični deflekcioni ruter bez bafera, što ga čini pogodnim i za primenu u aplikacijama sa intenzivnim saobraćajem. SB omogućava da se deflektovani flit zadrži u ruteru za neki od narednih mrežnih ciklusa, kada će se ponovo nadmetati za dodelu produktivnog porta. U SB se tipično može smestiti jedan deflektovani flit. Analizom je utvrđeno da se za veličine bafera za više od dva flita ne dobija značajno unapređenje performansi [48]. Pored poboljšanja performansi, MinBD ruter poseduje dva glavna nedostatka. U arhitekturi MinBD rutera, blok za ubacivanje flita iz SB-a u mrežu (*Buffer Inject*) se nalazi ispred *Inject* bloka. Na taj način flit iz SB-a dobija viši prioritet za ubacivanje u mrežu od flita IP jezgra pridruženog ruteru. To dovodi do toga da se pri intenzivnom saobraćaju, kada je SB stalno popunjen, flitovi od strane IP jezgra skoro ne ubacuju u mrežu, jer je mala verovatnoća da dva flit-kanala budu slobodna (jedan flit-kanal za flit iz SB-a, i jedan za flit iz IP jezgra). Ova pojava za posledicu ima neravnomerno učestvovanje u saobraćaju mreže, što je detaljnije analizirano u sekciji 6. Drugi nedostatak MinBD rutera je nasumičan izbor deflektovanog flita za ubacivanje u SB. Kod ovog rutera se koristi trivijalni algoritam za alokaciju SB-a pri čemu se slučajno bira jedan od deflektovanih flitova na izlazu PAS stepena (sekcija 3.3.2). Međutim, određeni deflektovani flitovi mogu ispoljiti veću verovatnoću za dodelu produktivnog porta u narednim mrežnim ciklusima, pa je pogodnije sačuvati upravo takve flitove u SB, nego nasumično birati jedan od deflektovanih flitova.

U ovoj disertaciji je predloženo rešenje koje unapređuje performanse deflektionog rutera sa SB-om. Predloženo rešenje ujedno modifikuje arhitekturu rutera i algoritam za alokaciju SB-a. Na Sl. 5-1 je prikazana predložena arhitektura rutera sa SB-om. Kao što se može uočiti, stepen za ubacivanje flitova iz bafera (*Buffer Inject*) je pomeren sa ulaza na izlaz PAS bloka. U novoj organizaciji, blok *Inject* je pozicioniran ispred bloka *Buffer Inject* što

daje viši prioritet IP jezgru da ubaci flit u slobodan flit-kanal u odnosu na ubacivanje flita iz SB-a. Na taj način se povećava verovatnoća ubacivanja novih flitova u mrežu od strane IP jezgra i pri intenzivnom saobraćaju, što bi trebalo da uspostavi ravnomerniji saobraćaj i kompenzuje problem neravnopravnosti čvorova prilikom ubacivanja flitova u mrežu, koji je izražen kod tradicionalnog deflekcionog rutera sa SB-om.



Sl. 5-1 Modifikovana arhitektura deflekcionog rutera sa SB-om

Tradicionalni deflekcioni ruter sa SB-om implementira algoritam za alokaciju bafera koji nasumično bira jedan od deflektovanih flitova sa izlaza PAS bloka i smešta ga u SB. Predloženo rešenje modifikuje ovaj algoritam dodavanjem novih opcija prilikom izbora deflektovanog flita. Modifikovani algoritam obuhvata nekoliko aktivnosti. Najpre se identifikuju kandidati za smeštanje u SB. Kandidat je bilo koji deflektovani flit, a da pri tome to nije flit namenjen lokalnom IP jezgru. Nakon što prođe PAS, lokalno adresirani flit može biti isporučen lokalnom IP jezgru samo ukoliko napusti tekući ruter, jer se blok *Eject* kojim se flit izbacuje ka lokalnom IP jezgru nalazi pre PAS-a. Zbog toga, baferovanje deflektovanog lokalno adresiranog flita nije poželjno. U drugom koraku, algoritam bira jednog od prethodno izabranih kandidata koji smešta u SB. Najviši prioritet se daje flitu koji je deflektovan na izlazni port koji je produktivan za flit koji se trenutno nalazi u SB-u. Naime, ubacivanje novog deflektovanog flita u SB uzrokuje to da se flit koji je do tog trenutka bio u SB-u ubaci u mrežu. Ukoliko su svi produktivni portovi za baferovani flit zauzeti, baferovani flit se mora misrutirati. Međutim, ukoliko je flit koji je izabran za ubacivanje u SB deflektovan na izlazni port koji je produktivan za flit u SB-u, taj port se oslobađa, što garantuje produktivno rutiranje flita koji se trenutno nalazi u SB-u. U situaciji kada više od jednog flita zadovoljava prethodne kriterijume, prioritet se daje deflektovanom flitu koji ima dva produktivna porta. Flit sa dva produktivna porta ima više izbora u odnosu

na flit sa jednim produktivnim portom, pa je i veća verovatnoća da će takav flit biti produktivno rutiran u sledećem ciklusu. Na kraju, ako ne postoji flit deflektovan na port koji je produktivan za flit u SB-u, ili je SB prazan, algoritam daje prednost deflektovanom flitu sa dva produktivna porta. Ukoliko ni takvi flitovi ne postoje, algoritam se svodi na bazični algoritam tradicionalnog rutera sa SB-om, koji nasumično bira jedan od deflektovanih flitova i smešta ga u SB. Treba primetiti da modifikovani algoritam izbacuje flit iz SB-a uvek kada je ostvaren jedan od prethodnih uslova. Jedina situacija u kojoj se flit može zadržati više ciklusa u SB-u je ona kada su svi izlazni portovi zauzeti produktivno rutiranim flitovima.

Blok *Buffer Inject* ubacuje flit iz SB-a (ukoliko postoji) na neki od slobodnih flit-kanala. Ukoliko je više od jednog flit-kanala slobodno, prednost se daje flit-kanalu koji je produktivan za dati flit. Ukoliko flit iz SB-a ima dva produktivna flit-kanala, i ukoliko su oba slobodna, nasumično se bira jedan od njih u koji se dati flit smešta. Takođe, nasumični izbor se primenjuje u situaciji kada je više flit-kanala slobodno, a pri tom ni jedan od njih nije produktivan za flit iz SB-a (u situaciji kada se flit iz SB-a misrutira).

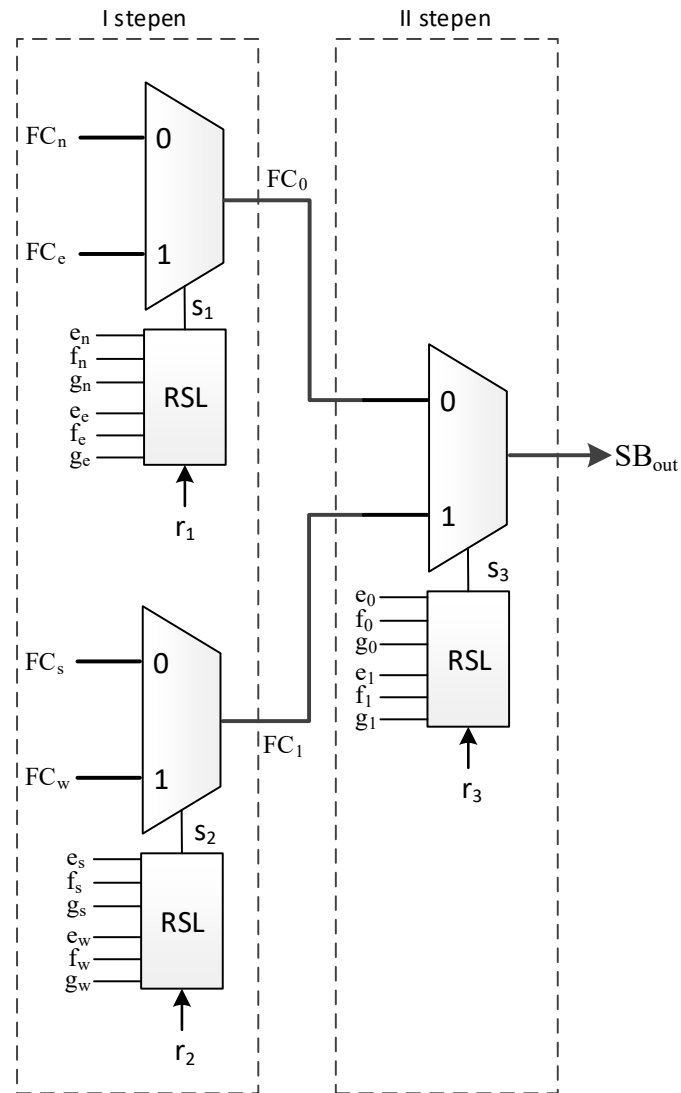
### 5.1.1 Hardverska implementacija

Struktura bloka *Buffer Eject* u deflekcionom ruteru sa SB-om i optimizovanim algoritmom za alokaciju bafera je identična strukturi standardnog *Eject* bloka (Sl. 3-5) opisanog u sekciji 3.2.2, s obzirom na to da se kao i kod bloka *Eject*, i kod bloka *Buffer Eject* izbor jednog od četiri flita vrši pomoću dvonivovske mreže multipleksera sa pridruženim RSL jedinicama. Razlika je u RSL jedinici, koje u slučaju bloka *Buffer Eject* implementiraju složeniji kriterijum izbora između dva flita. Na Sl. 5-3 je prikazana struktura modifikovanog *Buffer Eject* bloka. Radi primene optimizovanog algoritma za alokaciju SB-a, svaki flit-kanal je na ulasku u *Buffer Eject* blok proširen sa tri statusna bita  $e, f, g$  koji se koriste za selekciju u RSL jedinici. Ovi bitovi imaju sledeće značenje:

$e$  – na flit-kanalu je prisutan flit koji je deflektovan i pri tom nije lokalno adresirani

$f$  – flit-kanal je produktivan za baferovani flit

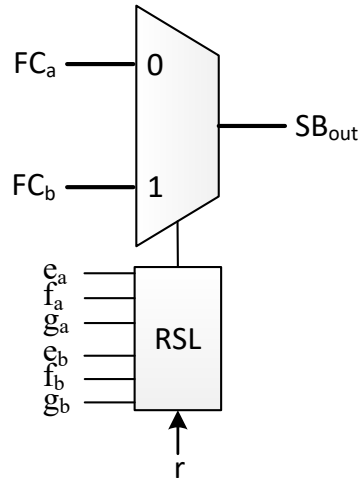
$g$  – na flit-kanalu je prisutan flit koji ima dva produktivna porta

Sl. 5-2 Struktura modifikovanog bloka *Buffer Eject*

Na Sl. 5-3 je prikazana sekcija bloka *Buffer Eject* koji obuhvata multiplexer 2/1 i pridruženu RSL jedinicu. Statusni bitovi su u vezi sa kriterijumima za izbor flita za baferovanje koji su uvedeni u prethodnoj sekciji. Flit sa setovanim bitom  $e$  je kandidat za ubacivanje u bafer. Flit sa setovanim bitom  $f$  ima viši prioritet u odnosu na flit kod koga je ovaj bit resetovan. Između dva flita sa setovanim bitovima  $e$  i  $f$ , prednost se daje flitu sa setovanim bitom  $g$ . Ukoliko dva flita imaju iste vrednosti statusnih bitova, izbor se vrši na slučajan način. Na osnovu statusnih bitova ( $e$ ,  $f$ ,  $g$ ), RSL jedinica realizuje funkciju zadatu logičkim izrazom (14). U ovom izrazu, indeksi  $a$  i  $b$  ukazuju na pripadnost statusnog bita jednom od dva flit-kanala na ulazu sekcije *Buffer Inject* bloka. U slučaju da oba flita zadovoljavaju iste uslove, slučajno generisani flit  $r$  nasumično bira jedan flit. Nakon pojednostavljenja i faktorizacije, izraz (14) se svodi na izraz (15).

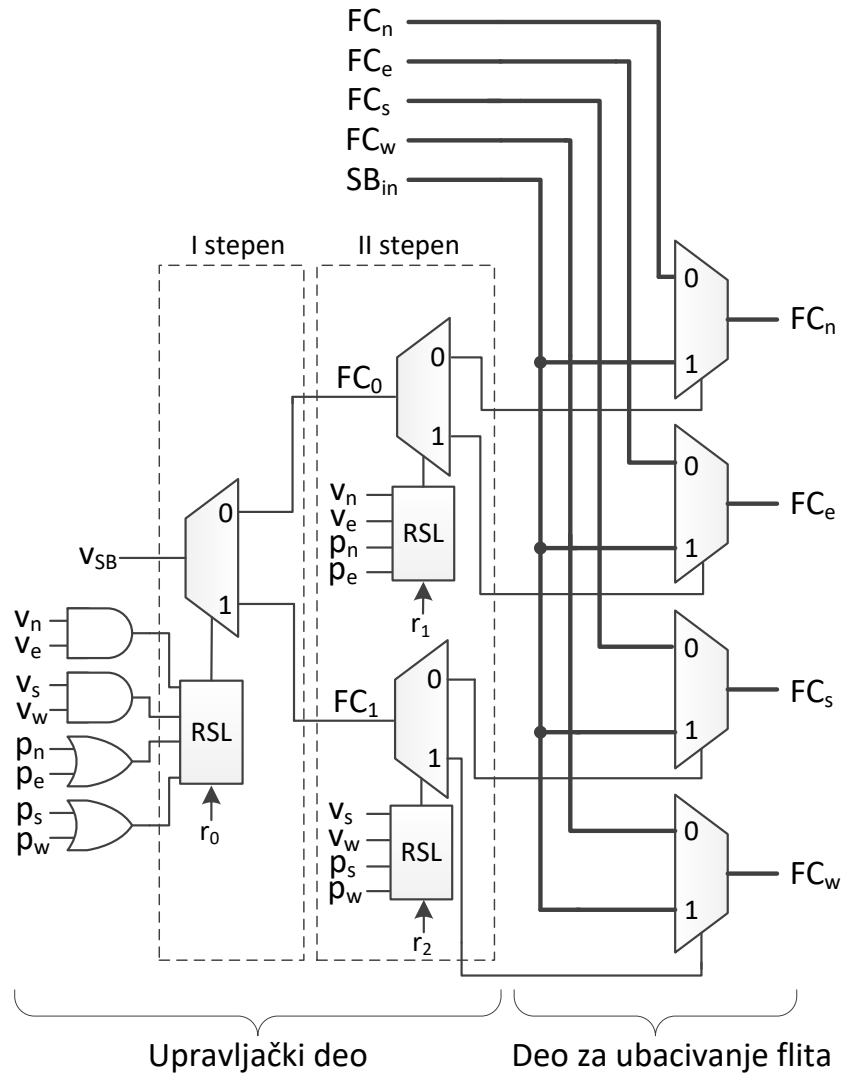
$$s = e_b \bar{e}_a + e_b e_a (f_b \bar{f}_a + f_b f_a g_b \bar{g}_a + f_b f_a g_b g_a r) \quad (14)$$

$$s = e_b (\bar{e}_a + f_b (f_a + g_b (\bar{g}_a + r))) \quad (15)$$

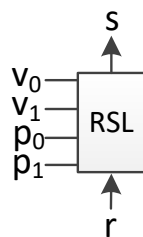


Sl. 5-3 Sekcija predloženog bloka *Buffer Eject*

Na Sl. 5-4 je prikazana struktura bloka *Buffer Inject*. Ovaj blok je sličan bloku *Inject* (Sl. 3-6), opisanog u sekciji 3.2.3, sa razlikom u strukturi RSL jedinice. U odnosu na RSL iz bloka *Inject* koja nasumično bira jedan od slobodnih flit-kanala za ubacivanje novog flita, RSL jedinica *Buffer Inject* bloka dodatno treba da zadovolji kriterijume opisane u prethodnoj sekciji. RSL jedinica je ista u oba stepena upravljačkog dela *Buffer Inject* bloka i može se generički predstaviti kao na Sl. 5-5. Može se uočiti da pored bitova validnosti ( $v_0$  i  $v_1$ ), RSL jedinica kao ulaz ima i bitove produktivnosti flitova ( $p_0$  i  $p_1$ ). Za RSL jedinice prvog stepena, ovi bitovi ukazuju na status produktivnosti za dva izlazna porta, i to  $N$  i  $E$  za  $p_0$ , i  $S$  i  $W$  za  $p_1$ , dok za RSL jedinice drugog stepena, ovi bitovi odgovaraju samo jednom produktivnom portu. Izlaz je signal  $s$  kojim se bira konfiguracija pridruženog demultipleksera. Uloga RSL jedinice i demultipleksera je da trasira bit validnosti flita iz bafera ( $v_{SB}$ ) do odgovarajućeg selekcionog signala multipleksera iz dela za ubacivanje flita. Funkcionalnost RSL jedinice se analitički može predstaviti izrazom (16). Pojednostavljenjem i faktorizacijom izraz (16) se svodi na izraz (17).



Sl. 5-4 Struktura bloka *Buffer Inject*



Sl. 5-5 RSL jedinica bloka *Buffer Inject*

$$s = \bar{v}_1 v_0 + \bar{v}_1 \bar{v}_0 p_1 \bar{p}_0 + \bar{v}_1 \bar{v}_0 p_1 p_0 r \quad (16)$$

$$s = \bar{v}_1 (v_0 + p_1 (\bar{p}_0 + r)) \quad (17)$$

## 5.1.2 Evaluacija performansi

Evaluacija performansi predloženog optimizovanog deflekcionog rutera sa SB-o, obavljena je na osnovu simulacionog modela deflekcione mreže na čipu sa topologijom 2D rešetke koja se sastoji od  $8 \times 8$  rutera. U simulacijama se koristi saturacioni i varijabilni saobraćaj sa uniformnom, transponovanom, tornado i bit-komplement distribucijom saobraćaja. Kao referentni deflekcioni ruteri, usvojeni su bazični deflekcioni ruter i MinBD ruter. Kao mera procene performansi koriste se sledeći parametri: maksimalna propusnost mreže, prosečna latencija, prosečni broj skokova flitova, stopa deflekcija i transportno kašnjenje.

### *Saturacioni saobraćaj*

U Tab. 6 je data maksimalna propusnost, prosečan broj skokova, stopa deflekcije i transportno kašnjenje pri uniformnom saturacionom saobraćaju za deflekcionu mrežu sastavljenu od rutera sa delimičnim PAS-om (BL), MinBD rutera (SB) i optimizovanim deflekcionim ruterima sa minimalnim baferovanjem (SB\_O). Mreža sastavljena od SB\_O rutera ostvaruje povećanje maksimalne propusnosti, i to 37.5% u odnosu za mrežu sa BL ruterima, i 9.6% u odnosu na mrežu sa SB ruterima. Iz tabele se može videti da uprkos povećanju maksimalne propusnosti i smanjenju prosečne latencije, SB\_O ima veći prosečan broj skokova u odnosu na SB. Razlog tome leži u organizaciji rutera u kojoj je pozicija *Buffer Inject* bloka takva da ne blokira blok *Inject*. U slučaju da u ruteru postoji slobodan flit-kanal, SB\_O daje prioritet flitu koji ubacuje IP jezgro. Na taj način, u mreži sa SB\_O ruterima u proseku boravi više flitova nego u mreži sa SB ruterima. Veći broj flitova vodi ka većoj propusnosti, i po cenu povećanja transportnog kašnjenja, broja skokova i stope deflekcija.

**Tab. 6** Maksimalna propusnost, prosečan broj skokova, stopa deflekcije i transportno kašnjenje za BL, SB i SB\_O mreže pri saturacionom saobraćaju sa uniformnom raspodelom

	BL	SB	SB O
$Th_{max}$	0.264	0.331	0.363
$H$	13.197	8.729	9.547
$\delta_r$	0.299	0.288	0.306
$t_d$	13.184	11.055	12.273

U tabelama Tab. 7, Tab. 8 i Tab. 9 je data maksimalna propusnost, prosečan broj skokova i stopa deflekcija za BL, SB i SB\_O mreže za transponovanu, tornado i bit-komplement distribuciju saobraćaja. U uslovima regularne distribucije saobraćaja, SB ispoljava lošije performanse u odnosu na BL, iako je pri uniformnoj distribuciji znatno bolji.



Ovaj problem ne postoji kod SB\_O, koji ostvaruje najbolje performanse pri transponovanoj distribuciji saobraćaja.

**Tab. 7** Maksimalne propusnosti mreža sa BL, SB i SB\_O ruterima pri saturacionom saobraćaju sa neuniformnom distribucijom

	BL	SB	SB_O
Transpose	0.301	0.211	0.316
Tornado	0.164	0.130	0.215
Bit Complement	0.161	0.152	0.192

**Tab. 8** Prosečan broj skokova mreža sa BL, SB i SB\_O ruterima pri saturacionom saobraćaju sa neuniformnom distribucijom

	BL	SB	SB_O
Transpose	10.149	11.827	9.665
Tornado	19.185	23.265	15.467
Bit Complement	18.936	17.813	15.952

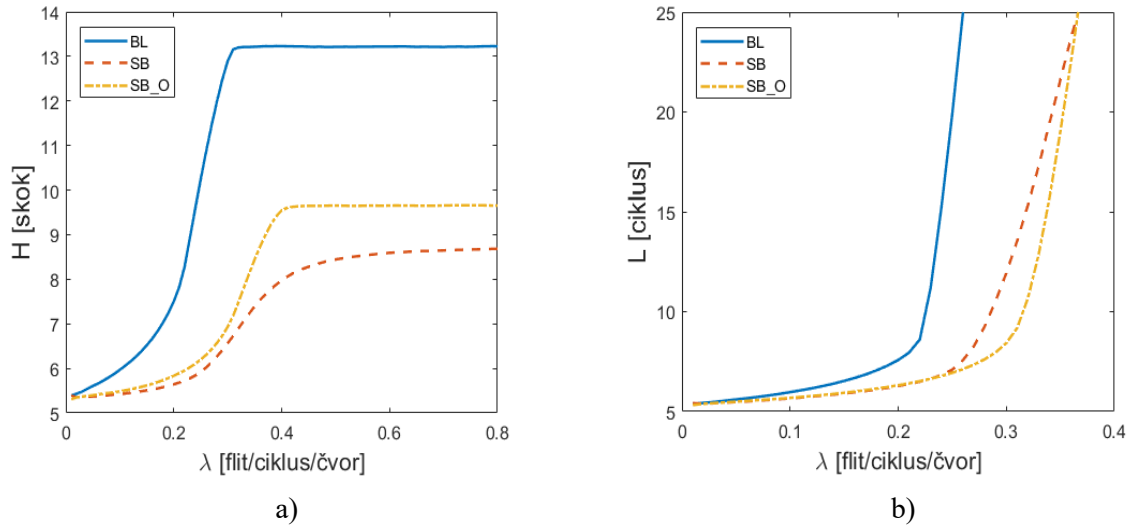
**Tab. 9** Stope deflekcije mreža sa BL, SB i SB\_O ruterima pri saturacionom saobraćaju sa neuniformnom distribucijom

	BL	SB	SB_O
Transpose	0.234	0.243	0.233
Tornado	0.274	0.400	0.291
Bit Complement	0.286	0.278	0.282

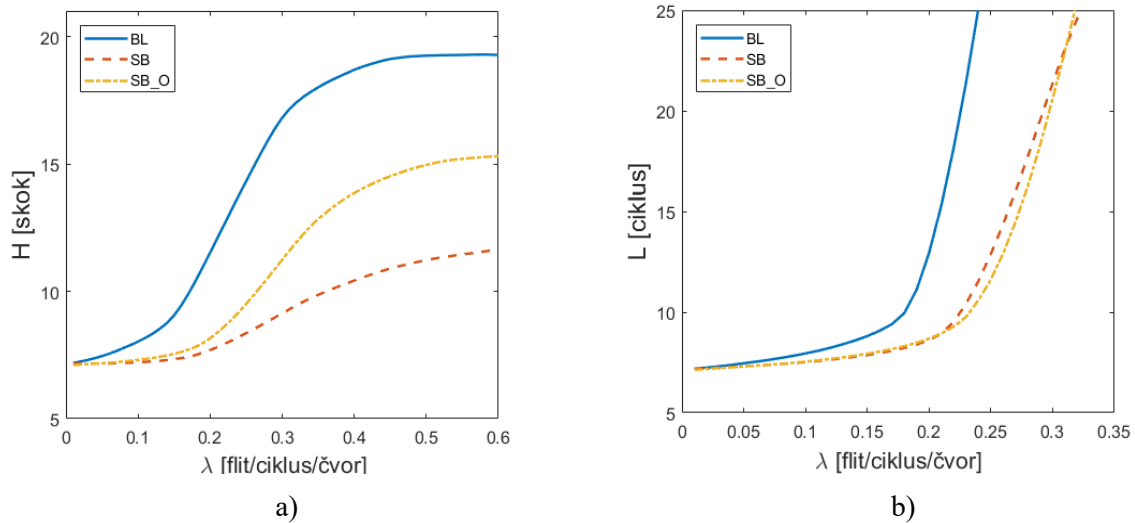
### *Varijabilni saobraćaj*

Na Sl. 5-6 su prikazani grafikoni za prosečan broj skokova flitova i prosečnu latenciju za mrežu sastavljenu od bazičnih rutera sa delimičnim PAS-om (BL), deflekcioni rutera sa minimalnim baferovanjem (SB), i optimizovanih deflekcioni rutera sa minimalnim baferovanjem (SB\_O). Grafikoni odgovaraju varijabilnom saobraćaju sa uniformnom distribucijom saobraćaja. Može se uočiti da SB i SB\_O ruteri ispoljavaju značajno smanjenje prosečnog broja skokova i prosečne latencije u odnosu na BL rutere. Pri niskom intenzitetu saobraćaja, stopa deflekcija je mala pa se ne ispoljavaju efekti mehanizama za supresiju misrutiranja. Iz tog razloga, početni deo grafikona za prosečan broj skokova i prosečnu latenciju se skoro poklapa za sve varijante rutera. Međutim, pri opterećenju  $\lambda = 0.33$  koje odgovara granici zasićenja za SB, primenom SB\_O se ostvaruje poboljšanje performansi za 29.4% u pogledu smanjenja prosečne latencije. Manja prosečna latencija pri intenzivnom saobraćaju je posledica veće propusnosti SB\_O. Može se uočiti da pored boljih performansi u odnosu na SB, SB\_O ima veći prosečan broj skokova. Ovo je posledica predloženog algoritma koji dovodi do kraćeg zadržavanja flita u baferu, u odnosu na SB. Međutim, pored većeg prosečnog broja skokova, ukupno vreme koje flit provede u mreži je kraće za SB\_O.

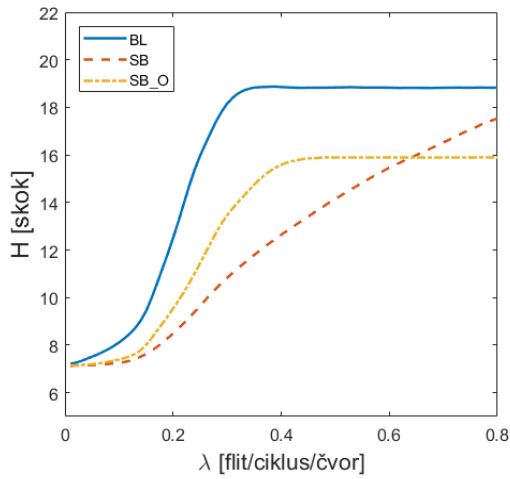
Na Sl. 5-6 su prikazani grafikoni za prosečan broj skokova i prosečnu latenciju za SB\_O mrežu pri varijabilnom saobraćaju sa transponovanom, tornado i bit-komplement distribucijom saobraćaja.



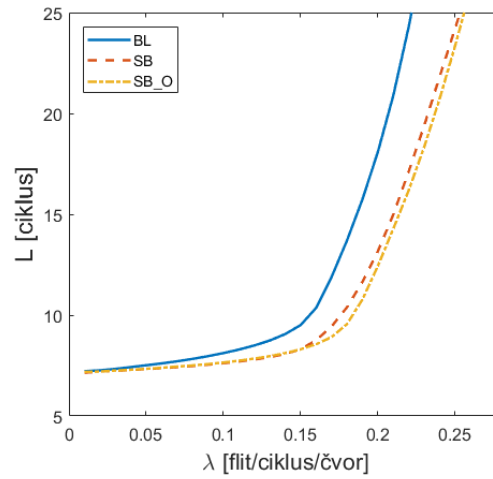
Sl. 5-6 Performanse deflekcione mreže sa optimizovanim SB-om pri varijabilnom saobraćaju sa uniformnom distribucijom: a) prosečan broj skokova c) prosečna latencija



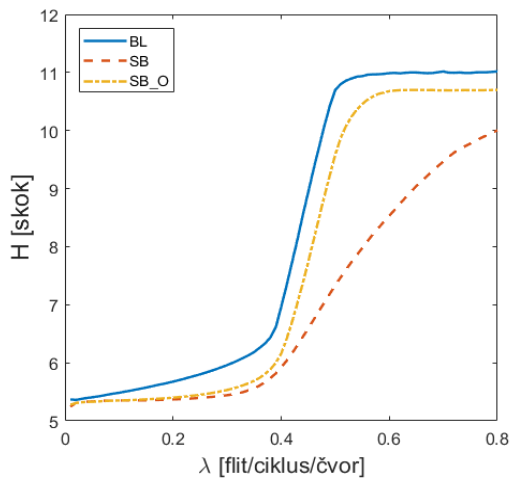
Sl. 5-7 Performanse deflekcione mreže sa optimizovanim SB-om pri varijabilnom saobraćaju sa neuniformnom distribucijom: a) prosečan broj skokova za tornado distribuciju b) prosečna latencija za tornado distribuciju, c) prosečan broj skokova za bit-komplement distribuciju, d) prosečna latencija za bit-komplement distribuciju, e) prosečan broj skokova za transponovanu distribuciju, f) prosečna latencija za transponovanu distribuciju



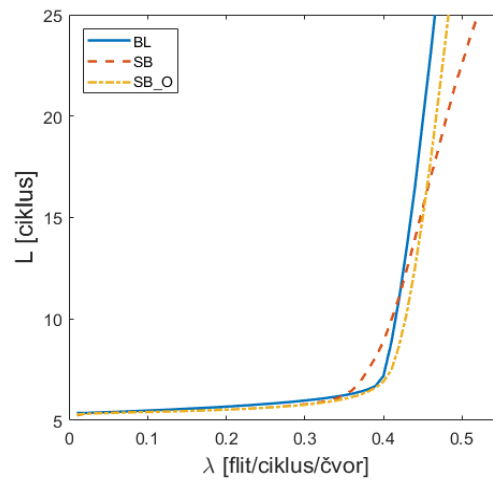
c)



d)



e)



f)

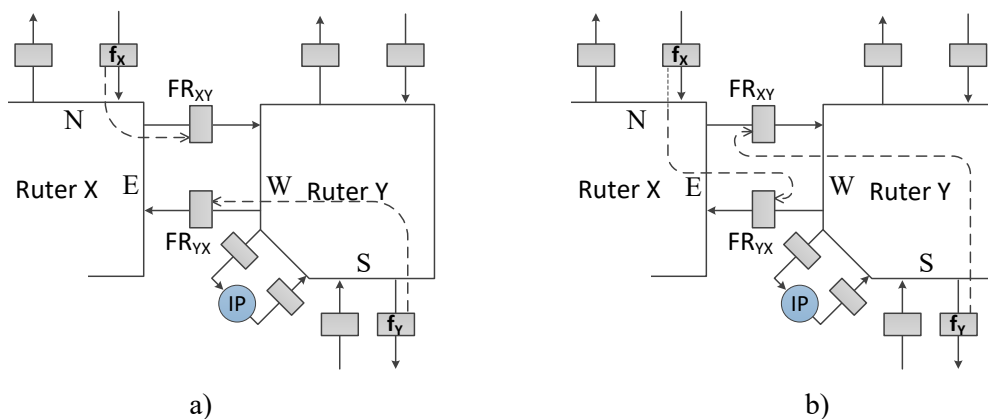
Sl. 5-7 (nastavak)

## 5.2 Refleksioni link

U tradicionalnim deflekcionim mrežama na čipu, flit-registri su transparentni sa stanovišta rutiranja. Njihova isključiva uloga je da obezbede memorijski prostor za privremeno smeštanje flita na njegovom putu prema krajnjem odredištu. Osnovna ideja supresije misrutiranja na linku se sastoji u tome da se flit-registrima dodeli dodatna uloga, odnosno uloga privremenih SB-ova za deflektovane flitove. Dugim rečima, umesto da se za supresiju misrutiranja koristi SB koje je ugrađen u ruteru, za baferovanje deflektovanog flita se koristi, ako je to moguće, neki od flit-registara koji okružuju ruter.

Osnovna ideja predloženog rešenja za supresiju misrutiranja na linku je predstavljena na Sl. 5-8. Slika prikazuje samo deo deflekcione mreže na čipu, sa bidirekcionim linkom između rutera X i Y. Konvencionalni link omogućava isključivo bezuslovnu razmenu flitova između rutera (Sl. 5-8 a)), bez obzira na status flitova na krajevima linka (produktivno rutirani ili deflektovani). U konkretnoj situaciji, flit  $f_x$  je kroz ruter X usmeren ka ruteru Y, dok je flit  $f_y$  kroz ruter Y usmeren ka ruteru X, što je označeno isprekidanom linijom na Sl. 5-8 a). Na početku sledećeg ciklusa, flitovi  $f_x$  i  $f_y$  se upisuju u flit-registre  $FR_{xy}$  i  $FR_{yx}$  na linku između rutera X i Y. U slučajevima kada su flitovi  $f_x$  i  $f_y$  deflektovani u ruterima X i Y, ne postoji način da se izbegne misrutiranje.

Na Sl. 5-8 b), je na konceptualnom nivou prikazana konfiguracija refleksionog linka uvedenog predloženim rešenjem. U ovoj konfiguraciji, link se premošćava tako da se flitovi sa izlaznih portova rutera reflektuju natrag ka tekućim ruterima u kojima su deflektovani, što je naznačeno isprekidanim linijama na Sl. 5-8 b). Umesto da bude upisan u registar  $FR_{XY}$ , kao pri standardnoj razmeni flitova između rutera, flit  $f_x$  se upisuje u registar  $FR_{YX}$ . Slično, flit  $f_y$  se umesto u registar  $FR_{YX}$  upisuje u registar  $FR_{XY}$ . Na ovaj način, deflektovani flit neće biti misrutiran, već će se zadržati u tekućem ruteru. Svako misrutiranje produžava boravak flita u mreži za dva ciklusa (jedan ciklus za neproduktivni skok, i jedan ciklus za povratak u ruter u kome je prethodno deflektovan). Refleksijom se štedi jedan ciklus jer deflektovani flit, umesto da napravi neproduktivan skok, ostaje u tekućem ruteru.



Sl. 5-8 Supresija misrutiranja refleksijom deflektovanih flitova: a) razmena flitova između rutera, b) refleksija flitova

Predloženo rešenje omogućava dinamički izbor jedne od dve konfiguracije linka, u zavisnosti od statusa flitova na krajevima linka. Kako bi se očuvao nesmetani protok produktivno rutiranih flitova, uvedeno je pravilo za izbor konfiguracije linka:

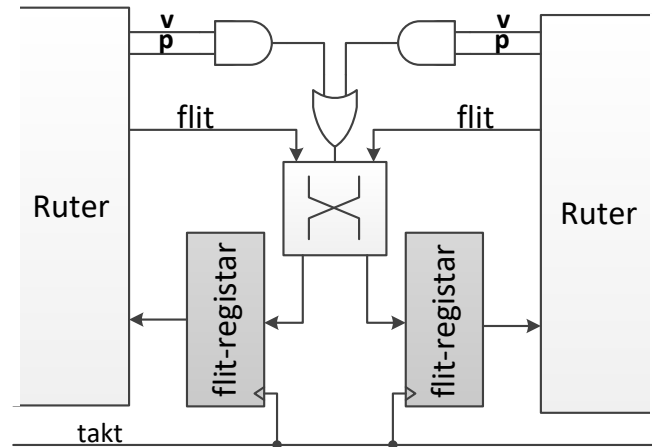
Ukoliko se sa bilo koje strane linka nalazi produktivno rutirani flit, link se postavlja u konfiguraciju za razmenu flitova (Sl. 5-8 a)), u suprotnom link se postavlja u konfiguraciju za reflektovanje flitova ka tekućim ruterima (Sl. 5-8 b)).

Posledice ovog pravila su:

- a) Deflektovani flit će biti misrutiran jedino u slučaju kada se na drugom kraju linka nalazi produktivno rutirani flit. Misrutiranje se sprečava u situacijama kada su na obe strane linka prisutni deflektovani flitovi, ili je na jednoj strani deflektovan flit, dok je na drugoj strani link slobodan.
- b) Konfiguracija za reflektovanje flitova je transparentna za produktivno rutirane flitove, koji se prenose kroz mrežu kao u slučaju deflekcioni mreža na čipu sa konvencionalnim linkovima.

### 5.2.1 Hardverska implementacija

Pored unapređenja performansi mreže, prednost predloženog refleksionog linka je to što je ortogonalno na arhitekturu deflekcionog rutera. Drugim rečima, implementacija predloženog rešenja ne zahteva modifikaciju unutrašnje arhitekture rutera, i primenljiva je na sve tipove rutera, kako onih bez bafera, tako i onih sa baferima. Hardverska struktura refleksionog linka je prikazana na Sl. 5-9. Pored flit-registara koji se standardno nalaze u konvencionalnim linkovima, refleksioni link dodatno uvodi  $2 \times 2$  komutator i jednostavnu kombinacionu logiku za izbor konfiguracije linka. Komutator upravlja vezom između izlaznog porta rutera i flit-registra na ulaznom portu susednog rutera. Konfiguracija “pravo” komutatora odgovara konfiguraciji linka za reflektovanje flitova, dok konfiguracija “ukrštanje” odgovara konfiguraciji za razmenu flitova između susednih rutera. Kako bi bilo moguće implementirati pravilo za izbor konfiguracije linka, pored bita validnosti  $v$ , svakom flitu na izlaznom portu rutera mora biti pridružen još jedan statusni bit –  $p$ . Kada je  $p$  postavljen na '1', na datom portu se nalazi produktivno rutirani flit. Konfiguracija za razmenu flitova se bira u situaciji kada je na jednom od krajeva linka prisutan flit ( $v = '1'$ ) koji je produktivno rutiran ( $p = '1'$ ). U suprotnom, link se postavlja u konfiguraciju za reflektovanje flitova.



Sl. 5-9 Hardverska struktura refleksionog linka

Glavne komponente deflekcionog rutera i linka su multiplekseri 2/1 i flit-registri. Usled relativno velike širine flita (32-512 bita), ove dve komponente dominiraju po pitanju hardverske složenosti deflekcione mreže pa se često i jedino razmatraju prilikom poređenja složenosti različitih arhitektura rutera. Tradicionalni deflekcioni ruter sa delimičnim PAS blokom sadrži četiri multipleksera u okviru bloka za ubacivanje flitova u mrežu, tri multipleksera u okviru bloka za izbacivanje flitova iz mreže, i po dva multipleksera za svaki arbitrarni blok u okviru PAS bloka, što u zbiru daje 15 multipleksera 2/1 po rutera. Za implementaciju refleksionog linka je potrebno dva multipleksera 2/1. Kako je broj linkova jednak broju rutera, složenost refleksionog linka se može izraziti i kao broj multipleksera 2/1 po rutera, kao u tabeli Tab. 10. Tabela daje pregled hardverske složenosti deflekcionog rutera sa delimičnim PAS blokom (BL) i deflekcionog rutera sa minimalnim baferovanjem (SB) u kombinaciji sa tradicionalnim linkovima i u kombinaciji sa refleksionim linkovima (BL\_LB, SB\_LB). Implementacijom refleksionog linka, ukupan broj multipleksera 2/1 BL i SB rutera se povećava za 4, dok broj flit-registra ostaje isti.

Tab. 10 Hardverska složenost deflekcioni rutera sa tradicionalnim i refleksionim linkovima

Arhitektura rutera		Broj flit-registara	Broj multipleksera 2/1
Deflekcioni sa delimičnim PAS-om	BL	4	15
	BL_LB	4	19
Deflekcioni sa minimalnim baferovanjem	SB	5	22
	SB_LB	5	26

## 5.2.2 Evaluacija performansi

Za evaluaciju performansi predloženog rešenja za supresiju misrutiranja sa refleksionim linkovima, sastavljena je deflekciona mreža na čipu sa topologijom 2D rešetke dimenzija

$8 \times 8$  rutera. U simulacijama se koristi saturacioni i varijabilni saobraćaj sa uniformnom, transponovanom, tornado i bit-komplement distribucijom saobraćaja. Kao referentni deflekcioni ruteri, usvojeni su deflekcioni ruter sa delimičnim PAS-om (BL) i deflekcioni ruter sa minimalnim baferovanjem (SB). Kao mera procene performansi koriste se sledeći parametri: maksimalna propusnost mreže, prosečna latencija, prosečni broj skokova, stopa deflekcija i transportno kašnjenje.

Transportno kašnjenje ( $t_d$ ) se definiše kao vreme, izraženo u ciklusima, koje protekne od trenutka ubacivanja flita u mrežu do trenutka kada flit stigne na svoje odredište. Transportno kašnjenje se može podeliti na dva dela:

$$t_d = t_{spd} + t_{do} \quad (18)$$

gde je  $t_{spd}$  – kašnjenje po najkraćoj putanji, i  $t_{do}$  – dodatno kašnjenje usled deflekcije flitova. Kašnjenje po najkraćoj putanji predstavlja donju granicu transportnog kašnjenja i određeno je brojem skokova po najkraćoj putanji između izvornog i odredišnog čvora. Kretanje flita po najkraćoj putanji je moguće jedino u situaciji kada u mreži nema deflekcija. Pod uslovima uniformnog modela distribucije saobraćaja, kašnjenje po najkraćoj putanji u proseku iznosi  $2/3 N$  ciklusa, gde je  $N$  – dimenzija mreže na čipu sa topologijom 2D rešetke. U prisustvu deflekcija transportno kašnjenje se značajno povećava usled dominacije  $t_{do}$  komponente. Na  $t_{do}$  ne utiče samo stopa deflekcije već i način na koji se deflekcije tretiraju u mreži. U deflekcionim mrežama koje ne implementiraju neki od mehanizama za supresiju misrutiranja, svaka deflekcija produžava transportno kašnjenje za dva ciklusa. Primenom mehanizama za supresiju misrutiranja deo deflektovanih flitova biva sačuvan od misrutiranja. Neka su  $\mu$  i  $\omega$  verovatnoće da flit bude misrutiran i preusmeren natrag u isti ruter (reflektovan), respektivno. Pri tome važi da je  $\mu + \omega = 1$ . Uzimajući u obzir da misrutiranje produžava transportno kašnjenje za dva, a reflektovanje za jedan ciklus, za flit koji u mreži sa stopom deflekcije  $\delta$  provede  $t_d$  ciklusa važi:

$$t_{do} = t_d \delta (2\mu + \omega) = t_d \delta (2 - \omega) \quad (19)$$

Zamenom (19) u (18), dolazi se do konačnog izraza za transportno kašnjenje:

$$t_d = \frac{t_{spd}}{1 - \delta(2 - \omega)} \quad (20)$$

Kako su  $\delta$  i  $t_{spd}$  konstantne veličine za mrežu na čipu sa topologijom 2D rešetke pri saturacionom saobraćaju, na smanjenje transportnog kašnjenja utiče implementacija

refleksionog linka. Za razliku deflekcione mreže bez supresije misrutiranja ( $\omega = 0$ ) gde svaka deflekcija produžava transportno kašnjenje za dva ciklusa, u deflekcionoj mreži sa refleksionim linkovima, produžetak transportnog kašnjenja usled deflekcije se smanjuje na  $(2 - \omega)$  ciklusa, u opštem slučaju.

U tabeli Tab. 11 je data maksimalna propusnost, prosečan broj skokova, stopa deflekcije i transportno kašnjenje za deflekcionu mrežu sastavljenu od bazičnih rutera povezanih tradicionalnim i refleksionim linkovima za saturacioni saobraćaj. Iz tabele se može videti da implementacija refleksionih linkova dovodi do povećanja maksimalne propusnosti u oba a slučaja, i to 14.8% za mrežu sa ruterima sa delimičnim PAS-om, i 5.7% za mrežu sa ruterima sa minimalnim baferovanjem. Kao što se može očekivati, stopa deflekcije u obe varijante ostaje ista, jer predloženo rešenje ne modifikuje PAS blok koji je u direktnoj vezi sa stopom deflekcije. Predloženo rešenje vrši supresiju misrutiranja koji deflektovane flitove vraća natrag u tekući ruter, onda kada je to moguće. Iz tabele se takođe može videti da se implementacijom refleksionih linkova smanjuje i transportno kašnjenje, što je u korelaciji sa maksimalnom propusnošću mreže. Drugim rečima, smanjenjem transportnog kašnjenja smanjuje se vreme koje flitovi provedu u mreži, što sa druge strane povećava maksimalnu propusnost mreže.

**Tab. 11** Maksimalna propusnost, prosečan broj skokova, stopa deflekcije i transportno kašnjenje za BL, SB, BL\_LB i SB\_LB mreže pri saturacionom saobraćaju sa uniformnom distribucijom

	BL	SB	BL_LB	SB_LB
$Th_{max}$	0.264	0.331	0.303	0.350
$H$	13.197	8.729	10.871	7.863
$\delta_r$	0.299	0.288	0.299	0.288
$t_d$	13.184	11.055	11.537	10.375

U tabelama Tab. 12, Tab. 13, i Tab. 14 je data maksimalna propusnost, prosečan broj skokova i stopa deflekcija za BL, SB, BL\_LB i SB\_LB mreže za transponovanu, tornado i bit-komplement distribuciju saobraćaja.

**Tab. 12** Maksimalne propusnosti mreža sa BL, SB, BL\_LB i SB\_LB ruterima pri saturacionom saobraćaju sa neuniformnom distribucijom

	BL	SB	BL_LB	SB_LB
Transpose	0.301	0.211	0.287	0.270
Tornado	0.164	0.130	0.211	0.201
Bit Complement	0.161	0.152	0.183	0.197



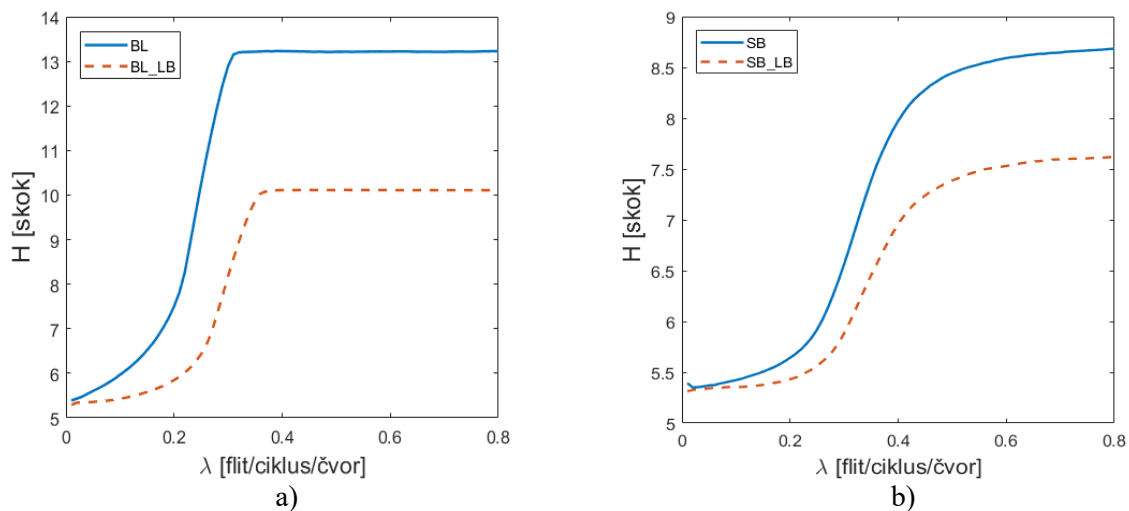
**Tab. 13** Prosečan broj skokova mreža sa BL, SB, BL\_LB i SB\_LB ruterima pri saturacionom saobraćaju sa neuniformnom distribucijom

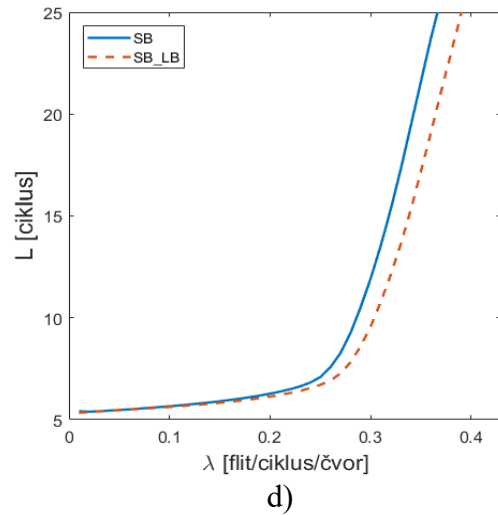
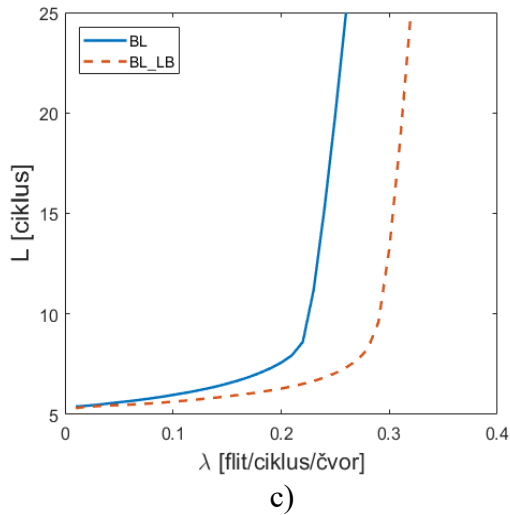
	BL	SB	BL_LB	SB_LB
Transpose	10.149	11.827	8.656	7.880
Tornado	19.185	23.265	14.436	13.438
Bit Complement	18.936	17.813	13.595	12.435

**Tab. 14** Stope defleksije mreža sa BL, SB, BL\_LB i SB\_LB ruterima pri saturacionom saobraćaju sa neuniformnom distribucijom

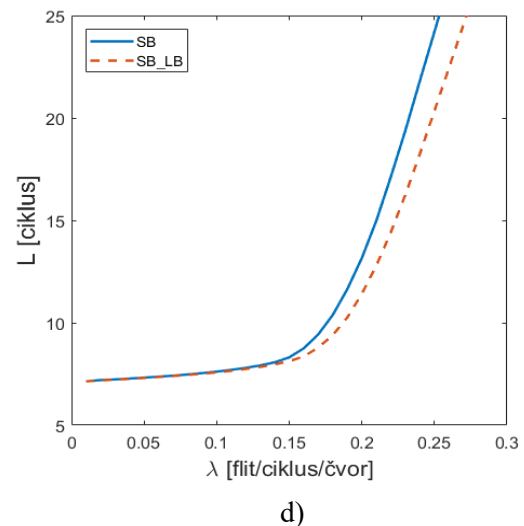
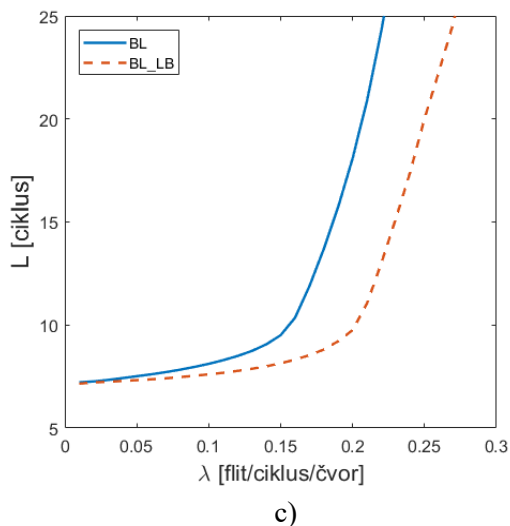
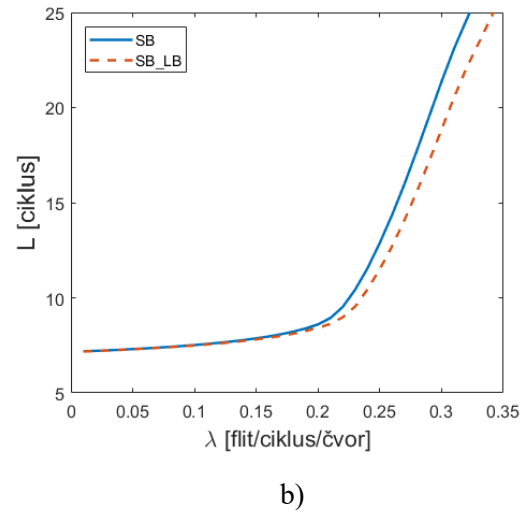
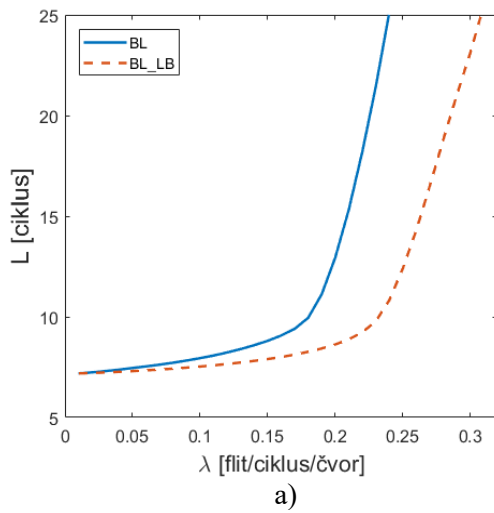
	BL	SB	BL_LB	SB_LB
Transpose	0.234	0.243	0.264	0.230
Tornado	0.274	0.400	0.281	0.347
Bit Complement	0.286	0.278	0.287	0.245

Na Sl. 5-10 su prikazani grafikoni za prosečan broj skokova i prosečnu latenciju za mrežu sastavljenu od bazičnih rutera povezanih tradicionalnim linkovima (BR) i mrežu sastavljenu od bazičnih rutera povezanih refleksionim linkovima (LB). Grafikoni odgovaraju varijabilnom saobraćaju sa uniformnom distribucijom. U SB\_LB su implementirana dva mehanizma za supresiju misrutiranja, SB i LB. Minimalna vrednost prosečnog broja skokova odgovara najkraćoj putanji kojom se flit prenosi od izvora do odredišta. Za mrežu na čipu dimenzija  $8 \times 8$ , najkraća putanja iznosi  $\frac{2}{3} \cdot 8 = 5.33$ . Vrednosti prosečnog broja skokova i propusnosti mreže u zasićenju odgovaraju vrednostima iz Tab. 11. Na Sl. 5-11 su prikazani grafikoni za prosečne latencije bazičnih rutera u kombinaciji sa refleksionim linkom za transponovanu, tornado i bit-komplement distribuciju saobraćaja.

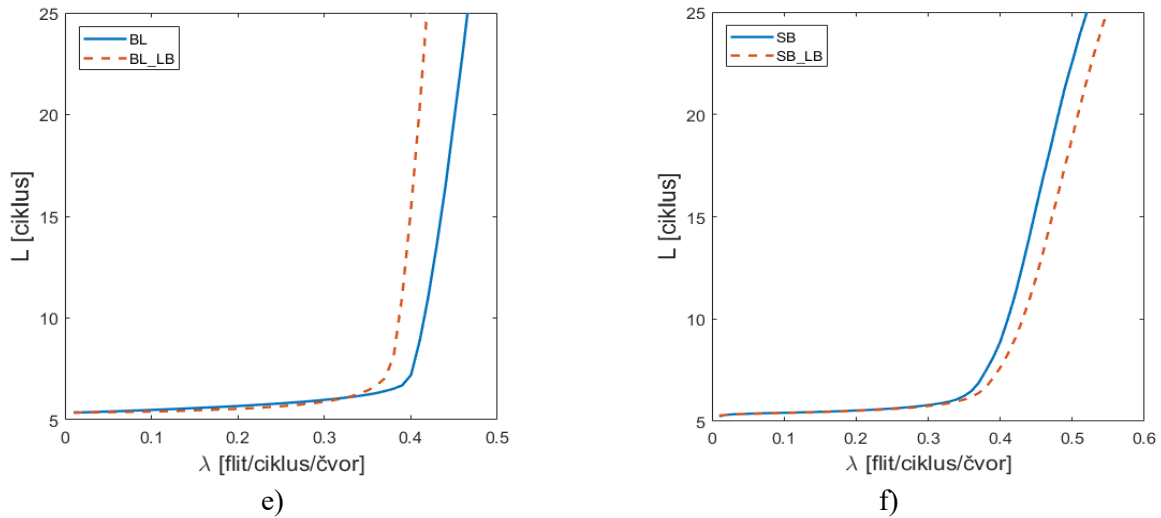
**Sl. 5-10** Performanse deflekcione mreže sa refleksionim linkovima pri varijabilnom saobraćaju sa uniformnom distribucijom: a) prosečan broj skokova za BL i BL\_LB, a) prosečan broj skokova za SB i SB\_LB, b) prosečna latencija za BL i BL\_LB, c) prosečna latencija za SB i SB\_LB



Sl. 5-10 (nastavak)



Sl. 5-11 Prosečna latencija deflekcioni mreža sa refleksionim linkovima pri varijabilnom saobraćaju sa neuniformnom distribucijom: a) BL\_LB mreža – tornado distribucija, b) SB\_LB mreža – tornado distribucija, c) BL\_LB mreža – bit-komplement distribucija, d) SB\_LB mreža – bit-komplement distribucija, e) BL\_LB mreža – transponovana distribucija, f) SB\_LB mreža – transponovana distribucija



Sl. 5-11 (nastavak)

### 5.3 Optimizovana funkcija za rutiranje

Prema rezultatima dobijenim u simulacijama deflekcione mreže na čipu sa topologijom 2D rešetke dimenzija  $8 \times 8$  pod uslovima saturacionog saobraćaja sa uniformnom distribucijom, verovatnoća da se na nekom od izlaznih portova rutera nađe deflektovani flit iznosi  $\delta = 0.3$  (Tab. 11). Pretpostavljajući da se deflekcija flitova u susednim ruterima javlja nezavisno, verovatnoća da se na obe strane refleksionog linka nađe deflektovani flit bi trebalo da iznosi  $\delta^2 = 0.09$ . Međutim, analizom rezultata simulacije je utvrđeno da ta verovatnoća zapravo iznosi 0.05. Drugim rečima, konfiguracija za reflektovanje flitova se javlja ređe nego što bi moglo da se očekuje na osnovu izmerene stope deflekcije. Analizom komunikacije između rutera, utvrđeno je da se neslaganje između očekivane i izmerene verovatnoće postavljanja linka u konfiguraciju za reflektovanje flitova javlja kao posledica tendencije da se misrutirani flit vrati natrag u ruter u kome je deflektovan u prethodnom mrežnom ciklusu. Pretpostavimo da je flit  $f$  deflektovan u ruteru  $A$  i misrutiran u ruter  $B$  preko linka  $L_{AB}$ . U ruteru  $B$ , flit  $f$  može imati najviše dva produktivna porta. Kako je flit  $f$  misrutiran, jedan od produktivnih portova mora biti port preko koga je dospelo u ruter  $B$ . Stoga, u narednom mrežnom ciklusu postoji velika verovatnoća da se flit  $f$  vrati natrag u ruter  $A$  preko linka  $L_{AB}$ , ali sada kao produktivno rutirani flit. Pri tome, dati link će biti postavljen u konfiguraciju za razmenu flitova. Ukoliko se, u ovoj situaciji, na strani rutera  $A$  nađe deflektovani flit, dati flit će biti misrutiran. Posledica ove pojave je to da verovatnoća za postavljanje linka u konfiguraciju za

reflektovanje flitova zavisi od toga da li je u prethodnom mrežnom ciklusu preko datog linka prenet misrutirani flit.

Kako bi se ovaj problem ublažio, u ovoj disertaciji je predloženo rešenje koje modifikuje funkciju za rutiranje bazičnog deflektionog rutera. Modifikacija funkcije za rutiranje se sastoji u uvođenju restrikcije prilikom izbora produktivnih portova za flit koji je u prethodnom ciklusu misrutiran. Drugim rečima, uvedeno je sledeće pravilo kojim se postojeća funkcija za rutiranje proširuje:

Neka je flit  $f$  dospelo u ruter  $A$  preko ulaznog porta  $T \in \{N, S, E, W\}$ , i neka je  $P \subset \{N, S, E, W\}$  skup produktivnih portova za flit  $f$  u ruteru  $A$ . Ukoliko je kardinalnost skupa  $P$  dva, onda se  $T$  eliminiše iz  $P$ .

Ovo pravilo, koje ukida mogućnost da se misrutirani flit vrati nazad u prethodni ruter ukoliko postoji alternativna opcija za rutiranje, primenjuje se nakon što su flitovima dodeljeni produktivni portovi. Na taj način, intervencija u arhitekturi bazičnog rutera je minimalna pri čemu je dodatni hardver za implementaciju predloženog rešenja zanemariv.

U Tab. 15 su dati rezultati simulacije za BL\_LB i SB\_LB u uslovima saturacionog saobraćaja sa i bez optimizovane funkcije rutiranja. Varijante rutera sa predloženim rešenjem imaju sufiks "E".

**Tab. 15** Maksimalna propusnost, prosečan broj skokova, stopa deflekcije i transportno kašnjenje za BL\_LB, BL\_LB\_E, SB\_LB i SB\_LB\_E mreže

	BL LB	BL LB E	SB LB	SB LB E
$Th_{max}$	0.303	0.315	0.350	0.353
$H$	10.871	10.091	7.863	7.648
$\delta_r$	0.299	0.314	0.288	0.301
$t_d$	11.537	11.087	10.375	10.248

Iz tabele se može videti da primena optimizovane funkcije za rutiranje ostvaruje veću maksimalnu propusnost za 4% u odnosu na bazični deflektioni ruter sa refleksionim linkovima (BL\_LB). Kada je u pitanju deflektioni ruter sa minimalnim baferovanjem i refleksionim linkovima (SB\_LB), poboljšanje je neznatno. Razlog tome je to što primena SB-a kompenzuje problem zavisnosti verovatnoće postavljanja refleksionog linka od statusa prethodno prenesenog flita. Drugim rečima, SB ima isti efekat kao i predložena modifikacija funkcije za rutiranje. Treba još primetiti da se primenom modifikovane funkcije za rutiranje u određenoj meri povećava stopa deflekcije. To nastaje kao posledica uvođenja restrikcije

prilikom dodeljivanja produktivnih portova. Međutim, sveukupno poboljšanje performansi prevazilazi posledice primene modifikovane funkcije za rutiranje.

## 5.4 Refleksioni link sa baferima

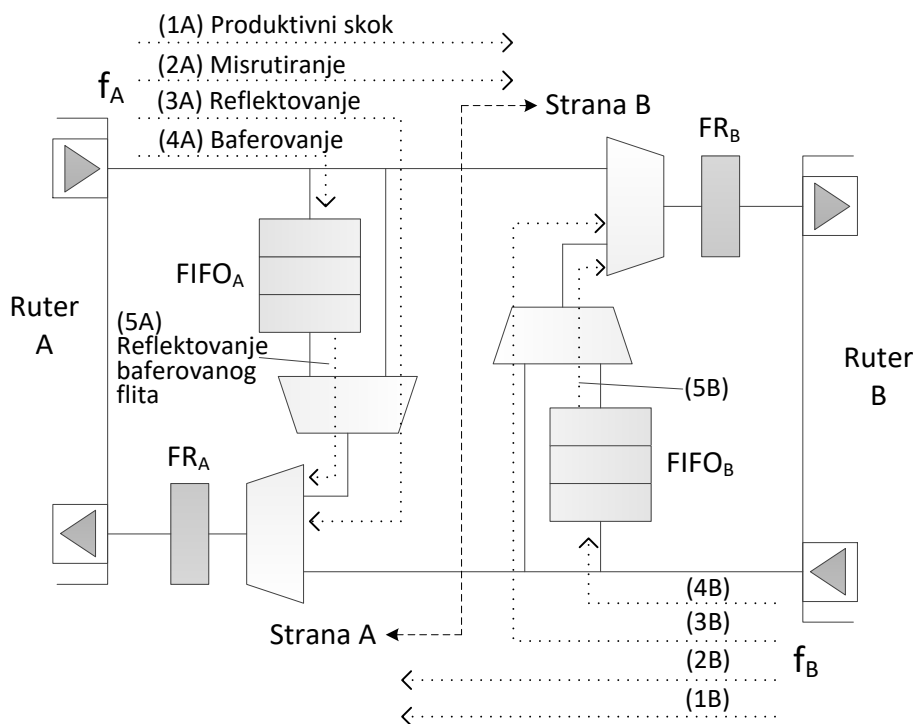
Implementacija refleksionih linkova pruža dodatnu fleksibilnost deflekcionim ruterima. Zahvaljujući konfiguraciji za reflektovanje flitova, deflektovani flitovi se mogu preusmeriti natrag u tekući ruter na taj način izbegavajući misrutiranje. Treba naglasiti da je ponašanje refleksionog linka isto na obe strane linka, tj. ukoliko je jedna strana postavljena u konfiguraciju za reflektovanje flitova, i druga strana mora imati istu konfiguraciju. Naime, kako bi se sprečilo nepoželjno reflektovanje produktivno rutiranog flita, link se postavlja u konfiguraciju za razmenu flitova uvek kada se na nekoj od strana nalazi produktivno rutirani flit, bez obzira na status flita sa suprotne strane. Posledica ovakvog ponašanja je da ukoliko se na jednoj strani linka nalazi deflektovani flit, a na drugoj strani produktivno rutirani flit, deflektovani flit mora biti misrutiran.

U ovoj disertaciji je predloženo rešenje koje se zasniva na baferovanju deflektovanih flitova na linkovima. Predloženo rešenje se oslanja na refleksione linkove, uz dodatak bafera i okolnih digitalnih kola. Glavna motivacija za korišćenje bafera na linkovima je da se proširi skup opcija za tok flitova i omogući nezavisno konfigurisanje obe strane refleksionog linka. Na taj način, u situaciji kada se na jednoj strani nalazi deflektovani flit, a na drugoj strani flit raspoređen na produktivni port, umesto da se misrutira, deflektovani flit može biti smešten u bafer implementiran na linku. Deflektovani flit će ostati u baferu na linku sve dok se ne ostvare uslovi za reflektovanje flita natrag u ruter u kome je prethodno deflektovan. Nakon reflektovanja flit dobija novu mogućnost za dodelu produktivnog porta.

### 5.4.1 Hardverska implementacija

Na Sl. 5-12 je prikazana arhitektura refleksionog linka sa baferima. Za razliku od refleksionog linka (Sl. 5-9), predloženo rešenje dodatno uvodi dva FIFO bafera u paraleli sa putanjama za direktno reflektovanje flitova natrag u tekuće rutere (Sl. 5-12). Implementacijom FIFO bafera, refleksioni link je unapređen sa nekoliko dodatnih opcija za opsluživanje pristiglih i baferovanih flitova. Izbor opcije zavisi od statusa flitova na izlaznim portovima rutera kao i od statusa samih FIFO bafera (pun/prazan). Na Sl. 5-12 su

isprekidanim linijama označene različite konfiguracije predloženog refleksionog linka sa baferima.



Sl. 5-12 Arhitektura predloženog rešenja za supresiju misrutiranja primenom refleksionih linkova sa baferima

U opštem slučaju postoje dve konfiguracije linka: 1) konfiguracija koja omogućava prebacivanje flita sa izlaznog porta tekućeg na ulazni port susednog rutera, i 2) konfiguracija koja omogućava zadržavanje deflektovanog flita na strani tekućeg rutera. Iz perspektive flita prisutnog na izlaznom portu rutera, postoje tri opcije za konfigurisanje odgovarajuće strane linka. Prvo, flit može biti direktno prebačen na ulazni port susednog rutera, odnosno upisan u ulazni flit-registar susednog rutera. Ove opcije su označene sufiksima „1“ i „2“ na Sl. 5-12. Pri tom, ovakva konfiguracija dovodi do produktivnog skoka (1A i 1B) ili misrutiranja (2A i 2B), u zavisnosti od toga da li je flit produktivno rutiran ili deflektovan. Druga mogućnost za konfigurisanje strana linka je direktno reflektovanje flita (3A i 3B), kada se deflektovani flit, na isti način kao kod rešenja sa refleksionim linkom, upisuje u ulazni flit-registar svog tekućeg rutera. Treća opcija je baferovanje flita (4A i 4B), kojom se deflektovani flit upisuje u FIFO bafer na svojoj strani linka. Uz to postoji i mogućnost reflektovanja baferovanog flita (5A i 5B), koja dovodi do upisa u flit-registar flita sa početka FIFO bafera. Pojedine opcije su međusobno isključive. Na primer, produktivni skok i misrutiranje isključuju baferovanje, reflektovanje flita isključuje baferovanje i reflektovanje baferovanog flita. Pun FIFO

isključuje baferovanje, a prazan reflektovanje baferovanog flita. S druge strane, u istom ciklusu je moguće direktno prebaciti ili baferovati flit (1A, 2A ili 3A) i istovremeno reflektovati baferovani flit (5A). Uz restrikcije u izboru konfiguracije svake strane linka, postoje i one koje su posledica načina konfiguracije suprotne strane. Tako npr. direktno prebacivanje flita sa strane A na stranu B isključuje reflektovanje flita na strani B, i obrnuto. Uzimajući u obzir sva navedena ograničenja, broj različitih konfiguracija linka se svodi na 17 (Tab. 16). U tabeli su osenčene kolone koje odgovaraju konfiguracijama podržanih rešenjem sa refleksionim linkom opisanog u sekciji 5.2.

**Tab. 16** Dozvoljene konfiguracije refleksionog linka sa baferima

Strana A	Strana B
1A	1B ili 2B
1A	4B
2A	1B
3A	3B
3A	5B ili 4B/5B
4A	1B ili 3B ili 5B ili 4B/5B
5A	3B ili 5B ili 4B/5B
4A/5A	3B ili 5B ili 4B/5B

Na Sl. 5-13 je prikazan pseudo-kod koji opisuje funkcionalnost upravljačke jedinice refleksionog linka sa baferima. Flit na stani A je označen kao  $f_A$ , dok je flit na strani B označen kao  $f_B$ . Za indikaciju produktivno rutiranog flita se koristi sufiks ".P", a za indikaciju deflektovanog flita se koristi sufiks ".N". Za indikaciju statusa FIFO bafera se koriste sufiksi ".Full" (FIFO je pun) i ".Empty" (FIFO je prazan). Upis flita u flit-registar ili FIFO bafer se označava simbolom " $\leftarrow$ ". Posmatrajmo stranu A linka. Funkcionalnost strane B je analogna strani A. Kao što je napomenuto, strana A može biti konfigurisana tako da omogući razmenu flitova između rutera ili zadržavanje flitova na strani tekućeg rutera (direktna refleksija ili baferovanje flitova). Konfigurabilna opcija za upis flita  $f_B$  u flit-registar  $FR_A$  (1B/2B) ima viši prioritet u odnosu na ostale i aktivna je u dva slučaja: kada je  $f_B$  raspoređen na produktivni port ( $f_B.P$ ) ili kada je  $f_B$  deflektovan ( $f_B.N$ ) i mora biti misrutiran. Deflektovani flit  $f_B$  mora biti misrutiran ukoliko nisu dostupne opcije koje flit zadržavaju na strani tekućeg rutera – putanja za reflektovanje flitova je blokirana produktivno rutiranim flitom  $f_A$  ( $f_A.P$ ) i pri tom je  $FIFO_B$  pun ( $FIFO_A.Full$ ). Pored toga što je na strani A postavljena konfiguracija za upis flita  $f_B$  u  $FR_A$ , misrutiranje deflektovanog flita  $f_A$  se može izbeći smeštanjem u  $FIFO_A$ , ukoliko u njemu ima mesta (4A). Ukoliko sa strane B ne postoji zahtev za prihvatanje flita  $f_B$ , u registar  $FR_A$  se može upisati ili flit iz bafera  $FIFO_A$  (5A), ili flit  $f_A$  (3A), ukoliko je

deflektovan i pri tome  $FIFO_A$  prazan. U slučaju da je izabrana opcija 5A, flit  $f_A$  se smešta u  $FIFO_A$ , ukoliko je deflektovan (4A). Treba primetiti da misrutiranje flitova sa obe strane linka istovremeno nije moguće. Kritična situacija je ona u kojoj su na obe strane linka prisutni deflektovani flitovi. Na osnovu algoritma rada predloženog refleksionog linka sa baferima, situacija će se razrešiti tako što se na obe strane postavlja opcija 5A/5B, što omogućava smeštanje deflektovanih flitova u FIFO bafere bez obzira na njihov prethodni status. Drugim rečima, ukoliko su prethodno FIFO baferi bili puni, izborom opcije 5A/5B, flitovi sa kraja FIFO bafera se reflektuju, čime se obezbeđuje prostor za smeštanje novih deflektovanih flitova.

<pre> Strana A:   <b>if</b> (<math>f_B.P</math>        <math>f_B.N</math> &amp;&amp; <math>f_A.P</math> &amp;&amp; <math>FIFO_B.Full</math>) { 1B/2B  <math>FR_A \leftarrow f_B</math>;     <b>if</b> (<math>f_A.N</math> &amp;&amp; !<math>FIFO_A.Full</math>) { 4A      <math>FIFO_A \leftarrow f_A</math>;     }   } <b>else if</b> (!<math>FIFO_A.Empty</math>) { 5A      <math>FR_A \leftarrow FIFO_A</math>;     <b>if</b> (<math>f_A.N</math>) { 4A      <math>FIFO_A \leftarrow f_A</math>;     }   } <b>else if</b> (<math>f_A.N</math>) { 3A      <math>FR_A \leftarrow f_A</math>;   } </pre>	<pre> Strana B:   <b>if</b> (<math>f_A.P</math>        <math>f_A.N</math> &amp;&amp; <math>f_B.P</math> &amp;&amp; <math>FIFO_A.Full</math>) { 1A/2A  <math>FR_B \leftarrow f_A</math>;     <b>if</b> (<math>f_B.N</math> &amp;&amp; !<math>FIFO_B.Full</math>) { 4B      <math>FIFO_B \leftarrow f_B</math>;     }   } <b>else if</b> (!<math>FIFO_B.Empty</math>) { 5B      <math>FR_B \leftarrow FIFO_B</math>;     <b>if</b> (<math>f_B.N</math>) { 4B      <math>FIFO_B \leftarrow f_B</math>;     }   } <b>else if</b> (<math>f_B.N</math>) { 3B      <math>FR_B \leftarrow f_B</math>;   } </pre>
--	--

Sl. 5-13 Pseudo-kod algoritma rada refleksionog linka sa baferima

Svrha uvođenje bafera na linkovima je slična kao i kod deflekcionihih rutera koji implementiraju SB – baferovanje nekih od deflektovanih flitova kako bi se sprečilo misrutiranje. Za razliku od SB-a koji je implementiran u okviru rutera i u koji se smeštaju deflektovani flitovi pre nego što napuste ruter, baferi na linkovima omogućavaju skladištenje flitova koji se nalaze u linku između dva susedna rutera, i koji se ne mogu reflektovati natrag u datom mrežnom ciklusu. Implementacija bafera na linkovima umesto u ruterima ima određene prednosti. Za razliku od SB-a u koji se tipično može smestiti jedan deflektovani flit u svakom ciklusu, refleksioni link sa baferima može sačuvati do dva deflektovana flita u svakom mrežnom ciklusu. U mreži na čipu sa topologijom 2D rešetke dimenzija  $N \times N$ , broj rutera iznosi  $N^2$ , a broj linkova  $2N^2 - 2N$ . Kako je broj linkova približno dva puta veći od broja rutera, mogućnost za skladištenje deflektovanih flitova na linkovima je značajno veća u odnosu na rešenje sa SB-om. Takođe, smeštanje deflektovanih flitova na linkovima omogućava povratak flitova u ruter na regularan način, preko ulaznih portova. Na taj način arhitektura rutera ostaje nepromenjena pri čemu se ne blokira ubacivanje flitova od strane



lokalnog IP jezgra. Minimalno dodatno kašnjenje usled baferovanja na linkovima iznosi 2 mrežna ciklusa: prvi ciklus odlazi na smeštanje deflektovanog flita u FIFO bafer, a drugi ciklus za reflektovanje flita natrag u ruter u kome je deflektovan. Pored toga što baferovanje na linkovima unosi dodatno kašnjenje koje je isto kao i u slučaju misrutiranja flita, prednost leži u tome što baferovani flit ne zauzima resurse susednog rutera.

## 5.4.2 Evaluacija performansi

Za evaluaciju performansi refleksionog linka sa baferima, sastavljena je deflekciona mreža na čipu sa topologijom 2D rešetke koja se sastoji od  $8 \times 8$  rutera. U simulacijama se koristi saturacioni i varijabilni saobraćaj sa uniformnom, transponovanom, tornado i bit-komplement distribucijom saobraćaja. Kao referentni deflekcioni ruter, usvojen je deflekcioni ruter sa delimičnim PAS-om i deflekcioni ruter sa minimalnim baferovanjem. Kao mera procene performansi koriste se sledeći parametri: maksimalna propusnost mreže, prosečna latencija, prosečni broj skokova flitova, stopa deflekcija i transportno kašnjenje.

### *Saturacioni saobraćaj*

U Tab. 17 je data maksimalna propusnost, prosečan broj skokova, stopa deflekcije i transportno kašnjenje za deflekcionu mrežu sastavljenu od bazičnih rutera povezanih tradicionalnim (BL i SB) i refleksionim linkovima sa baferima (BL\_ILB i SB\_ILB) za uniformni saturacioni saobraćaj. Simulacije su vršene za slučaj kada je implementiran bafer kapaciteta jednog flita. Iz tabele se može videti da implementacija refleksionih linkova sa baferima dovodi do povećanja maksimalne propusnosti u oba a slučaja, i to 36.7% za mrežu sa ruterima sa delimičnim PAS-om, i 16% za mrežu sa ruterima sa minimalnim baferovanjem.

U mreži sa bazičnim deflekcionim ruterima, flit pravi u proseku 13.197 skokova od izvornog do odredišnog čvora. Refleksioni link sa baferima redukuje prosečan broj skokova za 4.468 (time povećavajući maksimalnu propusnost mreže) privremenim zadržavanjem flitova na svojim putanjama. Sa druge strane, flit se može zadržati u baferu nekoliko ciklusa pre nego što dobije mogućnost za refleksiju. Statističkom analizom utvrđeno je da u mreži sa ruterima sa SB-om, prosečno zadržavanje flitova u baferu iznosi 2.32 ciklusa, dok zadržavanje u baferu na refleksionim linkovima iznosi 4.85 ciklusa. Drugim rečima, implementacijom refleksionih linkova sa baferima povećava se transportno kašnjenje flitova, što se može uočiti u Tab. 17. Međutim, i pored povećanog transportnog kašnjenja, postiže se

veća maksimalna propusnost mreže. Razlog tome je to što flitovi smešteni u baferu ne blokiraju resurse mreže, tako da ostali flitovi mogu da se kreću ka svome odredištu. Ukoliko bi se za cilj imalo smanjenje transportnog kašnjenja, vreme boravka flitova u baferima bi moralo biti ograničeno. Ukoliko za taj vremenski period flit ne dobija mogućnost za refleksiju, morao bi da se misrutira. Posledica ovog ograničenja bi bilo smanjeno iskorišćenje bafera, a time i manja maksimalna propusnost mreže. Iz tog razloga ova opcija nije razmatrana u ovoj disertaciji. Iz tabele se takođe može primetiti da se stope deflekcije između različitih konfiguracija ne razlikuju značajno, jer se isti PAS blok implementira u svim varijantama.

**Tab. 17** Maksimalna propusnost, prosečan broj skokova, stopa deflekcije i transportno kašnjenje za BL, SB, BL\_ILB i SB\_ILB mreže pri saturacionom saobraćaju sa uniformnom distribucijom

	BL	SB	BL_ILB	SB_ILB
$Th_{max}$	0.264	0.331	0.361	0.384
$H$	13.197	8.729	8.147	6.576
$\delta_r$	0.299	0.288	0.304	0.288
$t_d$	13.184	11.055	14.510	12.088

U tabelama Tab. 18, Tab. 19, i Tab. 20 je data maksimalna propusnost, prosečan broj skokova i stopa deflekcija za BL, SB, BL\_ILB i SB\_ILB mreže za transponovanu, tornado i bit-komplement distribuciju saobraćaja.

**Tab. 18** Maksimalne propusnosti mreža sa BL, SB, BL\_ILB i SB\_ILB ruterima pri saturacionom saobraćaju sa neuniformnom distribucijom

	BL	SB	BL_ILB	SB_ILB
Transpose	0.301	0.211	0.306	0.291
Tornado	0.164	0.130	0.233	0.175
Bit Complement	0.161	0.152	0.197	0.213

**Tab. 19** Prosečan broj skokova mreža sa BL, SB, BL\_ILB i SB\_ILB ruterima pri saturacionom saobraćaju sa neuniformnom distribucijom

	BL	SB	BL_ILB	SB_ILB
Transpose	10.149	11.827	7.686	6.925
Tornado	19.185	23.265	12.331	15.292
Bit Complement	18.936	17.813	12.097	11.003

**Tab. 20** Stope deflekcije mreža sa BL, SB, BL\_ILB i SB\_ILB ruterima pri saturacionom saobraćaju sa neuniformnom distribucijom

	BL	SB	BL_ILB	SB_ILB
Transpose	0.234	0.243	0.253	0.219
Tornado	0.274	0.400	0.271	0.374
Bit Complement	0.286	0.278	0.282	0.234

*Uticaj veličine bafera na performanse mreže*

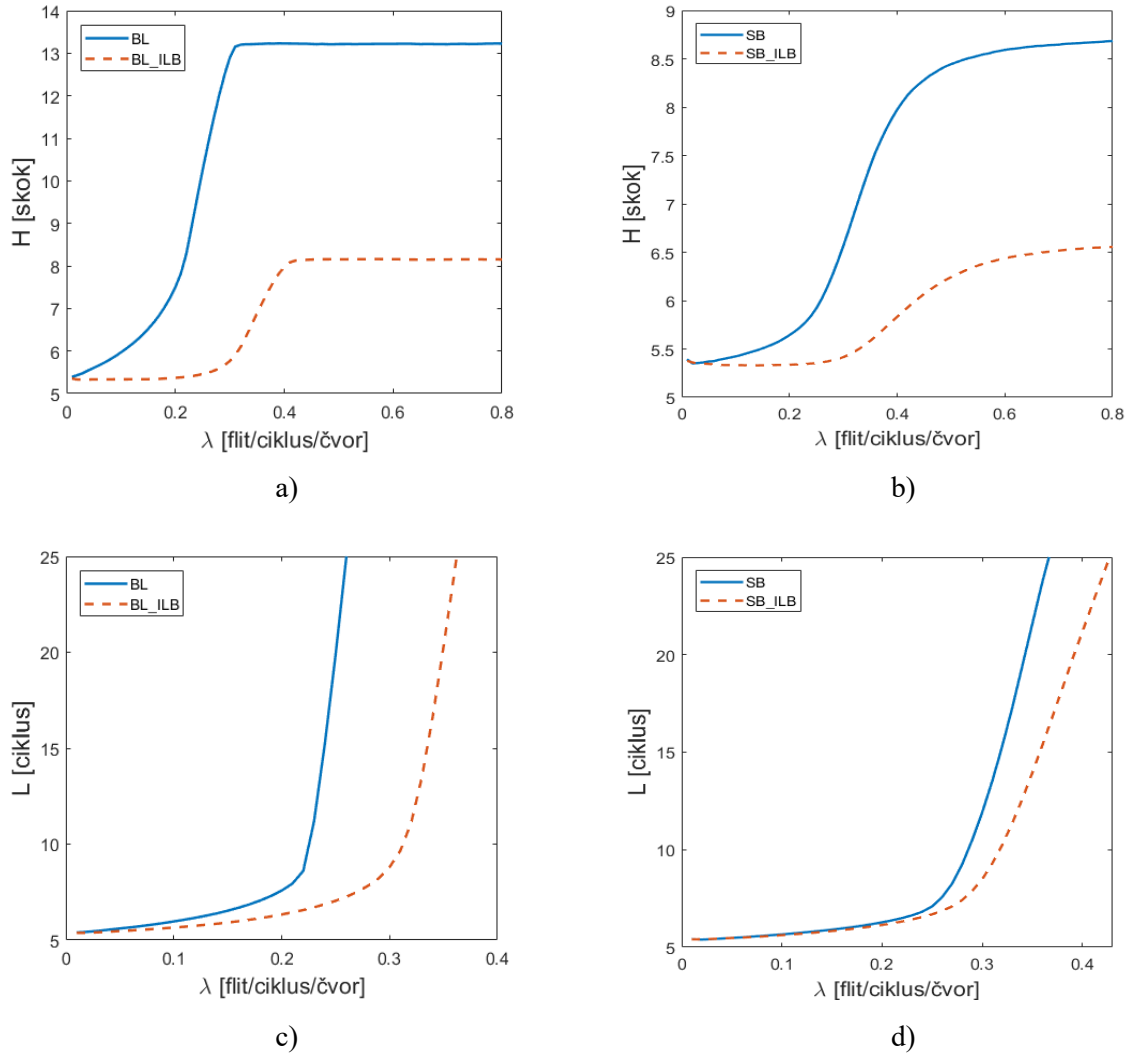
U Tab. 21 je dat pregled vrednosti parametara mreže za različite veličine bafera refleksionog linka. Može se uočiti da se povećanjem veličine bafera neznatno povećava maksimalna propusnost mreže. Povećanjem veličine bafera sa 1 na 2 flita, maksimalna propusnost u mreži sa bazičnim deflekcionim ruterima se povećava za 4.15%, a u mreži sa ruterima sa SB-om, za 2.34%. Takođe, povećanje maksimalne propusnosti brzo dolazi do zasićenja, pa se već za veličinu bafera za 3 ili više flita maksimalna propusnost ne menja. Sa druge strane, povećanje veličine bafera znatno povećava transportno kašnjenje flitova. U odnosu na bafer u koji se može smestiti jedan flit, implementacija bafera veličine dva flita povećava transportno kašnjenje za 27.8% u mreži sa bazičnim deflekcionim ruterima i 34% u mreži sa ruterima sa SB-om. Ovi rezultati ukazuju na to da implementacija bafera za smeštanje više od jednog flita nije isplativa sa stanovišta složenosti hardvera i potrošnje energije, jer ne dovodi do značajnog povećanja maksimalne propusnosti mreže.

**Tab. 21** Uticaj veličine bafera na performanse mreže

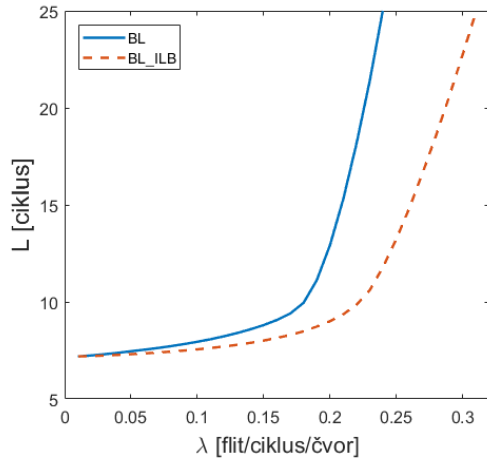
Veličina bafera (flit)	BL ILB				SB ILB			
	$Th_{max}$	$H$	$\delta_r$	$t_d$	$Th_{max}$	$H$	$\delta_r$	$t_d$
1	0.361	8.147	0.304	14.510	0.384	6.576	0.288	12.088
2	0.375	7.658	0.302	18.552	0.393	6.324	0.287	16.233
3	0.383	7.441	0.302	22.709	0.396	6.217	0.289	16.206
4	0.384	7.357	0.298	27.030	0.399	6.155	0.288	18.158

*Varijabilni saobraćaj*

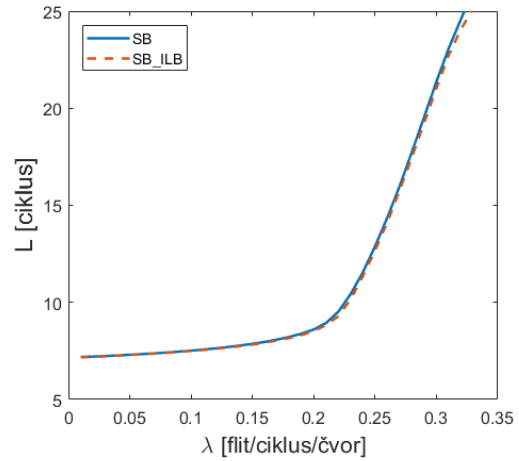
Na Sl. 5-14 su prikazani grafikoni za prosečan broj skokova flitova i prosečnu latenciju u uslovima varijabilnog saobraćaja sa uniformnom distribucijom za mrežu sastavljenu od bazičnih rutera povezanih tradicionalnim linkovima (BR) i mrežu sastavljenu od bazičnih rutera povezanih refleksionim linkovima sa baferima (BL\_ILB). Kao što se može primetiti sa grafikona, prosečan broj skokova i prosečna latencija su u početnom delu karakteristike konstantni za BL\_ILB mrežu. To je posledica toga što se skoro svi deflektovani flitovi smeštaju u bafere na linkovima. Broj skokova raste tek pri opterećenjima kada baferi na linku postanu popunjeni, što izaziva misrutiranje deflektovanih flitova. Tako se za  $\lambda = 0.26$  (granica zasićenja za BL), ostvaruje poboljšanje performansi, i to za 44.6% u pogledu smanjenja prosečne latencije, i 50% u pogledu smanjenja prosečnog broja skokova u odnosu na BL mrežu. Slično, za  $\lambda = 0.36$  (granica zasićenja za SB), primena refleksionih linkova sa baferima smanjuje prosečnu latenciju mreže sa SB za 24.4% i prosečan broj skokova za 25%.



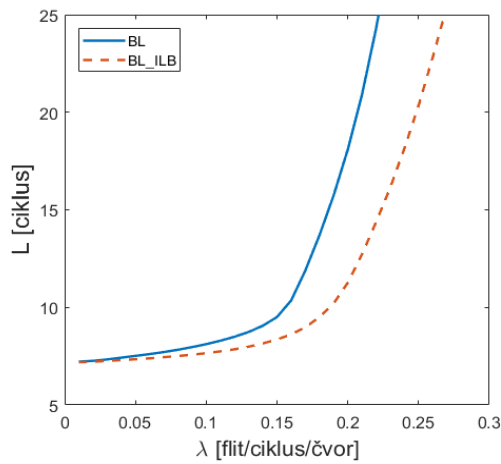
**Sl. 5-14** Performanse deflekcione mreže sa refleksionim linkovima sa baferima pri varijabilnom saobraćaju sa uniformnom distribucijom: a) prosečan broj skokova za BL i BL\_ILB, b) prosečan broj skokova za SB i SB\_ILB, c) prosečna latencija za BL i BL\_ILB, d) prosečna latencija za SB i SB\_ILB



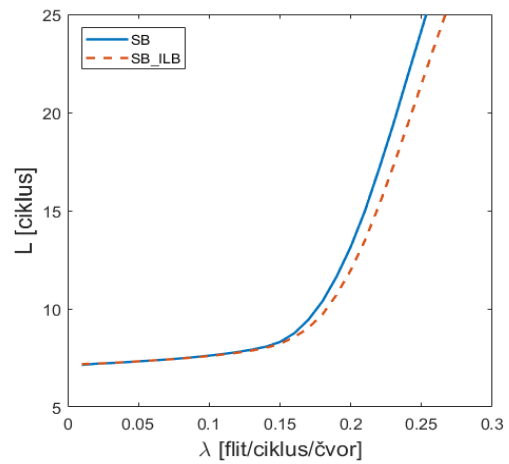
a)



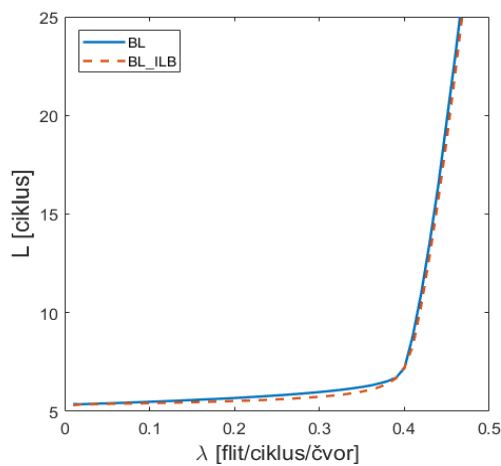
b)



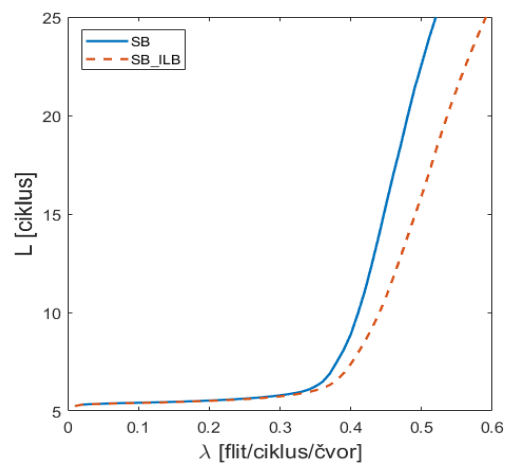
c)



d)



e)



f)

**Sl. 5-15** Prosečna latencija deflekcioni mreža sa refleksionim linkovima sa baferima pri varijabilnom saobraćaju sa neuniformnom distribucijom: a) BL\_ILB mreža – tornado distribucija, b) SB\_ILB mreža – tornado distribucija, c) BL\_ILB mreža – bit-komplement distribucija, d) SB\_ILB mreža – bit-komplement distribucija, e) BL\_ILB mreža – transponovana distribucija, f) SB\_ILB mreža – transponovana distribucija

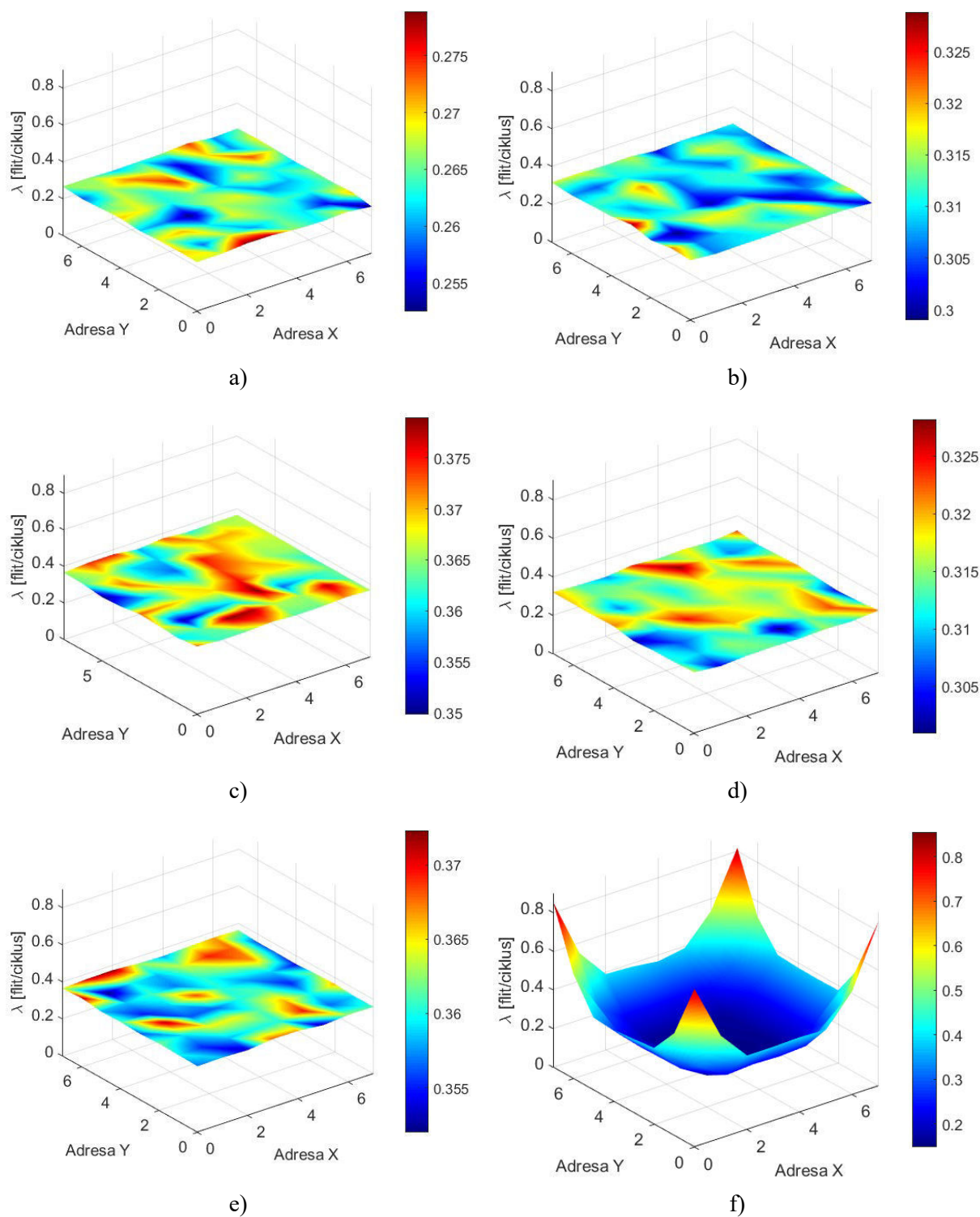
## 6. ANALIZA RASPODELE SAOBRAĆAJA U MREŽI

Jedna od glavnih karakteristika algoritma za rutiranje je mogućnost uspostavljanja ravnomerne raspodele saobraćaja u mreži, kako bi svi čvorovi dobili podjednaku mogućnost za slanje flitova. Mnogi algoritmi za rutiranje nisu u stanju da obezbede ravnomerno opterećenje mreže [79]. Deflekciono rutiranje je po svojoj prirodi adaptivno rutiranje koje uspostavlja ravnomernu raspodelu saobraćaja jer se prilagođava uslovima u mreži. U zagušenim delovima, usled velike stope deflekcije, saobraćaj se raspoređuje u okolne delove mreže, time rasterećujući kritičan deo. Međutim, implementacija mehanizama za minimizaciju deflekcija i supresiju misrutiranja, potencijalno može da utiče na raspodelu saobraćaja u mreži. Iz tog razloga je potrebno ispitati njihov uticaj na ravnomernost raspodele saobraćaja u mreži.

Kako bi se procenila ravnopravnost učestvovanja u saobraćaju u deflekcionim mrežama sa bazičnim ruterima i ruterima koja sadrže predložena rešenja za minimizaciju deflekcija i supresiju misrutiranja, sproveden je novi set simulacija u kojima je izmerena stopa ubacivanja flitova za svaki čvor ponaosob pri saturacionom saobraćaju sa uniformnom distribucijom. Ravnopravnost učestvovanja u saobraćaju se procenjuje na osnovu standardne devijacije stope ubacivanja flitova u mreži. U simulacijama se koristi mreža na čipu sa topologijom 2D rešetke, dimenzija  $8 \times 8$  ruteru. Na Sl. 6-1 su prikazani 3D grafikoni rezultata simulacije za bazični deflekcioni ruter (BL), BL ruter sa varijantama sa distribuiranom i globalnom MD alokacijom (BL\_SMD i BL\_DMD), kao varijante BL i SB ruteru sa refleksionim linkovima sa i bez bafera. Na slikama je rast stope ubacivanja flitova

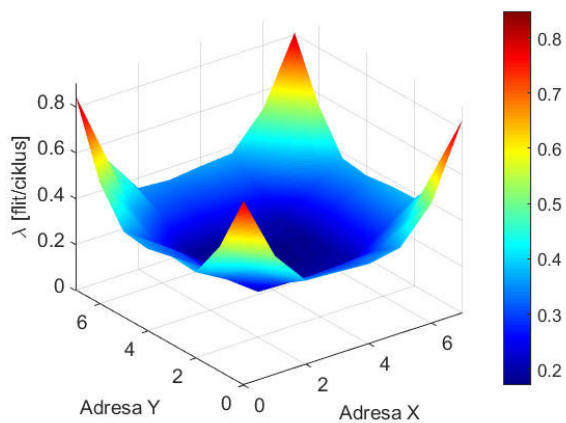
predstavljen nijansom od plave do crvene boje. Ose x – i y – predstavljaju koordinate rutera, a z – osa predstavlja stopu ubacivanja flitova.

Na Sl. 6-1 a) je prikazan grafikon stopa ubacivanja flitova za BL mrežu. Standardna devijacija stope ubacivanja flitova za ovu mrežu iznosi  $\sigma = 5.5 \times 10^{-3} \text{ flit/ciklus}$ , što predstavlja i najbolji rezultat u odnosu na ostale tipove deflekcionih mreža. Ovaj rezultat ukazuje na visok nivo ravnopravnosti čvorova, koji nezavisno od svoje pozicije u mreži, mogu da ostvare približno istu stopu ubacivanja flitova. Primena rešenja za minimizaciju deflekcija neznatno narušava ravnopravnost čvorova. Za BL\_SMD mrežu (Sl. 6-1 b)) standardna devijacija stope ubacivanja flitova iznosi  $\sigma = 5.8 \times 10^{-3} \text{ flit/ciklus}$ , a za BL\_DMD mrežu (Sl. 6-1 c))  $\sigma = 6.5 \times 10^{-3} \text{ flit/ciklus}$ . U situaciji kada se primenjuju rešenja za supresiju misrutiranja na linku (refleksioni link i refleksioni link sa baferima), standardna devijacija stope ubacivanja flitova se takođe neznatno menja. U BL\_LB mreži (Sl. 6-1 d)) standardna devijacija stope ubacivanja flitova iznosi  $\sigma = 5.6 \times 10^{-3} \text{ flit/ciklus}$ . Za BL\_ILB mrežu (Sl. 6-1 e)) standardna devijacija stope ubacivanja flitova iznosi  $\sigma = 4.9 \times 10^{-3} \text{ flit/ciklus}$ , što predstavlja bolji rezultat od bazičnog rutera bez bafera. Najgori rezultat u pogledu ravnopravnosti čvorova daje mreža sa SB ruterima (Sl. 6-1 f)), za koju standardna devijacija stope ubacivanja flitova iznosi čak  $\sigma = 17.9 \times 10^{-3} \text{ flit/ciklus}$ . Razlog tome leži u organizaciji SB rutera koja flitu iz bafera daje viši prioritet za ubacivanje u mrežu u odnosu na flit iz IP jezgra. Što je ruter bliži središtu mreže, to je i protok saobraćaja kroz ruter veći, a time i opterećenje bafera, što smanjuje mogućnost za ubacivanje flitova iz IP jezgra. Ruteri po obodu mreže su najmanje opterećeni, tako da se može primetiti značajna razlika u stopi ubacivanja flitova u odnosu na rutere blizu središta mreže. Izražena neravnopravnost čvorova u mreži sa SB ruterima se ne menja značajno implementacijom refleksionog linka i refleksionog linka sa baferima. U SB\_LB mreži (Sl. 6-1 g)) standardna devijacija stope ubacivanja flitova iznosi  $\sigma = 16.1 \times 10^{-3} \text{ flit/ciklus}$ , a u SB\_ILB mreži  $\sigma = 19.1 \times 10^{-3} \text{ flit/ciklus}$ . Modifikacija SB rutera, premeštanjem bafera sa ulaza na izlaz PAS-a, znatno popravlja raspodelu saobraćaja u mreži. U SB\_O (Sl. 6-1 i)) mreži standardna devijacija stope ubacivanja flitova je ponovo u rangu bazičnog rutera bez bafera i iznosi  $\sigma = 6 \times 10^{-3} \text{ flit/ciklus}$ . Ovaj rezultat potvrđuje da pored povećanja performansi, SB\_O poboljšava i ravnopravnost čvorova, što predstavlja glavni nedostatak bazičnog rutera sa minimalnim baferovanjem. Na Sl. 6-1 j), tabelarno su prikazane standardne devijacije stope ubacivanja flitova za različite varijante deflekcionih mreža na čipu.

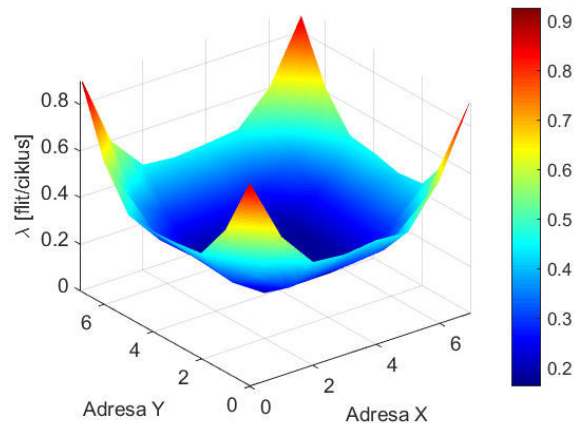


**SI. 6-1** Raspodela stope ubacivanja flitova za različite varijante mreža na čipu: a) mreža sa BL ruterima, b) mreža sa BL\_SMD ruterima, c) mreža sa BL\_DMD ruterima, d) mreža sa BL ruterima i LB linkovima, e) mreža sa BL ruterima i ILB linkovima, f) mreža sa SB ruterima, g) mreža sa SB ruterima i LB linkovima, h) mreža sa SB ruterima i ILB linkovima, i) mreža sa SB\_O ruterima, j) tabelarni prikaz standardnih devijacija stope ubacivanja flitova za različite tipove deflekcionihi mreža

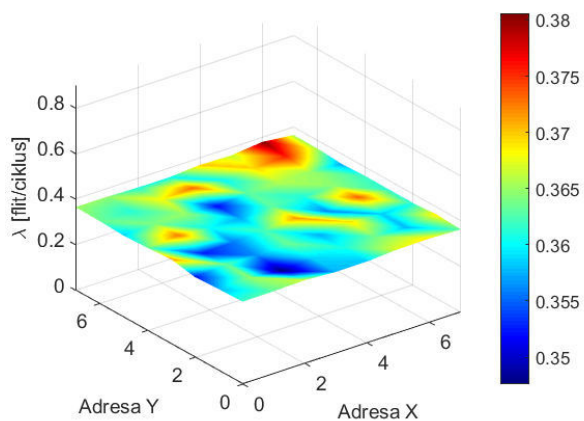




g)



h)



i)

Ruter	$\sigma$ [ <i>flit</i> /ciklus]
BL	$5.5 \times 10^{-3}$
BL_SMD	$5.8 \times 10^{-3}$
BL_DMD	$6.5 \times 10^{-3}$
BL_LB	$5.6 \times 10^{-3}$
BL_ILB	$4.9 \times 10^{-3}$
SB	$17.9 \times 10^{-3}$
SB_LB	$16.1 \times 10^{-3}$
SB_ILB	$19.1 \times 10^{-3}$
SB_O	$6 \times 10^{-3}$

j)

Sl. 6-1 (nastavak)

## 7. ZAŠTITA OD DINAMIČKE BLOKADE

Poboljšanje performansi deflekcioni mreža na čipu primenom predloženih rešenja kao što su SMD, DMD i SB\_O je zasnovano na iskorišćenju potencijala koji se gubi uvođenjem probabilističkog ponašanja u raznim aktivnostima tradicionalnih deflekcioni rutera. Na primer, CHIPPER ruter koristi nasumični izbor flitova za konfiguraciju arbitara PAS stepena. Takođe, MinBD koristi nasumični izbor deflektovanog flita za smeštanje u SB. Dok delimično pojednostavljuje hardver, nasumični izbor flitova ne omogućava optimalno iskorišćenje resursa mreže. U ovoj disertaciji je pokazano kako se zamenom probabilističkog pristupa eksplicitnim kriterijumima može ostvariti znatno poboljšanje performansi deflekcione mreže na čipu. Recimo, smanjenje stope deflekcije se postiže zamenom nasumičnog biranja flita koji postavlja konfiguraciju PAS-a, algoritmom koji u svakom mrežnom ciklusu bira najpovoljniju konfiguraciju (SMD i DMD). Takođe, poboljšanje performansi mreže se postiže zamenom nasumičnog izbora deflektovanog flita koji se smešta u SB, algoritmom koji bira flit sa najvećom verovatnoćom dodele produktivnog porta u narednom ciklusu (SB\_O). Dok sa jedne strane unapređuju performanse mreže, sa druge strane ova rešenja uvode determinističko ponašanje rutera koje potencijalno dovodi do stvaranja dinamičke blokade flitova u mreži. Iz tog razloga je potrebno proširiti funkcionalnost deflekcione mreže mehanizmom za zaštitu od dinamičke blokade. U ovoj disertaciji je predloženo rešenje za zaštitu od dinamičke blokade prilagođeno primeni u deflekcioni mrežama na čipu. Predloženo rešenje se implementira u ruteru, i univerzalno je, tj. može se primeniti kako u ruterima bez bafera, tako i u ruterima sa minimalnim baferovanjem.

## 7.1 Mehanizam za detekciju i razbijanje dinamičke blokade

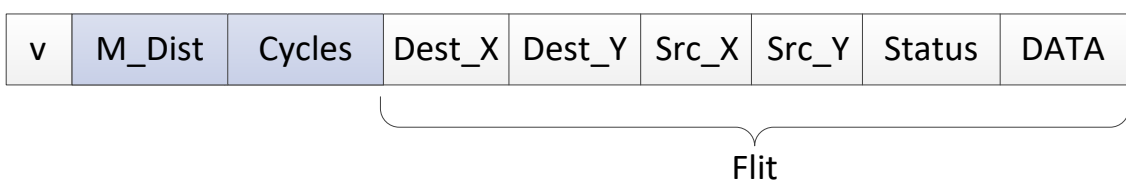
U ovoj disertaciji je predloženo rešenje za zaštitu od dinamičke blokade koje obuhvata dva mehanizma: mehanizam za detekciju i mehanizam za razbijanje dinamičke blokade. Uloga prvog mehanizma je da signalizira pojavu dinamičke blokade, dok je uloga drugog mehanizma postavljanje rutera u režim za razbijanje dinamičke blokade koji treba da preusmeri flitove pogođene dinamičkom blokadom sa njihove ustaljene putanje.

### 7.1.1 Detekcija dinamičke blokade

Idealni mehanizam za detekciju dinamičke blokade bi bio onaj koji bi signalizirao pojavu dinamičke blokade u istom ciklusu kada je ona nastala. Međutim, implementacija ovakvog mehanizma predstavlja težak problem, jer se bez opsežne analize u realnom vremenu ne može sa sigurnošću utvrditi da li je nastupila dinamička blokada, i koji su flitovi njome pogođeni. Alternativno rešenje je da se dinamička blokada detektuje posredno, praćenjem određenih simptoma koji ukazuju na mogućnost njene pojave. Vreme boravka flita u mreži je jedan takav simptom, budući da neuobičajeno dugo zadržavanje flita u mreži može biti posledica dinamičke blokade. Ovaj način detekcije dinamičke blokade definiše graničnu vrednost vremena boravka flita u mreži. Ukoliko flit boravi u mreži duže od definisanog graničnog perioda, za taj flit se smatra da je pogođen dinamičkom blokadom. Realizacija detekcije dinamičke blokade praćenjem vremena boravka flita je relativno jednostavna. Međutim, ovaj pristup poseduje i dva nedostatka, a to su pojava lažnih detekcija i latencija detekcije dinamičke blokade. Kao što je potvrđeno u simulacijama, vreme boravka flita u mreži značajno varira u zavisnosti od opterećenja mreže i distance između izvora i odredišta, što otežava pronalaženje optimalne granične vrednosti. Vrednost praga vremena boravka flita u mreži za detekciju dinamičke blokade direktno utiče na učestanost lažnih detekcija. Mala vrednost praga dovodi do čestih lažnih detekcija i smanjenja performansi mreže usled nepotrebnog aktiviranja mehanizma za razbijanje dinamičke blokade. Sa druge strane, velika vrednost ovog praga smanjuje broj lažnih detekcija, ali i povećava latenciju detekcije dinamičke blokade, odnosno vreme koje protekne od trenutka uspostavljanja dinamičke blokade do trenutka njene detekcije. Veća latencija dinamičke blokade takođe smanjuje performanse mreže jer flitovi pogođeni dinamičkom blokadom nepotrebno zauzimaju resurse mreže.

U predloženom mehanizmu za zaštitu od dinamičke blokade se, umesto vremena boravka flita u mreži, kao simptom koristi vreme od poslednjeg pozitivnog pomaka, koje predstavlja vreme proteklo od trenutka kada je flit bio na najkraćem rastojanju od odredišta. Flit koji je pogođen dinamičkom blokadom se neprekidno kreće po kružnoj putanji, tako da se minimalno dostignuto rastojanje od odredišta ne menja, dok vreme od poslednjeg pozitivnog pomaka raste. Za flit se smatra da je pogođen dinamičkom blokadom kada vreme od poslednjeg pozitivnog pomaka dostigne unapred definisanu graničnu vrednost. I ovaj pristup je podložan stvaranju lažnih detekcija, jer izostanak pozitivnog pomaka u dužem vremenskom periodu može biti posledica povećane stope deflekcija usled intenzivnog saobraćaja. Međutim, s obzirom na to da vreme od poslednjeg pozitivnog pomaka ne zavisi od distance između izvora i odredišta, trebalo bi očekivati manju učestanost lažnih detekcija u odnosu na mehanizam koji za detekciju dinamičke blokade koristi ukupno vreme boravka flita u mreži. Takođe, granična vrednost vremena od poslednjeg pozitivnog pomaka je manja od granične vrednosti vremena boravka flita u mreži, što je povoljno.

Implementacija predloženog mehanizma za detekciju i razbijanje dinamičke blokade zahteva modifikaciju formata flita i uvođenje dodatnog hardvera u ruteru. Modifikacija flita se sastoji u dodavanju dva polja: *M\_Dist* – polje za beleženje najkraćeg rastojanja do odredišta koje je flit postigao od trenutka ubacivanja u mrežu i *Cycles* – polje za vremenski period od poslednjeg pozitivnog pomaka (Sl. 7-1). Rastojanje između dva rutera u mreži sa topologijom 2D rešetke se određuje kao zbir razlika apsolutnih vrednosti  $x - y$  – koordinata dva rutera. Vremenski period *Cycles* je izražen u mrežnim ciklusima. Širina polja *M\_Dist* zavisi od maksimalnog rastojanja između dva rutera u mreži, tj. od dimenzija mreže na čipu. U opštem slučaju, za mrežu na čipu sa topologijom 2D rešetke dimenzija  $N \times N$ , širina *M\_Dist* polja iznosi  $1 + \log_2(N - 1)$  bita. Širina polja *Cycles* zavisi od maksimalnog vremena koje je dato na raspolaganju flitu za postizanje pozitivnog pomaka ka svom odredištu. Trajanje ovog vremenskog intervala se utvrđuje eksperimentalno i predstavlja kompromis između latencije detektovanja dinamičke blokade i učestanosti lažnih detekcija.



Sl. 7-1 Format flita sa poljima za detekciju dinamičke blokade

Prilikom ubacivanja flita u mrežu, polje  $M\_Dist$  se inicijalizuje vrednošću koja odgovara rastojanju između izvora i odredišta, jer je to ujedno i trenutno i najkraće postignuto rastojanje. Polje  $Cycles$  se inicijalizuje nulom. U svakom mrežnom ciklusu se za svaki flit u ruteru računa trenutno rastojanje od odredišta, koje se poredi sa sadržajem polja  $M\_Dist$ . Ukoliko je trenutno rastojanje veće ili jednako  $M\_Dist$  (flit se nije približio svom odredištu), polje  $Cycles$  se inkrementira. Kada  $Cycles$  dostigne unapred definisanu graničnu vrednost (istekao je vremenski period koji flit ima na raspolaganju da napravi pozitivan pomak), signalizira se pojava dinamičke blokade. Signal za razbijanje dinamičke blokade se generiše ukoliko je za bar jedan flit detektovana dinamička blokada. U slučaju da je generisan signal za razbijanje dinamičke blokade, polje  $Cycles$  svih flitova zatečenih u ruteru se postavlja na inicijalnu vrednost. Ukoliko je trenutno rastojanje flita od odredišta manje od najkraće postignutog rastojanja (flit je napravio pozitivan pomak ka svome odredištu),  $Cycles$  se postavlja na inicijalnu vrednost, a u polje  $M\_Dist$  se upisuje vrednost trenutnog rastojanja.

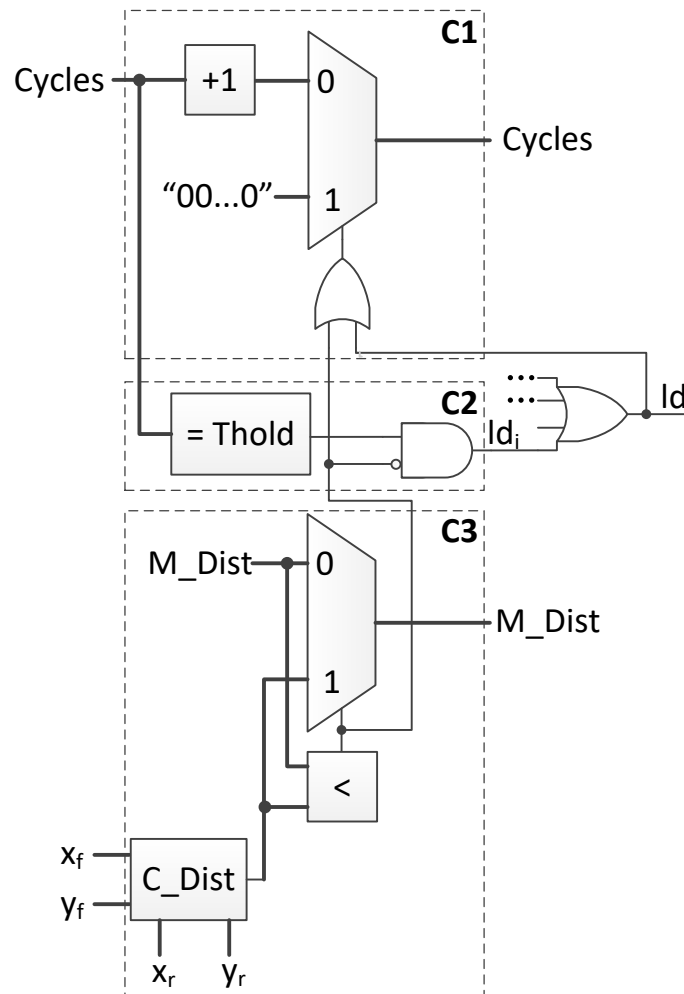
### 7.1.2 Razbijanje dinamičke blokade

Nakon signalizacije pojave dinamičke blokade, potrebno je aktivirati mehanizam za razbijanje dinamičke blokade. Uloga ovog mehanizma je da preduzme aktivnosti koje treba da prekinu ciklične putanje zarobljenih flitova. Predloženi mehanizam za razbijanje dinamičke blokade radi tako što postavlja arbitrarske blokove PAS stepena u nasumični režim rada i time flitove pogođene dinamičkom blokadom preusmerava sa njihove ustaljene putanje. Potrebno je naglasiti da postavljanje PAS-a u nasumični režim rada ne garantuje razbijanje dinamičke blokade, s obzirom na to da postoji izvesna verovatnoća da flitovi budu usmereni na iste izlazne portove, čime se zadržava postojeća dinamička blokada. Ukoliko se to desi, nakon isteka dozvoljenog vremenskog intervala, u istom ili nekom drugom ruteru se inicira ponovni pokušaj razbijanja blokade.

## 7.2 Hardverska implementacija

Na Sl. 7-2 je prikazan blok koji realizuje mehanizam za detekciju dinamičke blokade flita na jednom flit-kanalu u okviru stepena *Routing* deflekcionog rutera. Struktura hardvera mehanizma za detekciju dinamičke blokade flitova na ostalim flit-kanalima je identična. Kao što se može uočiti sa Sl. 7-2, hardver se može podeliti na tri funkcionalna dela: deo za

ažuriranje polja *Cycles* (C1), deo za signalizaciju dinamičke blokade (C2) i deo za ažuriranje polja *M\_Dist* (C3).



Sl. 7-2 Hardverska implementacija mehanizma za detekciju dinamičke blokade flita na jednom flit-kanalu

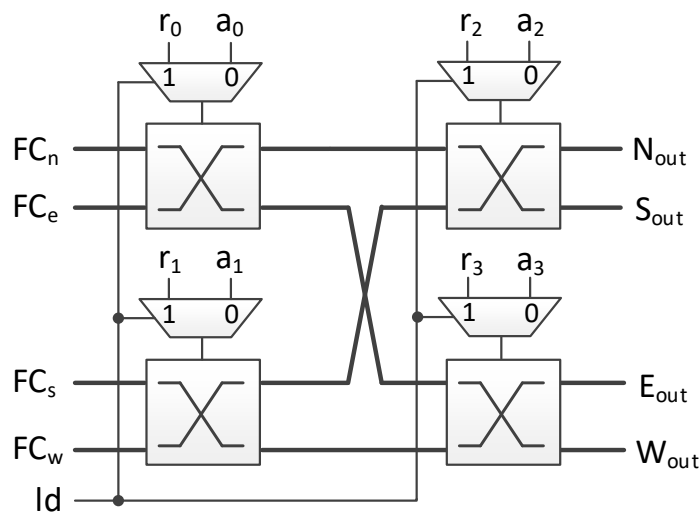
Ažuriranje polja *M\_Dist* se vrši u situaciji kada flit pravi pozitivni pomak ka odredištu. U suprotnom, vrednost polja *M\_Dist* se ne menja. Da bi se detektovao pozitivni pomak, potrebno je najpre odrediti trenutno rastojanje do odredišta. U tu svrhu se koristi blok *C\_Dist*. Ulazi ovog bloka su koordinate odredišta ( $x_f$  i  $y_f$ ) i koordinate rutera u kome se flit trenutno nalazi ( $x_r$  i  $y_r$ ). Ukoliko je trenutno rastojanje kraće od minimalnog (*M\_Dist*), to rastojanje se uzima kao nova vrednost *M\_Dist*.

Signalizacija dinamičke blokade se vrši onda kada vrednost polja *Cycles* dostigne definisanu graničnu vrednost (*Thold*) i pritom flit nije napravio novi pozitivni pomak. Dinamička blokada flita na flit-kanalu se signalizira izlazom  $ld_i$ , gde indeks  $i$  ukazuje na

konkretnan flit-kanal,  $i \in \{N, E, S, W\}$ . Signal za razbijanje dinamičke blokade  $ld$  se dobija logičkim sumiranjem  $ld_i$  signala za svaki flit-kanal, tj.  $ld = ld_n + ld_e + ld_s + ld_w$ .

Vrednost polja *Cycles* će se inkrementirati ukoliko nije detektovana dinamička blokada na nekom od flit-kanala ( $ld = 0$ ) i pri tome trenutna distanca nije manja od minimalne, što se ispituje u bloku C3. U suprotnom, polje *Cycles* se inicijalizuje na nulu.

Implementacija predloženog mehanizma za razbijanje dinamičke blokade se ostvaruje uz minimalnu modifikaciju PAS stepena. Modifikacija se sastoji u tome što se svakom arbitrarnom bloku pridružuje jedan multiplekser 2/1 koji omogućava izbor jednog od dva signala za konfigurisanje odgovarajućeg arbitarskog bloka. Na Sl. 7-3 je prikazan deo PAS stepena koji obuhvata arbitarske blokove i pridružene multipleksere 2/1. Ukoliko dinamička blokada nije detektovana ( $ld = 0$ ), arbitarski blokovi se konfiguriraju odgovarajućom alokatorskom jedinicom (signali  $a_i$ ). U suprotnom, arbitarski blokovi se konfiguriraju bitovima pseudoslučajnog generatora ( $r_i$ ).



Sl. 7-3 Hardverska implementacija mehanizma za razbijanje dinamičke blokade – modifikacija PAS stepena

## 7.3 Evaluacija performansi

U cilju evaluacije predloženog rešenja za zaštitu od dinamičke blokade, sproveden je set simulacija u kojima se posmatra uticaj ovog rešenja na performanse deflekcione mreže na čipu u zavisnosti od granične vrednosti vremenskog intervala (*Thold*) koji flit ima na raspolaganju da napravi barem jedan pozitivni pomak ka svom odredištu kako se ne bi

signalizirala dinamička blokada. Radi poređenja performansi, simulacije obuhvataju i mehanizam za detekciju dinamičke blokade zasnovan na praćenju ukupnog vremena boravka flita u mreži (TT). Za potrebe simulacije se koristi mreža na čipu sa topologijom 2D rešetke koja se sastoji od  $8 \times 8$  rutera. Kao referentni ruter, izabran je BL\_SMD ruter, mada se može koristiti bilo koji od deflekcionih rutera predstavljenih u ovoj disertaciji, jer je isti relativni uticaj primenjenog rešenja. U cilju kvantitativne procene uticaja, definisana je nova veličina – stopa dinamičke blokade (LR) koja ukazuje na broj detektovanih dinamičkih blokada po ruteru u jednom mrežnom ciklusu, i izražava se u procentima. Recimo,  $LR = 20\%$  znači da će se u 20% ukupnog broja mrežnih ciklusa detektovati dinamička blokada u svakom ruteru. Budući da je dinamička blokada retka pojava, LR zapravo predstavlja stopu lažnih detekcija dinamičke blokade.

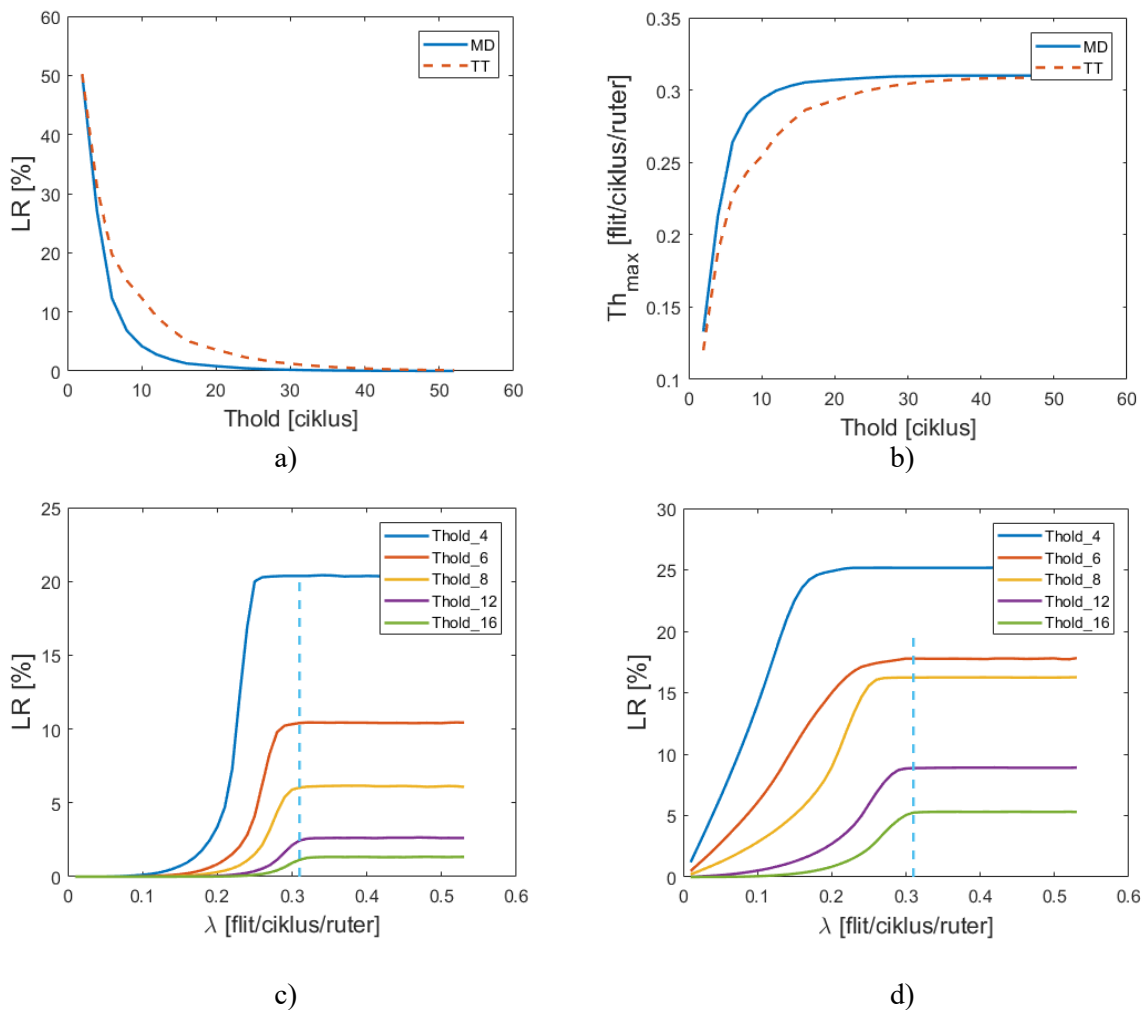
Na Sl. 7-4 su prikazani rezultati simulacija. Grafikon Sl. 7-4 a) prikazuje zavisnost LR u odnosu na vrednost parametra *Thold* pri saturacionom saobraćaju za predloženo rešenje (MD) i TT mehanizam. Kao što se može videti, za veoma male vrednosti parametra *Thold*, u oba slučaja LR ima veliku vrednost, jer mala vrednost parametra *Thold* dovodi do učestalih lažnih detekcija dinamičke blokade. Za *Thold* veći od 20 mrežnih ciklusa, LR je manji od 1% za MD rešenje, dok za TT mehanizam ista stopa se ostvaruje tek pri *Thold* većem od 35 mrežnih ciklusa. Na Sl. 7-4 b) je prikazana zavisnost maksimalne propusnosti mreže u zavisnosti od parametra *Thold*, pri saturacionom saobraćaju za MD i TT. Za male vrednosti parametra *Thold*, propusnost mreže za oba mehanizma je mala, jer se usled male vrednosti *Thold*, LR ruter često postavlja u nasumični režim rada. Pored toga što eliminiše dinamičku blokadu, nasumični režim rada rutera smanjuje ukupne performanse mreže jer ne usmerava flitove na izlazne portove na optimalan način. Sa povećanjem vrednosti parametra *Thold*, povećava se i maksimalna propusnost mreže. Sa slike se može videti da nakon određene vrednosti parametra *Thold*, maksimalna propusnost mreže ulazi u zasićenje jer je pri tim vrednostima LR veoma malo. Vrednost parametra *Thold* pri kome maksimalna propusnost ulazi u zasićenje, za slučaj MD rešenja iznosi 20, a za TT mehanizam 40 mrežnih ciklusa.

Grafikon sa Sl. 7-4 c) prikazuje zavisnost LR od opterećenja mreže pri različitim vrednostima parametra *Thold* za MD rešenje. Pri malom opterećenju, vrednost LR teži nuli čak i pri maloj vrednosti parametra *Thold*. Razlog tome je to što se pri malom opterećenju u mreži flitovi usmeravaju na produktivne portove, tako da stalno prave pomak ka svom odredištu. Sa povećanjem opterećenja verovatnoća produktivnog rutiranja opada, flit se



sporije približava svom odredištu što povećava LR. Situacija je slična i kada je primenjen TT mehanizam (Sl. 7-4 d)), s tim što LR ulazi u zasićenje pri manjim vrednostima opterećenja mreže.

Rezultati simulacija pokazuju da primena MD rešenja daje znatno bolje performanse u odnosu na TT. Sa grafikona se može uočiti da bi za MD rešenje optimalna vrednost parametra *Thold* iznosila 20 mrežnih ciklusa, dok za TT mehanizam iznosi 40 mrežnih ciklusa.



Sl. 7-4 Evaluacija MD i TT mehanizma: a) uticaj parametra *Thold* na LR, b) uticaj parametra *Thold* na maksimalnu propusnost, c) uticaj stope ubacivanje flitova na LR pri različitim vrednostima parametra *Thold* za MD, d) uticaj stope ubacivanje flitova na LR pri različitim vrednostima parametra *Thold* za TT

## 8. ZAKLJUČAK

Savremeni sistemi na čipu, zahvaljujući konstantnom razvoju VLSI tehnologije, mogu da objedine i više desetina složenih IP jezgara. U takvim sistemima, komunikaciona arhitektura je ključna sa stanovišta performansi, potrošnje, cene i vremena projektovanja čipa. Koncept mreža na čipu se izdvojio kao skalabilno, pouzdano i modularno rešenje koje treba da prevaziđe probleme deljive magistrale i omogući iskorišćenje potencijala VLSI tehnologije za povećanje ukupnih performansi sistema na čipu. Najširu primenu nalaze baferovane mreže na čipu, za čiju konstrukciju se koriste ruteri sa ugrađenim baferima za smeštanje celokupnih paketa, ili delova paketa. Ove mreže ispoljavaju visoke performanse čak i pri intenzivnom saobraćaju. Međutim, implementacija obimnih bafera je nepovoljna sa stanovišta potrošnje energije i površine čipa. Iz tog razloga, jedan pravac istraživanja u ovoj oblasti je usmeren ka deflekcionim mrežama na čipu, u kojima se koriste ruteri bez bafera. Eliminacija bafera iz rutera pruža brojne prednosti poput smanjenja potrošnje energije, manje površine silicijumskog čipa, a time i manje cene. Sa druge strane, sa povećanjem intenziteta saobraćaja, stopa defleksija naglo raste, što dovodi do degradacije performansi. Iz tog razloga, primena deflekcionih mreža je ograničena na aplikacije sa niskim do umerenim intenzitetom saobraćaja.

U ovoj disertaciji su predložena rešenja za povećanje performansi mreža na čipu zasnovanih na deflekcionom rutiranju. Predložena rešenja su klasifikovana na rešenja za minimizaciju defleksija i rešenja za supresiju misrutiranja. Rešenja za minimizaciju defleksija (SMD i DMD) se primenjuju na nivou PAS stepena deflekcionog rutera. SMD vrši konfiguraciju arbitra PAS stepena tako da se minimizuje broj defleksija na nivou pojedinačnih arbitara. DMD rešenje je kompleksnije i uvodi objedinjenu konfiguraciju arbitara i to na način da se minimizuje broj deflektovanih flitova na izlazu rutera.

Simulacijama je potvrđeno da SMD smanjuje stopu deflekcija za 12% i povećava maksimalnu propusnost za 17.4%, dok DMD rešenje smanjuje stopu deflekcija za 26.1% i povećava maksimalnu propusnost za 38.6% u odnosu na referentni deflekcioni ruter.

Rešenja za supresiju misrutiranja kompenzuju posledice deflekcije tako što omogućavaju da se flit zadrži na stani rutera u kome je deflektovan. Rešenja za supresiju misrutiranja predložena u ovoj disertaciji su, u zavisnosti od mesta primene, klasifikovana na rešenja za supresiju misrutiranja u ruteru i rešenja za supresiju misrutiranja na linkovima. Supresija misrutiranja u ruteru karakteristična je za MinDB ruter koji sadrži bafer malog kapaciteta (tzv. *side buffer* - SB) za smeštanje deflektovanih flitova. Rešenje za supresiju misrutiranja koje je predloženo u ovoj disertaciji (SB\_O) modifikuje kako arhitekturu rutera MinDB, tako i algoritam rada unutrašnjih blokova rutera za ubacivanje/izbacivanje deflektovanih flitova u/iz SB-a. Sa stanovišta arhitekture, SB\_O modifikuje organizaciju hardvera tako što se menja pozicija bloka za izbacivanje flita iz bafera sa pozicije ispred, na poziciju posle PAS stepena. Sa stanovišta algoritma rada bloka za ubacivanje flita u bafer, postojeći algoritam, koji se zasniva na nasumičnom odabiru deflektovanog flita, zamenjen je algoritmom koji primenjuje eksplicitni kriterijum pri izboru deflektovanog flita. Simulacijama je potvrđeno da se primenom SB\_O rešenja povećava maksimalna propusnost mreže za 9.6% u odnosu na mrežu sa MinBD ruterima. Bitna osobina mreže na čipu je mogućnost uspostavljanja ravnomerne distribucije saobraćaja. Simulacijama je utvrđeno da mreža na čipu sa MinDB ruterima ne poseduju ovu osobinu, odnosno da su u uslovima intenzivnog saobraćaja IP jezgra u centralnom delu mreže praktično blokirana, dok ona po obodu mreže i dalje mogu nesmetano da šalju svoje flitove. Za razliku od toga, u mreži sa SB\_O ruterima je, zahvaljujući premeštanju bloka za izbacivanje flitova iz bafera, uspostavljena bolja raspodela saobraćaja u mreži.

U disertaciji su predložena dva rešenja za supresiju misrutiranja na linkovima: refleksioni link (LB) i refleksioni link sa baferima (ILB). LB u odnosu na tradicionalni link podržava konfiguraciju za reflektovanje deflektovanih flitova natrag u tekući ruter. Efekat reflektovanja je sličan baferovanju, jer se reflektovani flit zadržava flit na strani rutera u kome je deflektovan, tako da dobija novu mogućnost za nadmetanje i dodelu produktivnog porta. Pogodnost ovog rešenja je to što je ortogonalno na arhitekturu deflekcionog rutera. Takođe, implementacija LB-a, neznatno povećava obim hardvera. ILB, za razliku od LB, dodatno implementira FIFO bafere na linku. Zahvaljujući tome, ILB ostvaruje dodatnu fleksibilnost za flitove koji su deflektovani. Uzimajući u obzir da je broj linkova veći od broja

rutera u mreži, implementacija bafera na linku u odnosu na implementaciju u ruteru, omogućava da se veći broj deflektovanih flitova sačuva u baferu, što daje superiornije performanse mreže. Simulacijama je potvrđeno da se primenom LB rešenja povećava maksimalna propusnost mreže za 14.8%, a primenom ILB rešenja za 36.7% u odnosu na referentni deflekcioni ruter.

Pored rešenja za poboljšanje performansi deflekcioni mreža na čipu, u okviru disertacije je predloženo i rešenje za zaštitu od dinamičke blokade flitova. Ovo rešenje obuhvata mehanizam za detekciju i mehanizam za razbijanje dinamičke blokade. Mehanizam za detekciju dinamičke blokade se zasniva na praćenju vremena koje protekne od poslednjeg pozitivnog pomaka flita ka svome odredištu. U slučaju da ovo vreme prekorači definisanu graničnu vrednost, signalizira se pojava dinamičke blokade i aktivira mehanizam za razbijanje blokade, koji se postavlja u nasumični režim rada.

Primenom predloženih rešenja su ostvarena značajna poboljšanja performansi deflekcioni mreža na čipu, uz očuvanje hardverske jednostavnosti referentnog deflekcionog rutera. Sa ovim poboljšanjima, deflekcione mreže se približavaju mrežama sa virtuelnim kanalima. Predložena rešenja ujedno doprinose uspostavljanju ravnomerne raspodele saobraćaja u mreži.

Pored doprinosa u vidu poboljšanja performansi deflekcioni mreža na čipu, ovom disertacijom je ujedno postavljena dobra osnova za dalja istraživanja. Jedan pravac budućeg istraživanja bi mogao obuhvatiti uopštenje predloženih rešenja za primenu u trodimenzionalnim (3D) mrežama na čipu.

## 9. LITERATURA

- [1] Moore, G, 'Craming more components onto integrated circuits', *Electronics Magazine*, vol. 38, no. 8, 1965, pp. 144 ff.
- [2] Borkar, S., 'Design Challenges of Technology Scaling', *IEEE Micro*, vol. 19, no. 4, 1999, pp. 23-29.
- [3] Palesi, M. and M. Daneshtalab, *Routing Algorithms in Networks-on-Chip*, Springer Science & Business Media, 2014.
- [4] Mignolet, J. and R. Wuyts, 'Embedded Multiprocessor System-on-Chip Programming', *IEEE Software*, vol. 26, 2009, no. 3, pp. 34-41.
- [5] Jerraya, A., Tenhunen, H., and W. Wolf, 'Multiprocessor System-on-Chips', *Computer*, vol. 38, no. 7, 2005, pp. 36-40.
- [6] Nekoogar, F., *From ASICs to SOCs: A Practical Approach*, New Jersey: Prentice Hall Ptr, 2003.
- [7] Singhal, R., Choi, G. and R. Mahapatra, 'Data Handling Limits of On-Chip Interconnects', *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 16, no. 6, 2008, pp. 707-713.
- [8] Meindl, J., 'Beyond Moore's Law: the interconnect era', *Computing in Science & Engineering*, vol. 5, no. 1, 2003, pp. 20-24.
- [9] Loghi, M. et al., 'Analyzing on-chip communication in a MPSoC environment', *Proceedings of the conference on Design, Automation and Test in Europe Conference and Exhibition*, vol. 2, 2004, pp. 752-757.
- [10] Lee, H. et al., 'On-chip communication architecture exploration: A quantitative evaluation of point-to-point, bus, and network-on-chip approaches', *ACM*

- Transactions on Design Automation of Electronic Systems (TODAES)*, vol. 12, no. 23, 2007.
- [11] Pelissier, P. et al., 'Bus analysis and performance evaluation on a SOC platform at the system level design', 2010, Dostupno: <https://pdfs.semanticscholar.org/7b68/b06ebbc00b0af82229e4d06d38b320220fb0.pdf>
- [12] Pasricha, P. and N. Dutt, *On-Chip Communication Architectres, System On Chip Interconnect*, Burlington: Elsevier, 2008.
- [13] Salminen, E. et al., 'Overview of bus-based system-on-chip interconnections', *2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353)*, 2002, pp. II-II.
- [14] Patterson, P. and J. Hennessy, *Computer Organisation and Design, The Hardware/Software Interface*, USA: Elsevier, 2005.
- [15] Dally, W. and B. Towels, *Principles and Practices of Interconnection Networks*, San Francisco, California: Morgan Kaufman Publishers, 2004.
- [16] Owens, J. et al., 'Research Challenges for On-Chip Interconnection Networks', *IEEE Micro*, vol. 27, no. 5, 2007, pp. 96-108.
- [17] Kavaldjiev, N., 'A Survey of Efficient On-Chip Communications for SoC', *The 4<sup>th</sup> PROGRESS Symposium on Embedded Systems*, 2003, pp. 129-140.
- [18] From "Bus" and "Crossbar" to "Network-On-Chip", dostupno: [www.artemis.com](http://www.artemis.com) .
- [19] Gebali, F. et al., *Networks-on-chips: theory and practice*. Washington DC: Taylor&Francis Group LLC, 2009.
- [20] Assad, A. et al., 'A survey on energy-efficient methodologies and architectures of network-on-chip', *Computers & Electrical Engineering*, vol. 40, 2014, pp. 333-347.
- [21] Henkel, J., Wolf, W. and S. Chakradhar, 'On-chip networks: a scalable, communication-centric embedded system design paradigm', *The 17<sup>th</sup> International Conference on VLSI Design*, 2004, pp. 845-852.
- [22] Gebali, F., Elmiligi, H. and M. W. El-Kharashi, *Networks-On-Chip*, Boca Raton, Florida: CRC Press, 2009.
- [23] Benini, L. and G. De Micheli, 'A new SoC paradigm', *IEEE Computer Society*, vol. 35, no. 1, 2002, pp. 70-78.
- [24] Dally, W. and B. Towels, 'Route packets, not wires: on-chip inteconnection networks', *ACM/IEEE Design Automation Conference*, 2001, pp. 684-689.

- [25] Kumar, S. et al., 'A network on chip architecture and design methodology', *IEEE Computer Society Annual Symposium on VLSI*, 2002, pp. 117 ff.
- [26] Axel, L. and T. Hannu, *Networks on Chip*, Dordrecht: Springer, 2003.
- [27] Chien, A. and J. Kim, 'Planar-adaptive routing: low-cost adaptive networks for multiprocessors', *ACM*, vol. 42, 1995, pp.91-123.
- [28] Ge-Ming, C., 'The odd-even turn model for adaptive routing', *IEEE Transactions on Parallel and Distributed Systems*, vol. 11, no. 7, 2002, pp. 729-738.
- [29] Glass, C. and L. M. Ni, 'The turn model for adaptive routing', *JACM*, vol. 41, 1994, pp. 874-902.
- [30] Nikolic, T., 'Deljiva magistrala zasnovana na CDMA tehnici prenosa', doktorska disertacija, Univerzitet u Nišu, Elektronski fakultet, 2010.
- [31] Kermani, P. and Kleinrock, L., 'Virtual cut-through: A new computer communication switching technique', *Computer Networks*, 1979, pp. 267-286.
- [32] Zhonghai, L., *Using wormhole switching for networks on chip: Feasibility analysis and microarchitecture adaptation*, KTH, Stockholm, 2005, dostupno na: <http://kth.diva-portal.org/smash/get/diva2:14439/FULLTEXT01.pdf>
- [33] Dally, W., 'Virtual-channel flow control', *In Proceedings of the International Symposium on Computer Architecture (ISCA)*, 1990, pp. 60-68.
- [34] Wue, Y., Lu, C. and Y. Chen, *A survey of routing algorithm for mesh Network-on-Chip*, *Frontiers of Computer Science*, vol. 10, 2016, pp. 591-601.
- [35] Ascia, G. et al., 'Implementation and analysis of a new selection strategy for adaptive routing in networks-on-chip', *IEEE Transactions on Computers*, vol. 57, no. 6, 2008, pp. 809-820.
- [36] Hu, J. and R. Marculescu, 'DyAD – smart routing for networks-on-chip', *ACM*, 2004, pp. 260-263.
- [37] Lee, I. G., Lee, J. and S. C. Park, 'Adaptive routing scheme for NoC communication architecture', *The 7<sup>th</sup> International Conference on Advanced Communication Technology, ICACT 2005*, 2005, pp. 1180-1184.
- [38] Ni, L. M., 'A Survey of wormhole routing techniques in direct networks', *Computer*, vol. 26, no. 2, 1993, pp. 62-76.
- [39] Nilsson, M. et al., 'Load distribution with the proximity congestion awareness in network on chip', *Design, Automation and Test in Europe*, vol. 1, 2003, pp. 1126-1127.

- [40] Dally, W., 'Virtual-channel flow control', *IEEE Transactions on Parallel and Distributed Systems*, vol. 3, no.2, 1992, pp. 194-205.
- [41] Bjerregaard, T. and S. Mahadevan, 'A survey of research and practices of Network-on-chip', *ACM Computing Surveys (CSUR)*, vol. 38, no. 1, 2006.
- [42] Michelogiannakis, G. et al., 'Evaluating bufferless flow control for on-chip networks'. In *Proceedings of the 4<sup>th</sup> ACM/IEEE International Symposium on Networks-on-Chip*, 2010, pp. 9-16.
- [43] Kohler, A. and M. Radetzki, 'Fault-tolerant architecture and deflection routing for degradable NoC switches', In *Proceedings of the 3<sup>rd</sup> ACM/IEEE International Symposium on Networks-on-Chip*, 2009, pp. 22-31.
- [44] Feng, C. et al., 'Evaluation of Deflection Routing on Various NoC Topologies', In *proceedings of IEEE 9<sup>th</sup> International Conference on ASIC (ASICON 2011)*, 2011, pp. 163-166.
- [45] Jose, J. et al., 'DeBAR: Deflection based adaptive router with minimal buffering', *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2013, pp. 1583-1588.
- [46] Moscibroda, T. and O. Multu, 'A case for bufferless routing in on-chip networks', *ISCA-36*, vol. 37, no. 3, 2009, pp. 196-207.
- [47] Fallin, C., Craik, C. and O. Multu, 'CHIPPER: A low-complexity bufferless deflection router', *HPCA-17*, 2011, pp. 144-155.
- [48] Fallin, C. et al., 'MinBD: Minimally-buffered deflection routing for energy-efficient interconnect', *NOCS*, 2012, pp. 1-10.
- [49] Stojanovic, I., Jovanovic, M. and G. Djordjevic, 'Low-Cost Port Allocation Scheme for Minimizing Deflections in Bufferless On-Chip Networks', *21<sup>st</sup> Telecommunications forum TELFOR 2013*, 2013, pp. 357-360.
- [50] Stojanovic, I. et al., 'Improved Deflection Routing Method for Bufferless Networks-on-Chip', *XLIX International Scientific Conference on Information, Communication and Energy Systems and Technologies (ICEST 2014)*, 2014, pp. 115-118.
- [51] Stojanovic, I., Jovanovic, M. and G. Djordjevic, 'Dual-mode inter-router communication channel for deflection-routed networks-on-chip', *The Journal of Supercomputing*, vol. 71, 2015, pp. 2597-2613.



- [52] Stojanovic, I. and G. Djordjevic, 'In-Channel Misrouting Supression Technique for Deflection-Routed Networks on Chip', *FACTA UNIVERSITATIS Series: Electronics and Energetics*, vol. 29, 2016, pp. 309-323.
- [53] Stojanovic, I. et al., 'Optimized port allocation algorithm for deflection router with minimal buffering', *LII International Scientific Conference on Information, Communication and Energy Systems and Technologies (ICEST 2017)*, 2017, pp. 182-185.
- [54] Rantala, V., Lehtonen, T. and J. Plosila, *Network on Chip Routing Algorithms*, University of Turku, Department of Information Technology, Turku, Finland, 2006.
- [55] Bertozzi, D. Kumar, S. and M. Palesi, *Networks-on-Chip*. France: Hindawi Publishing Corporation, 2007.
- [56] Altera Avalon Interface Specification, dostupno: <https://www.altera.com/>.
- [57] Mitic, M., Stojcev, M. and Z. Stamenkovic, 'An Overview of SoC Buses', *Embedded Systems Handbook, Digital Systems and Applications, Chapter 7*, CRC Press, Boca Raton, 2008, pp. 7.1-7.16.
- [58] ARM AMBA Specification, dostupno: <https://www.arm.com/>.
- [59] CoreConnect BUS Architecture, dostupno: <https://www.ibm.com/>.
- [60] STBus Specification, <https://www.st.com/>.
- [61] Dally, W., 'Computer architecture is all about interconnect', *In 8<sup>th</sup> International Symposium on High-Performance Computer Architecture*, 2002.
- [62] Carloni, L. and A. Sangiovanni-Vincentelli, 'Coping with latency in SOC design', *IEEE Micro*, vol. 22, no. 5, 2002, pp. 24-35.
- [63] De Micheli, G. and L. Benini, *Networks on chips: Technology and tools*, Amsterdam: Elsevier.
- [64] Luca, B. at al. (2004). *Networks on chips: A new paradigm for component based MPSoC design*. San Francisco: Morgan Kaufmann, pp. 187 – 222.
- [65] Chen, J. and C. Li, 'Network-on-Chip (NoC) topologies and performance: a review', *Proceedings of the 2011 Newfoundland Electrical and Computer Engineering Conference (NECEC)*, 2011, pp. 1-6.
- [66] Valiant, L. G. and G. J. Brebner, 'Universal schemes for parallel communication', *Proceedings of the 13th annual ACM symposium on Theory of computing*, 1981, pp. 263-277.

- [67] Duato, J., Yalamanchili, S. and L. Ni, *Interconnection Networks. An engineering approach*. San Francisco, California: Morgan Kaufmann Publishers, 2003.
- [68] Kim, G., Kim, J, and S. Yoo, 'Flexibuffer: Reducing leakage power in on-chip network routers', *DAC*, 2011, pp. 936-941.
- [69] Hoskote, Y. et al., 'A 5-GHz mesh interconnect for a teraflops processor', *IEEE Micro*, vol. 27, no. 5, 2007, pp. 51-61.
- [70] Taylor, M. et al., 'Evaluation of the raw microprocessor: An exposed wire-delay architecture for ILP and streams', *ISCA*, vol. 32, no, 2, 2004, pp. 2-13.
- [71] Kumary, A. et al., 'A 4.6 Tbits/s 3.6 GHz single-core NoC router with a novel switch allocator in 65 nm CMOS', *Proceedings 25<sup>th</sup> International Conference on Computer Design, ICCD*, 2006, pp. 63-70.
- [72] Jafri, S.A.R. et al., 'Adaptive flow control for robust performance and energy', *MICRO-43*, 2010, pp. 433-444.
- [73] Konstantinidou, S. and L. Snyder, 'Chaos router: architecture and performance', *ISCA-17*, vol. 19, no. 3, 1991, pp. 212-221.
- [74] SystemC, dostupno: <http://www.accellera.org/downloads/standards/systemc>.
- [75] Borkar, S., 'Thousand core chips: a technology perspective', *DAC-44*, 2007, pp. 746-749.
- [76] Borkar, S., 'Future of interconnect fabric: a contrarian view', *SLIP'10*, 2010, pp. 1-2.
- [77] Borkar, S., 'NoCs: What's the point?', *NSF Workshop on Emerging Technologies for Interconnects (WETI)*, 2012.
- [78] Baran, P., 'On Distributed Communications Networks'. *IEEE Transactions on Communications Systems*, vol. 12, no. 1, 1964, pp. 1-9.
- [79] Guz, Z. et al., 'Efficient link capacity and QoS design for network-on-chip', *Proceedings of design, automation and test in Europe*, 2006, pp. 9-14.

## **BIOGRAFIJA AUTORA**

Diplomirani inženjer Elektrotehnike za elektroniku Igor Stojanović rođen je 22. septembra 1988. godine u Prokuplju. Osnovnu školu „9. oktobar” i gimnaziju na prirodno-matematičkom smeru je završio u Prokuplju. Za postignute uspehe u osnovnoj školi nosilac je diplome „Vuk Karadžić”.

Elektronski fakultet je upisao školske 2007/2008 godine. Tokom studija dobitnik je priznanja za postignut izuzetan uspeh tokom prve, druge, treće i četvrte godine studija. Školske 2011/2012. godine bio je stipendista Fonda za mlade talente – „Dositeja”. Diplomirao je 04.07.2012. godine sa prosečnom ocenom tokom studija 9.70 (devet i 70/100). Diplomski rad pod nazivom „Realizacija adaptivnog digitalnog filtra u FPGA tehnologiji” odbranio je na smeru Elektronika, modul Elektronska kola i sistemi sa ocenom 10. Dobitnik je nagrade „Prvi diplomirani student generacije 2007/2008”.

Školske 2012/2013. godine upisao je doktorske studije na Elektronskom fakultetu u Nišu na smeru Elektronika i mikroračunarska tehnika. Tokom studija je položio sve ispite predviđene planom i programom doktorskih studija sa prosečnom ocenom 10. Nastavno-naučno veće Elektronskog fakulteta u Nišu na sednici održanoj 26.04.2016. god. usvojilo je temu doktorske disertacije Igora Stojanovića pod naslovom „Poboljšanje performansi mreža na čipu zasnovanih na deflekcijom rutiranju”.

## IZJAVA O AUTORSTVU

Izjavljujem da je doktorska disertacija, pod naslovom

**Poboljšanje performansi mreža na čipu zasnovanih na deflektionom rutiranju**

koja je odbranjena na Elektronskom fakultetu Univerziteta u Nišu:

- rezultat sopstvenog istraživačkog rada;
- da ovu disertaciju, ni u celini, niti u delovima, nisam prijavljivao na drugim fakultetima, niti univerzitetima;
- da nisam povredio autorska prava, niti zloupotrebio intelektualnu svojinu drugih lica.

Dozvoljavam da se objave moji lični podaci, koji su u vezi sa autorstvom i dobijanjem akademskog zvanja doktora nauka, kao što su ime i prezime, godina i mesto rođenja i datum odbrane rada, i to u katalogu Biblioteke, Digitalnom repozitorijumu Univerziteta u Nišu, kao i u publikacijama Univerziteta u Nišu.

U Nišu, 20.02.2019

Potpis autora disertacije:



---

Igor Z. Stojanović

**IZJAVA O ISTOVETNOSTI ELEKTRONSKOG I ŠTAMPANOG OBLIKA  
DOKTORSKE DISERTACIJE**

Naslov disertacije:

**Poboljšanje performansi mreža na čipu zasnovanih na deflekcionom rutiranju**

Izjavljujem da je elektronski oblik moje doktorske disertacije, koju sam predao za unošenje u **Digitalni repozitorijum Univerziteta u Nišu**, istovetan štampanom obliku.

U Nišu, 20.02.2019

Potpis autora disertacije:



\_\_\_\_\_  
Igor Z. Stojanović

## IZJAVA O KORIŠĆENJU

Ovlašćujem Univerzitetsku biblioteku „Nikola Tesla“ da u Digitalni repozitorijum Univerziteta u Nišu unese moju doktorsku disertaciju, pod naslovom:

### **Poboljšanje performansi mreža na čipu zasnovanih na deflektionom rutiranju**

Disertaciju sa svim prilogima predao sam u elektronskom obliku, pogodnom za trajno arhiviranje.

Moju doktorsku disertaciju, unetu u Digitalni repozitorijum Univerziteta u Nišu, mogu koristiti svi koji poštuju odredbe sadržane u odabranom tipu licence Kreativne zajednice (Creative Commons), za koju sam se odlučio.

1. Autorstvo (CC BY)
2. Autorstvo – nekomercijalno (CC BY-NC)
3. Autorstvo – nekomercijalno – bez prerade (CC BY-NC-ND)
4. Autorstvo – nekomercijalno – deliti pod istim uslovima (CC BY-NC-SA)
5. Autorstvo – bez prerade (CC BY-ND)
6. Autorstvo – deliti pod istim uslovima (CC BY-SA)

U Nišu, 20.02.2019

Potpis autora disertacije:



Igor Z. Stojanović