



УНИВЕРЗИТЕТ У НОВОМ САДУ
ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА У
НОВОМ САДУ



Branislava Marković

**Autonomna i potpuno integrisana
analogno-digitalna kalibracija i
kompenzacija Čebiševljevog
niskopropusnog UWB LC filtra
petog reda**

Doktorska disertacija

Novi Sad, 2022.

КЉУЧНА ДОКУМЕНТАЦИЈСКА ИНФОРМАЦИЈА¹

Врста рада:	Докторска дисертација
Име и презиме аутора:	Бранислава Марковић
Ментор (титула, име, презиме, звање, институција)	Проф. др Горан Стојановић, редовни професор, Факултет техничких наука Универзитета у Новом Саду
Наслов рада:	Аутономна и потпуно интегрисана аналогно-дигитална калибрација и компензација Чебишевљевог нископропусног UWB LC филтра петог реда
Језик публикације (писмо):	Српски (<u>латиница</u>)
Физички опис рада:	Унети број: Страница <u>114</u> Поглавља <u>14</u> Референци <u>107</u> Табела <u>19</u> Слика <u>87</u> Прилога <u>1</u>
Научна област:	Електротехничко и рачунарско инжењерство
Ужа научна област (научна дисциплина):	Електроника
Кључне речи / предметна одредница:	Варијација процеса, компензација, МИМ кондензатор, LC нископропусни филтар, UWB

¹ Аутор докторске дисертације потписао је и приложио следеће Обрасце:

5б – Изјава о ауторству;

5в – Изјава о истовестности штампане и електронске верзије и о личним подацима;

5г – Изјава о коришћењу.

Ове Изјаве се чувају на факултету у штампаном и електронском облику и не кориче се са тезом.

<p>Резиме на језику рада:</p>	<p>Овај рад приказује пројектовање и оптимизацију Чебишевљевог нископропусног филтра петог реда са колом за аутономну калибрацију и компензацију варијације процеса на чипу. Филтар је реализован у 130 nm RF CMOS технологији и намењен је за доњи фреквенцијски опсег UWB система. Предложени калибрациони концепт је потпуно интегрисан, без коришћења спољашњих референци. Калибрациони концепт процењује вредност капацитивности линеарног MIM кондензатора поредећи га са тачнијом MOS капацитивном референцом. Како би се проценила вредност капацитивности MIM кондензатора, пројектован је осцилатор ниске учестаности осциловања, који користи оба кондензатора за генерисање осцилација, један за другим. Вредност капацитивности MIM кондензатора је одређена у дигиталном домену на основу односа учестаности осцилација. Тачна вредност капацитивности линеарног кондензатора се постиже калибрацијом компензационе банке кондензатора у филтру. Представљена је детаљна математичка оптимизација калибрационог процеса. RF, аналогни и дигитални део пројекта су интегрисани на тест чипу и фабриковани. Концепт је верификован кроз мерења на неупакованом интегрисаном колу.</p>
<p>Датум прихватања теме од стране надлежног већа:</p>	<p>28.10.2021.</p>
<p>Датум одбране: (Попуњава одговарајућа служба)</p>	
<p>Чланови комисије: (титула, име, презиме, звање, институција)</p>	<p>Председник: проф. др Јелена Радић, ванредни професор, Факултет техничких наука Универзитета у Новом Саду Члан: проф. др Владимир Миловановић, ванредни професор, Факултет инжењерских наука Универзитета у Крагујевцу Члан: доц. др Маријан Урекар, доцент, Факултет техничких наука Универзитета у Новом Саду Члан: доц. др Миодраг Бркић, доцент, Факултет техничких наука Универзитета у Новом Саду Члан, ментор: проф. др Горан Стојановић, редовни професор, Факултет техничких наука Универзитета у Новом Саду</p>
<p>Напомена:</p>	

UNIVERSITY OF NOVI SAD

FACULTY OF TECHNICAL SCIENCES

KEY WORD DOCUMENTATION²

Document type:	Doctoral dissertation
Author:	Branislava Marković
Supervisor (title, first name, last name, position, institution)	Prof. Dr Goran Stojanović, full professor, Faculty of Technical Sciences, University of Novi Sad
Thesis title:	Automated and fully integrated analog-digital calibration and compensation of Chebyshev 5 th order UWB LC low pass filter
Language of text (script):	Serbian language (<u>latin</u>)
Physical description:	Number of: Pages <u>114</u> Chapters <u>14</u> References <u>107</u> Tables <u>19</u> Illustrations <u>87</u> Appendices <u>1</u>
Scientific field:	Electrical and computer engineering
Scientific subfield (scientific discipline):	Electronics
Subject, Key words:	Process variation, compensation, MIM capacitor, LC low-pass filter, UWB
Abstract in English language:	This thesis describes design and optimization of a Chebyshev 5th order low pass filter with included circuit for automated calibration and compensation of process induced variation of an on-chip capacitor. The filter is realized in 130 nm RF CMOS technology and is intended for the

² The author of doctoral dissertation has signed the following Statements:

56 – Statement on the authority,

5B – Statement that the printed and e-version of doctoral dissertation are identical and about personal data,

5r – Statement on copyright licenses.

The paper and e-versions of Statements are held at the faculty and are not included into the printed thesis.

	<p>lower frequency band of a UWB system. The proposed calibration concept is fully integrated, without employing any of external references. The calibration concept estimates the value of a capacitance of a linear MIM capacitor by comparing it with a more accurate MOS capacitive reference. In order to estimate the capacitance value of the MIM capacitors a low frequency oscillator has been designed which uses both capacitors to generate oscillations, one after the other. The capacitance value of the MIM capacitor was determined in the digital domain based on the oscillation frequency ratio. The exact value of the capacitance of the linear capacitor is achieved by calibrating filter capacitor compensation bank. Detailed mathematical optimization of the calibration process has been presented. RF, analog and digital parts of the design have been integrated on the test chip and fabricated. The concept was verified by on wafer measurements.</p>
<p>Accepted on Scientific Board on:</p>	<p>28.10.2021.</p>
<p>Defended: (Filled by the faculty service)</p>	
<p>Thesis Defend Board: (title, first name, last name, position, institution)</p>	<p>President: Prof. Dr Jelena Radić, associate professor, Faculty of Technical Sciences, University of Novi Sad Member: Prof. Dr Vladimir Milovanović, associate professor Member: Asst. Prof. Dr Marijan Urekar, assistant professor, Faculty of Technical Sciences, University of Novi Sad Member: Asst. Prof. Dr Miodrag Brkić, assistant professor, Faculty of Technical Sciences, University of Novi Sad Member, Mentor: Prof. Dr Goran Stojanović, full professor, Faculty of Technical Sciences, University of Novi Sad</p>
<p>Note:</p>	

SADRŽAJ

1. UVOD	1
2. CILJEVI ISTRAŽIVANJA	3
3. PREGLED POGLAVLJA DOKTORSKE DISERTACIJE	4
4. PREGLED STANJA U OBLASTI	5
5. SKALIRANJE TEHNOLOGIJE INTEGRISANIH KOLA	8
5.1. JEDINIČNA I MAKSIMALNA UČESTANOST INTEGRISANIH KOLA.....	10
6. TROŠKOVI RAZVOJA ČIPA U RAZLIČITIM TEHNOLOGIJAMA	13
7. ISPITIVANJE PARAMETARA I KOMPONENTI U 130 NM CMOS TEHNOLOGIJI	16
7.1. VARIJACIJA PARAMETARA OSNOVNIH KOMPONENTI INTEGRISANIH KOLA	18
7.2. OTPORNICI	21
7.3. KONDENZATORI.....	24
7.4. KALEMOVI.....	27
7.5. MOS TRANZISTORI	31
8. OSNOVE UWB SISTEMA I PROJEKTOVANJE JEDNOSTAVNOG UWB UB PREDAJNIKA	34
8.1. UWB SISTEMI.....	34
8.2. PROJEKTOVANJE JEDNOSTAVNOG UWB UB PREDAJNIKA NISKE POTROŠNJE NA SISTEMSKOM NIVOU	40
8.2.1. <i>Struktura simbola</i>	41
8.2.2. <i>Pojačanje</i>	42
8.2.3. <i>Linearnost</i>	42
8.2.4. <i>Arhitektura predajnog lanca</i>	44
8.2.5. <i>Šum</i>	46
8.2.6. <i>Sveukupni odnos signala i šuma na izlazu predajnika- SNDR</i>	46
8.2.7. <i>Performanse predajnog lanca</i>	47
9. OSNOVNA TEORIJA PASIVNIH FILTARA	50
9.1. TIPOVI I OSNOVNE KARAKTERISTIKE FILTRA	51
9.2. Q FAKTOR – DEFINICIJA FAKTORA DOBROTE.....	52
9.2.1. <i>Q faktor reaktivnih komponenti</i>	52
9.2.2. <i>Q faktor polova</i>	53
9.2.3. <i>Q faktor filtra propusnika opsega</i>	53
9.3. GRUPNO I FAZNO KAŠNjenje	54
9.4. TIPOVI FILTRA U ODNOSU NA FREKVENCIJSKI ODZIV	55
9.4.1. <i>Batervortov filter</i>	55
9.4.2. <i>Čebiševljevi I filter</i>	55
9.4.3. <i>Čebiševljevi II filter</i>	56
9.4.4. <i>Eliptični filter</i>	56
9.4.5. <i>Beselov filter</i>	56
10. PROJEKTOVANJE UWB LB NISKOPROPUSNOG FILTRA	59
11. KALIBRACIJA UWB LB NISKOPROPUSNOG FILTRA	63
11.1. KONCEPT	63
11.2. PROJEKTOVANJE PREKIDAČA.....	65
11.3. REALIZACIJA KOMPENZOVANOG FILTRA	70

11.4. PROCENA VREDNOSTI KAPACITIVNOSTI KONDENZATORA	74
11.4.1. <i>Oscilator</i>	74
11.4.2. <i>Digitalna logika</i>	92
11.4.3. <i>Manuelna kalibracija</i>	99
12. REZULTATI EKSPERIMENTALNIH MERENJA.....	101
12.1. MERNÁ POSTAVKA.....	103
12.2. REZULTATI MERENJA	107
13. DISKUSIJA DOBIJENIH REZULTATA.....	109
14. ZAKLJUČAK.....	112
ODABRANE OBJAVLJENE REFERENCE KANDIDATA	II
LITERATURA.....	III
DODATAK – KOD DIGITALNE LOGIKE.....	XI

Spisak slika

Slika 1	Električna šema test kola za merenje kapacitivnosti CBCM metodom	5
Slika 2	Šema prstenastog oscilatora iz rada [12].....	7
Slika 3	Broj tranzistora u mikroprocesoru prema godini fabrikacije [20].....	8
Slika 4	Povećanje jedinične učestanosti sa skaliranjem tehnologije tokom vremena [26] 11	
Slika 5	Optimalni balans troškova i performansi uređaja (2015) [33].....	14
Slika 6	Test kolo za simuliranje jedinične učestanosti tehnologije	16
Slika 7	Jedinična učestanost tranzistora u odnosu na struju polarizacije tranzistora i faktor inverzije u a) UMC i b) TSMC 130 nm CMOS tehnologiji.....	17
Slika 8	Poprečni presek MIXED MODE/RF CMOS UMC 130nm tehnološkog procesa sa osam slojeva metala	20
Slika 9	Normalna (Gausova) distribucija sa 3 sigma varijacijom [60].....	21
Slika 10	RF model poli otpornika.....	23
Slika 11	Merena vrednost 3-sigma neuparenosti poli otpornika na istom vejferu u 180 nm CMOS tehnologiji [62],[64]	23
Slika 12	MIM kondenzator u UMC 130 nm CMOS tehnologiji.....	25
Slika 13	Merena vrednost 3-sigma neuparenosti MIM kondenzatora na istom vejferu u 180 nm CMOS tehnologiji [62],[64]	26
Slika 14	Zavisnost vrednosti kapacitivnosti MOS kondenzatora od primenjenog napona na gejtu [26]	27
Slika 15	RF model kalema	28
Slika 16	Lejaut kalema u a) <i>Momentum</i> -u i b) <i>HFSS</i> -u.....	29
Slika 17	a) Q faktor kalema i b) vrednost induktivnosti kalema dostupnih u PDK	29
Slika 18	a) Q faktor kalema i b) vrednost induktivnosti kalema dobijenih u <i>Momentumu</i> ..	30
Slika 19	a) Q faktor kalema i b) vrednost induktivnosti kalema dobijenih u <i>HFSS</i> -u	30
Slika 20	Skaliranje srednjeg broja atoma dopanata u kanalu sa tehnologijom [42],[79] ...	31
Slika 21	Rezultati merenja 3σ neuparenosti V_{gs} napona kod PMOSFET-a u 180 nm CMOS tehnologiji [62],[64]	33
Slika 22	Rezultati merenja 3σ neuparenosti struje drejna kod P- kanalnog MOSFET-a u 180 nm CMOS tehnologiji [62],[64]	33
Slika 23	UWB PHY (engl. <i>Physical Layer</i>) prikaz definisanih podopsega [95]	35
Slika 24	a) FCC dozvoljena emisija za UWB sistem, b) maska za obavezan kanal 9 višeg UWB opsega, u dB relativno u odnosu na maksimalnu spektralnu gustinu signala [7]	36
Slika 25	UWB PHY tok signala [95].....	36
Slika 26	UWB PDU proces kodiranja [95]	37
Slika 27	UWB_IC blok diagram	38
Slika 28	Stuktura simbola.....	42
Slika 29	Predajni lanac na nivou blokova	45
Slika 30	Spektar signala na izlazu predajnika dobijenog (Propusni opseg merenja $BW = 1\text{MHz}$)	48
Slika 31	Odnos SNDR.....	49
Slika 32	a) Idealna i b) realna amplitudska karakteristika niskopropunog filtra	50
Slika 33	Tipovi filtra a) niskopropusni, b) visokopropusni, c) propusnik opsega, d) nepropusnik opsega i e) svepropusnik opsega.....	51
Slika 34	Konjugovano-kompleksni polovi u S-ravni	53

Slika 35	Prenosna karakteristika filtra propusnika opsega.....	54
Slika 36	Amplitudski odziv i grupno kašnjenje Beselovog _____, Gausovog _____, Čebiševljevog I 5dB talasnost _____ i Batervortovog filtra [97].....	57
Slika 37	Karakteristika grupnog kašnjenja za različite redove a) Batervortovog, b) Beselovog, c) Čebiševljevog filtra I 0,01 dB talasnost i d) Čebiševljevog I filtra 0,5 dB talasnost [97]	58
Slika 38	Niskopropusni filter – šema	60
Slika 39	Idealni Čebiševljev filter petog reda a) S21 i b) S11 - rezultati simulacija.....	60
Slika 40	Električna šema filtra	61
Slika 41	Čebiševljev filter petog reda sa realnim komponentama u nominalnim procesu a) S21 i b) S11	61
Slika 42	Prenosna karakteristika filtra u sporom (plava), nominalnom (zelena) i brzom (crvena) korneru.....	62
Slika 43	Banka kondenzatora sa trobitnom mrežom prekidača	63
Slika 44	Blok dijagram analogno-digitalnog kola za procenu vrednosti kapacitivnosti	64
Slika 45	Transformacija serijske impedanse u paralelnu	66
Slika 46	Model prekidača u isključenom stanju	67
Slika 47	Ilustracija kapacitivnosti u modelu MOSFET tranzistora	67
Slika 48	Lejaut MOSFET tranzistora (pogled odozgo).....	68
Slika 49	Lejaut filtra sa bankom kompenzacionih kondenzatora.....	71
Slika 50	S parametri koplanarnog voda dužine 155 μm	72
Slika 51	S21 kompenzovanog filtra u sporom (plava), nominalnom (zelena) i brzom (crvena) korneru na nivou šeme.....	73
Slika 52	S-parametri kompenzovanog filtra u sporom (plava), nominalnom (zelena) i brzom (crvena) korneru – a) S21 b) S11 – na ekstrahovanom nivou.....	74
Slika 53	Oscilator – koncept.....	75
Slika 54	Kontrolni signali između oscilatora i digitalne logike.....	75
Slika 55	Oscilator - vremenski dijagram	76
Slika 56	Greška vrednosti procene kapacitivnosti MIM kondenzatora usled konačne linearnosti MOS kondenzatora u zavisnosti od napona V_1 , za $V_2 = V_1 + 0,1\text{V}$ (zelena), $V_2 = V_1 + 0,2\text{V}$ (ljubičasta) and $V_2 = V_1 + 0,3\text{V}$ (plava)	78
Slika 57	Komparator a) šema i b) lejaut	80
Slika 58	Strujni izvor 5 μA – realizacija sa Šmitovim trigerom	82
Slika 59	Radne tačke strujnog izvora [59],[105].....	83
Slika 60	Uključivanje strujnog izvora komparatora kroz kornere za uključivanje napajanja u trajanju od 1 μs : crvena = brz proces i $T = -40\text{ }^\circ\text{C}$; plava = brz proces i $T = 90\text{ }^\circ\text{C}$; narandžansta = spor proces i $T = 90\text{ }^\circ\text{C}$; svetlo plava = spor proces i $T = -40\text{ }^\circ\text{C}$	83
Slika 61	Uključivanje strujnog izvora komparatora kroz kornere za uključivanje napajanja u trajanju od 1 ms: crvena = brz proces i $T = -40\text{ }^\circ\text{C}$; plava = brz proces i $T = 90\text{ }^\circ\text{C}$; narandžansta = spor proces i $T = 90\text{ }^\circ\text{C}$; svetlo plava = spor proces i $T = -40\text{ }^\circ\text{C}$	84
Slika 62	Promena izlaznog signala Šmitovog trigera sa ulaznim, Monte Carlo.....	84
Slika 63	Ulaz u Šmitov trigger, signal <i>StartUp_in</i> (Slika 58) kroz kornere	85
Slika 64	Lejaut strujnog izvora sa kolom za pouzdano startovanje	85
Slika 65	Uključivanje strujnog izvora $I_B = 100\text{ }\mu\text{A}$ kroz kornere za uključivanje napajanja u trajanju od 1 μs : crvena = brz proces i $T = -40\text{ }^\circ\text{C}$; plava = brz proces i $T = 90\text{ }^\circ\text{C}$; roze = spor proces i $T = 90\text{ }^\circ\text{C}$; narandžansta = spor proces i $T = -40\text{ }^\circ\text{C}$	86

Slika 66	Uključivanje strujnog izvora $I_B = 100 \mu\text{A}$ kroz kornere za uključivanje napajanja u trajanju od 1ms: crvena = brz proces i $T = -40 \text{ }^\circ\text{C}$; plava = brz proces i $T = 90 \text{ }^\circ\text{C}$; narandžansta = spor proces i $T = 90 \text{ }^\circ\text{C}$; svetlo plava = spor proces i $T = -40 \text{ }^\circ\text{C}$	86
Slika 67	Prenosna karakteristika Šmitovog trigerera za $I_B=100 \mu\text{A}$ Monte Carlo a) ulazni napon se smanjuje b) ulazni napon se povećava	87
Slika 68	Ulaz u Šmitov triger kroz kornere $I_B=100 \mu\text{A}$	87
Slika 69	S_nR_n leč.....	88
Slika 70	Kolo za onemogućavanje preklapanja logičke "1" na izlazu	88
Slika 71	Signal <i>SEL</i> i izlaz oscilatora u nominalnim uslovima.....	88
Slika 72	Oscilacije u najsporijem, nominalnom i najbržem slučaju, V_{MIM} signal.....	89
Slika 73	Lejaut oscilatora	91
Slika 74	Digitalna mreža za generisanje kontrolnih bita filtra	92
Slika 75	Kontrolni blok – FSM	93
Slika 76	Brojač oscilacija i brojač vremena.....	96
Slika 77	Digitalna mreža – lejaut	99
Slika 78	Kolo za manuelnu kalibraciju	100
Slika 79	Lejaut kola za manuelnu kalibraciju	100
Slika 80	Integrirani sistem – lejaut pogled sa strane	101
Slika 81	Integrirani sistem – lejaut	102
Slika 82	Celokupna merna postavka	104
Slika 83	Merna postavka na PM5 radnoj stanici	105
Slika 84	Baterijska napajanja fiksirana na držaču sonde	105
Slika 85	Slika fabrikovanog integrisanog kola bez pakovanja.....	106
Slika 86	Slika fabrikovanog integrisanog kola sa sondama	106
Slika 87	Filtar a) S21 i b) S11 parametri u kompenzovanom (zelena), simuliranom (crvena) i nekompenzovanom (ljubičasta) slučaju	108

Spisak tabela

Tabela 1	Skaliranje CMOS tehnologije sa vremenom [20]	9
Tabela 2	Poređenje UMC i TSMC 130 nm CMOS tehnologije	17
Tabela 3	Uporedna tabela parametara CMOS otpornika [62]	22
Tabela 4	Tolerancije dostupnih kondenzatora u korišćenoj tehnologiji	24
Tabela 5	Varijacija napona provođenja u različitim tehnološkim procesima [1],[89]	32
Tabela 6	Specifikacije za UWB LDR prijemnik (engl. <i>Low Data Rate</i> - sa malom brzinom prenosa podataka) [95]	39
Tabela 7	Veliki signali smetnji [95]	40
Tabela 8	Osnovne specifikacije UWB predajnika	41
Tabela 9	Performanse osnovnih blokova predajnog lanca	45
Tabela 10	Tx odnos signala i zbira šuma i harmonijskih izobličenja - SNDR	47
Tabela 11	Performanse predloženog UWB UB predajnika	47
Tabela 12	Specifikacije filtra	59
Tabela 13	Vrednosti proračunatih idealnih komponenti Čebiševljevog filtra petog reda ..	60
Tabela 14	Normalizovane vrednosti kompenzacionih kondenzatora u banci kondenzatora (Slika 43)	65
Tabela 15	Numeracija pinova projektovanog filtra	70
Tabela 16	C_{MIM}/C_{MOS} odnos za različite PVT vrednosti na ekstrahovanom nivou	89
Tabela 17	Greška procene C_{MIM} za različite PVT vrednosti na ekstrahovanom nivou	90
Tabela 18	Opis kontrolnih signala digitalne logike	95
Tabela 19	Opis kontrolnih signala digitalne logike	103

Spisak skraćenica

- ACM** – *Advance Compact MOSFET model* – napredni kompaktni model MOSFET tranzistora
- ACPR** – *Adjacent Channel Power Ratio* – odnos snage signala u susednom kanalu i snage signala u glavnom kanalu
- AD** – *Analog-Digital* – analogno-digitalni
- ADS** – *Advanced Design System*
- BB FLT** – *Base Band Filter* – filter u osnovnom opsegu
- BER** – *Bit Error Rate* – verovatnoća greške po bitu
- BIST** – *Built In Self Test* – ugrađeno samotestiranje
- BPM** – *Burst Position Modulation* – položajna modulacija niza impulsa
- BPPM** – *Binary Pulse Position Modulation* – binarna impulsna položajna modulacija
- BPSK** – *Binary Phase Shift Keying* – binarna fazna modulacija
- BSIM** – *Berkeley Short-Channel IGFET Model* – Berklijev model IGFET kratkokanalnog tranzistora
- CBCM** – *Charge Based Capacitance Measurement* – merenje kapacitivnosti zasnovano na punjenju
- CMOS** – *Complementary Metal-Oxide-Semiconductor* – komplementarni metal-oksid-poluprovodnik
- CS** – *Common Source* – zajednički sors
- DA** – *Digital-Analog* – digitalno-analogni
- DIBL** – *Drain Induced Barrier Lowering* – smanjenje barijere kod drejna
- DSL** – *Digital Subscriber Line* – digitalna preplatnička linija
- DSP** – *Digital Signal Processing* – digitalna obrada signala
- DUT** – *Device Under Test* – uređaj koji se testira
- EDA** – *Electronic Design Automation* – softver za projektovanje integrisanih kola
- EIRP** – *Effective Isotropic Radiated Power* – efektivna izotropna snaga zračenja
- EVM** – *Error Vector Magnitude* – amplituda vektora greške
- FCC** – *Federal Communication Commission* – savezna komisija za komunikacije SAD-a
- FSM** – *Finite State Machine* – konačna mašina stanja
- GDSII** – *Graphic Database System Information Interchange* – grafička baza podataka, sistem razmene informacija (jedan od formata za prikaz leajuta)
- GSG** – *Ground Signal Ground* – masa-signal-masa
- IF** – *Intermediate Frequency* – srednja učestanost
- IIP2** – *Input Intercept Point 2* – presečna tačka drugog reda na ulazu
- IIP3** – *Input Intercept Point 3* – presečna tačka trećeg reda na ulazu
- IP** – *Intellectual Property* – intelektualna svojina
- ISI** – *Inter Symbol Interference* – intersimbolska interferencija
- LB** – *Low-Band* – niži opseg
- LDR** – *Low Data Rate* – mala brzina prenosa podataka
- LO** – *Local Oscillator* – lokalni oscilator
- LPF** – *Low Pass Filter* – niskopropusni filter
- MAC** – *Media Access Control* – kontrola pristupa medijima
- MIM** – *Metal-Insulator-Metal* – metal-izolator-metal
- MOM** – *Metal-Oxide-Metal* – struktura metal-oksida-metal
- MOS** – *Metal-Oxide-Semiconductor* – struktura metal-oksida-poluprovodnik

MOSFET – *Metal-Oxide-Semiconductor Field Effect Transistor* – metal-oksidi-poluprovodnik tranzistor sa efektom polja

MPW – *Multi Project Wafer* – poluprovodnička pločica za fabrikaciju više projekata

NDA – *Non-Disclosure Agreement* – ugovor o neotkrivanju podataka

NF – *Noise Figure* – faktor šuma

NMOS – *N type Metal-Oxide-Semiconductor* – n-kanalni MOS tranzistor

NRE – *Non-Recurring Engineering* – troškovi razvoja novog proizvoda

OFDM – *Orthogonal Frequency Division Multiplexing* – ortogonalno frekvencijsko multipleksiranje

OIP2 – *Output Intercept Point 2* – presečna tačka drugog reda na izlazu

OIP3 – *Output Intercept Point 3* – presečna tačka trećeg reda na izlazu

OTP – *One Time Programmable* – jednokratno programabilna

PA – *Power Amplifier* – pojačavač snage

PAR – *Peak to Average Ratio* – odnos vršne (maksimalne) i srednje vrednosti signala

PD – *Power Detector* – detektor snage

PDK – *Process Design Kit* – biblioteka simulacionih modela za dizajn u datom procesu

PHR – *Physical Header* – zaglavlje fizičkog sloja

PHY – *Physical layer* – fizički sloj

PLL – *Phase Locked Loop* – fazno zatvorena petlja

PMOS – *P type Metal-Oxide-Semiconductor* – p-kanalni MOS tranzistor

PPC – *Price Per Chip* – cena po čipu

PPM – *Pulse Position Modulation* – impulsna položajna modulacija

PRF – *Pulse Repetition Frequency* – učestanost ponavljanja impulsa

PSD – *Power Spectral Density* – spektralna gustina snage

PSDU – *Physical layer Service Data Unit* – paket korisničkog podatka fizičkog sloja

PVT – *Process Voltage Temperature* – proces-napon-temperatura

RAM – *Random Access Memory* – memorija sa slučajnim pristupom

RDL – *Re-Distribution Layer* – preraspodeljeni sloj

RF – *Radio Frequency* – radio učestanost

ROM – *Read Only Memory* – memorija samo za čitanje

RTL – *Register Transfer Level* – apstrakcija na nivou registarskog prenosa

Rx – *Receiver* – prijemnik

SDC – *Synopsis Design Constraint* – Sinopsis dizajn ograničenja

SECDED – *Single Error Correcting, Double Error Detecting* – korekcija pojedinačne greške, detekcija duple greške

SHR – *Synchronisation Header* – sinhronizaciono zaglavlje

Si – *Silicon* – silicijum

SNDR – *Signal to Noise and Distortion Ratio* – odnos signala i (zbira) šuma i harmonijskih izobličenja

SNR – *Signal to Noise Ratio* – odnos signala i šuma

SoC – *System on Chip* – sistem na čipu

SOI – *Silicon On Insulator* – silicijum na izolatoru

SOLT – *Short-Open-Load-Through* – zatvorena-otvorena-opterećena-prenosna (metoda kalibracije)

SRF – *Self Resonant Frequency* – samorezonantna učestanost

TSMC – *Taiwan Semiconductor Manufacturing Company*

Tx – *Transmitter* – predajnik

UB – *Upper-Band* – gornji opseg

UMC – *United Microelectronics Corporation*

UWB – *Ultra-Wide Band* – veoma široki opseg

VCO – *Voltage Controlled Oscillator* – naponom kontrolisan oscilator

WPAN – *Wireless Personal Area Network* – bežična mreža personalnog područja

1. Uvod

Neprekidno povećanje stepena integracije kola niske potrošnje omogućuje stalni razvoj bežičnih uređaja za glasovne, video i internet konekcije [1]. Integrisana kola postaju sve značajnija u životu modernog čoveka, čak do te mere, da će se u budućnosti mnoge situacije od vitalnog značaja oslanjati na pouzdana integrisana kola [1]. To vodi do povećane potrebe za samotestiranjem i korekcijom funkcija čipova kako bi se povećala njihova pouzdanost, naročito u vojnim i medicinskim primenama, gde se prenose informacije koje mogu spasiti život [1]. Na primer, značaj ugrađenih BIST (engl. *Built In Self Test*) testova je naročito izražen u sigurnosnim aplikacijama, kao što su primene u automobilskoj industriji. Kako bi se proverila pouzdanost čipova, svaki put prilikom uključivanja napajanja, čip samoproverava da li mu kola za dijagnostiku i sigurnosno relevantne funkcije uspešno rade. S druge strane, sve veći zahtevi za povećanjem pouzdanosti su protivrečni sve većim zahtevima za optimizacijom cene čipova.

Radi smanjenja cene uređaja, optimizacije brzine, potrošnje i površine, diskretna rešenja se integrišu, a spoljašnje komponente se izostavljaju, gde god je to moguće. Konstantan proces skaliranja integrisanih CMOS tehnologija omogućuje veću funkcionalnost električnih kola na sve manjim površinama [2]. Međutim, skaliranje tehnologije i smanjenje površine dovode do smanjenja preciznosti komponenata [2] i do izraženijih problema sa starenjem proizvoda nakon kalibracije [1]. Gustine defekata na samim vejerima postaju gore sa novim tehnologijama, dok se dobit proizvodnje smanjuje sa povećanjem veličine čipa [1],[3]. Posledica toga jeste nizak prinos čipova (engl. *yield*), odnosno veći broj čipova koji mora da se odbaci zbog narušavanja garantovanih specifikacija. Dodatno, prilikom projektovanja i selekcije čipova u proizvodnji se ostavlja margina u pogledu zadovoljavanja datih specifikacija (engl. *guard band*) koja uračunava tačnost i ponovljivost merenja, kao i starenja čipa. Kako bi se rigorozne specifikacije analognih i RF (engl. *Radio Frequency*) kola ispunile prilikom PVT (engl. *Process Voltage Temperature*) varijacija parametara i starenja (engl. *ageing*) proizvoda, na osnovu rezultata testiranja i samotestiranja čipa se može primeniti odgovarajuća kalibracija, koja obezbeđuje kontrolu parametara čipa u okviru željenih performansi i u toku životnog veka čipa. Time se obezbeđuje značajno povećan prinos čipova. Kako bi se uz željeni prinos zadovoljile rigorozne specifikacije dizajna analognih i RF kola, neke od metoda digitalne kalibracije kola moraju biti primenjene [2].

Testiranje bežičnih sistema sa mešovitim (engl. *mixed signal*), tj. analognim i digitalnim signalima može iznositi i do 40% - 50% proizvodnih troškova [1],[4],[5], tako da projektovanje kola, koja će se koristiti za testiranje osnovnog sistema, predstavlja važan deo proizvoda i postavlja se još u koncept fazi. U automobilskoj industriji, kao okvirno pravilo (engl. *rule of the thumb*), cena proizvoda se približno podjednako deli na cenu proizvodnje silicijumske ploče, cenu pakovanja i cenu testiranja. Napomenimo i da cena razvoja testiranja može biti reda veličine i do 1 M\$, u zavisnosti od troškova po čipu i zahteva definisanih tržištem i regulacijom. Cena razvoja testova uključuje i razvoj programa testiranja. Kola za samokalibraciju na čipu omogućuju smanjenje troškova testiranja i povećan prinos čipova [1].

U serijskoj proizvodnji od velikog značaja je da kalibraciono kolo zauzme što manju površinu na silicijumu. Skaliranjem tehnologije omogućena je implementacija kompleksne digitalne kalibracije koja zauzima jako malu površinu na čipu, uz jako malu potrošnju [2]. Za većinu

sistema princip analogno-digitalne kalibracije (digitalno nadgledanje, analogno merenje i kompenzacija) daje najbolje rezultate [1]. Kola za merenje u analognom domenu povećavaju brzinu, tačnost i efikasnost kalibracionog procesa [1]. U slučaju potrošačkih proizvoda spoljašnje reference za kompenzaciju varijacije komponenti na čipu nisu poželjne, pošto je veličina spoljašnje reference skoro uporediva sa samom veličinom čipa.

Kalibracija varijacije parametara se vrši na nivou blokova ili na nivou sistema. Prilikom kalibracije uzimaju se u obzir i parazitni efekti lejauta.

Predmet istraživanja doktorske disertacije je **projektovanje i optimizacija autonomne, potpuno integrisane analogno-digitalne kalibracije i kompenzacije Čebiševljevog niskopropusnog UWB (engl. *Ultra-Wide Band*) LC filtra petog reda**. Projekat je implementiran u 130 nm RF CMOS (engl. *Radio Frequency Complementary Metal-Oxide-Semiconductor*) procesu. Filtar je realizovan kao filtar sa koncentrisanim parametrima i namenjen je za donji frekvencijski podopseg (3,4 GHz – 4,8 GHz) UWB sistema.

UWB sistemi su veoma pogodni za aplikacije sa niskom cenom, niskom potrošnjom, ili sa velikom brzinom prenosa podataka i sa kratkodometnom komunikacijom. Korišćenjem širokog frekvencijskog opsega, UWB sistemi su otporni na uskopojasne interferencije ili smetnje i različite putanje prenosa signala između predajnika i prijemnika (engl. *multipath fading*). Prilikom višestrukog prostiranja signala, više signala pomerene faze i oslabljene amplitude se mogu pojaviti na prijemnoj anteni. Zbog svega toga ovi sistemi su jako pogodni u aplikacijama koje zahtevaju visoki nivo sigurnosti podataka. Dodatna prednost je što je signal koji se prenosi nalik šumu, pa se teško presreće.

Filtri su jedne od ključnih komponenti UWB sistema. U predajniku oni kontrolišu zračenje van propusnog opsega i potiskuju harmonike višeg reda. U prijemniku filtri omogućuju potiskivanje neželjenih signala i uskopojasnih interferencija. Predloženi filtar, projektovan prema standardu 802.15.4a [6],[7] za donji UWB frekvencijski opseg, optimizovan je za korišćenje u predajniku. Filtar se može koristiti i u prijemniku, mada je u tom slučaju poželjnije primeniti filtar propusnik opsega.

Ovaj rad predlaže jedan način autonomne i potpuno integrisane analogno-digitalne kalibracije i kompenzacije kapacitivnosti kondenzatora u UWB LB (engl. *Low-Band*) LC filtru, bez korišćenja spoljašnjih referenci. Optimizovani kalibracioni koncept procenjuje promenu vrednosti MIM (engl. *Metal-Insulator-Metal*) kondenzatora koja potiče od konačne tačnosti procesa, služeći se poređenjem sa tačnijom MOS (engl. *Metal-Oxide-Semiconductor*) kondenzatorskom referencom. Kako bi se procenila vrednost kapacitivnosti kondenzatora, projektovan je niskofrekvencijski oscilator koji proizvodi oscilacije, najpre sa jednim, a potom sa drugim kondenzatorom. Učestanost oscilovanja je obrnuto proporcionalna samoj vrednosti kapacitivnosti. Vrednost kapacitivnosti MIM kondenzatora se utvrđuje u digitalnom domenu, određivanjem odnosa dve učestanosti oscilovanja, koji je obrnuto proporcionalan odnosu vrednosti kapacitivnosti. Tačna vrednost kapacitivnosti MIM kondenzatora se postiže konfiguracijom kompenzacione banke kondenzatora, koja se sprovodi na osnovu izmerene greške vrednosti MIM kondenzatora.

2. Ciljevi istraživanja

Cilj istraživanja u okviru doktorske disertacije je projektovanje potpuno integrisane kalibracije i kompenzacije procesne varijacije kapacitivnosti kondenzatora na čipu i sama verifikacija metode na primeru niskopropusnog LB UWB filtra kroz sledeće metode:

- analiza varijacije tehnoloških parametara procesa (u daljem tekstu varijacija procesa) i značaja kompenzacije varijacije procesa na čipu,
- projektovanje niskopropusnog RF filtra za donji frekvencijski (LB) opseg UWB sistema,
- koncept kola za kalibraciju varijacije kapacitivnosti kondenzatora na čipu; matematička optimizacija i primena kalibracije na LB UWB niskopropusnom filtru,
- projektovanje i optimizacija analognih i digitalnih kola za procenu uticaja promene tehnoloških parametara procesa na vrednosti kapacitivnosti kondenzatora i koordinisanje potpuno integrisanog i autonomnog procesa kalibracije proizvoljnog kola, čiji je rad zasnovan na tačnosti vrednosti kapacitivnosti kondenzatora na čipu,
- integracija kalibracionog kola sa filtrom; karakterizacija i potvrda koncepta kroz rezultate merenja fabrikovanog integrisanog kola.

3. Pregled poglavlja doktorske disertacije

U **četvrtom** poglavlju ovog rada dat je kratak pregled stanja u oblasti. Postojeće metode procene i kompenzacije varijacije kapacitivnosti kondenzatora na čipu su objašnjene i ukratko analizirane. **Peto** poglavlje rada objašnjava opis razvoja modernih tehnologija visokog stepena integracije, kao i prednosti i izazove skaliranja tehnologija integrisanih kola. **Šesto** poglavlje opisuje troškove i isplativost razvoja čipa, PPC-a (engl. *Price Per Chip*), u različitim tehnologijama u odnosu na tehničke zahteve i stepen integracije, kao i uticaj prinosa i iskorišćenja samog vežfera.

U **sedmom** poglavlju su ispitivani osnovni parametri UMC (engl. *United Microelectronics Corporation*) i TSMC (engl. *Taiwan Semiconductor Manufacturing Company*) 130nm CMOS tehnologije. Dat je opis tehnoloških slojeva izabrane UMC tehnologije i opisana varijacija parametara aktivnih i pasivnih integrisanih komponenti. U ovom poglavlju, predstavljeno je i modelovanje kalemova u korišćenju UMC 130nm CMOS tehnologiji.

Osmo poglavlje obuhvata osnovnu teoriju UWB komunikacionih sistema. U ovom poglavlju je opisano i sistemsko projektovanje jednostavnog UWB UB (engl. *Upper-Band*) predajnika, verifikovanog kroz sistemske simulacije.

Deveto poglavlje se bavi osnovnom teorijom pasivnih RF filtara, kao jedne od ključnih komponenti UWB primopredajnika. U ovom poglavlju su predstavljene osnovne karakteristike filtara i podela filtara u odnosu na frekvencijski odziv.

Projektovanje i implementacija niskopropusnog LC filtra u RF CMOS 130 nm tehnologiji, namenjenog za niži opseg UWB sistema, su detaljno opisani u **desetom** poglavlju. Rezultati simulacija kroz očekivana maksimalna odstupanja tehnoloških parametara procesa (u daljem tekstu kornere) zaokružuju ovo poglavlje.

Kako bi se optimizovao rad projektovanog filtra, u **jedanaestom** poglavlju je uveden koncept potpuno integrisane kalibracije, bez spoljnih referenci, zasnovane na konceptu kalibracione banke kondenzatora. U ovom poglavlju je predstavljena matematička optimizacija projektovanja prekidača korišćenih u procesu predložene kalibracije. Na kraju poglavlja su prikazani rezultati simulacije kompenzovanog UWB LB filtra. Pošto je koncept kalibracije zasnovan na proceni vrednosti kapacitivnosti i kalibraciji istih, u ovom poglavlju je priloženo projektovanje i optimizacija analogno-digitalnog kola za procenu vrednosti kapacitivnosti kondenzatora. Kolo je verifikovano kroz rezultate simulacije analogno-digitalnog kalibracionog kola, koje se može koristiti u bilo kom integrisanom kolu, čije su osobine zasnovane na tačnosti kapacitivnosti kondenzatora.

U **dvanaestom** poglavlju je predstavljena integracija i fabrikacija predloženog filtra sa kalibracionim kolom, kao i rezultati merenja, koji potvrđuju predloženi koncept.

Rezultati rada su sumirani i analizirani u poglavlju **trinaest**. U ovom delu rada predloženi koncept je upoređen sa kalibracionim konceptima predloženim u drugim relevantnim radovima.

Zaključak, u poglavlju **četрнаest**, rezimira rezultate rada i predlaže smer daljeg mogućeg istraživanja u oblasti kalibracije integrisanih analognih i RF kola.

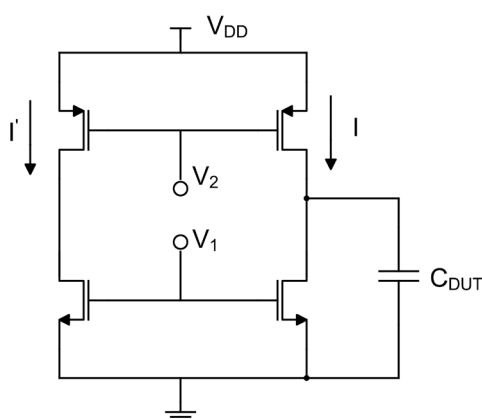
4. Pregled stanja u oblasti

Zbog izražene PVT varijacije i neuparenosti komponenti na čipu, garantovane specifikacije kola se obezbeđuju najčešće uz pomoć kalibracije koja se izvodi tokom karakterizacije čipa u serijskoj proizvodnji. Performanse kola se mere na test portovima i na osnovu njih se određuju kalibracione vrednosti, koji se čuvaju u OTP (engl. *One Time Programmable*) memoriji. Nakon toga proveravaju se sačuvani podaci. Ova procedura u zavisnosti od dužine kalibracionog procesa, odnosno broja kalibracionih bita, kao i potrebne tačnosti opreme može da čini značajan deo cene čipa kao što je naznačeno u uvodu. Kalibracija u automobilskoj industriji se obično vrši na jednoj temperaturi. Značajno povećanje cene nastaje ukoliko je radi potrebne tačnosti performansi kola potrebno kalibraciju (engl. *final test trimming*) sprovesti na dve temperature. Kako bi se troškovi testiranja i kalibracije čipa smanjili, potrebno je uvesti neke metode samotestiranja, koje zauzimaju malu površinu na čipu, a minimizuju broj spoljnih komponenti. Automatska kalibracija u odnosu na statičku kalibraciju (koja se primenjuje jednom prilikom serijskog testiranja čipa u proizvodnji) ima tu prednost da može donekle kompenzovati i starenje proizvoda, pošto se može primeniti prilikom svakog pokretanja proizvoda ili u tačno definisanim vremenskim intervalima.

Ovaj rad se bavi autonomnom, potpuno integrisanom kalibracijom varijacije kapacitivnosti kondenzatora na čipu, bez spoljnih referenci. U nastavku ovog poglavlja je dat pregled metoda koje se koriste za merenje i kompenzaciju kapacitivnosti kondenzatora na čipu.

Merenje kapacitivnosti može biti eksterno ili interno. Zbog kT/C termičkog šuma kablova za merenje kapacitivnosti pomoću multimetra, samo se veće kapacitivnosti reda veličine pF mogu meriti eksterno [8],[9].

Za precizno merenje kapacitivnosti do reda veličine fF, široko se primenjuje tzv. CBCM (engl. *Charge Based Capacitance Measurement*) metoda merenja kapacitivnosti kondenzatora. Ova tehnika je pogodna za merenje kapacitivnosti aktivnih uređaja [10], kao i kapacitivnosti veza na čipu [11]. Slika 1 prikazuje osnovno kolo za merenje kapacitivnosti CBCM metodom.



Slika 1 Električna šema test kola za merenje kapacitivnosti CBCM metodom

CBCM metoda se sastoji od preciznog merenja DC struja I' i I pseudoinvertora, Slika 1. Alternativni signali V_1 i V_2 , su nepreklapajući (*non-overlapping*) čime je osigurano da NMOS (engl. *N type Metal-Oxide-Semiconductor*) i PMOS (engl. *P type Metal-Oxide-Semiconductor*)

tranzistori sa slike nisu uključeni u isto vreme. PMOS puni kapacitivnost, koja se meri, naizmenično do napona napajanja V_{DD} , dok je NMOS naizmenično prazni na masu. DC struje pseudoinvertora, koje se mere u sorsu PMOS ili NMOS tranzistora se mogu predstaviti pomoću jednačina (4.1) i (4.2):

$$I = (C_{DUT} + C_{par}) \cdot V_{DD} \cdot f, \quad (4.1)$$

$$I' = C_{par} \cdot V_{DD} \cdot f, \quad (4.2)$$

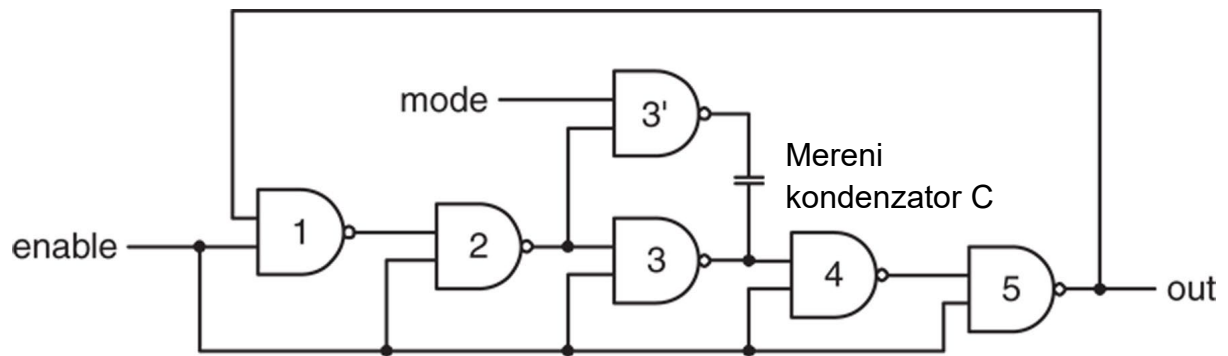
gde je C_{DUT} kapacitivnost koja se meri, C_{par} parazitna kapacitivnost u drejnu pseudoinvertora, V_{DD} napon napajanja, f učestanost signala V_1 i V_2 .

Na osnovu razlike ove dve struje, može se precizno odrediti C_{DUT} . Rezolucija merenja CBCM metode je određena neuparenošću parazitivnih kapacitivnosti drejna pseudoinvertora, koju čine kapacitivnosti oblasti osiromašenja drejn-jama *pn* spoja MOSFET tranzistora (*engl. Metal-Oxide-Semiconductor Field-Effect Transistor*), kao i kapacitivnost preklapanja gejta i drejna, C_{dg} . Iako se kolo zajedno sa generatorima V_1 i V_2 može integrisati, za ovu metodu je potreban precizni spoljašnji merač DC struje.

U radu [10] je opisana metoda merenja kapacitivnosti MOS tranzistora, odnosno C-V krive, zasnovana na CBCM metodi. Ovaj metod ekstrakuje parazitne efekte, tačan je i niskošuman. Kao što je gore navedeno, CBCM metoda zahteva precizno eksterno merenje DC struje, što je čini nepogodnom za kalibraciju na čipu.

U radu [9] je predstavljen jedan način preciznog merenja kapacitivnosti kondenzatora na čipu, baziran na prstenastom oscilatoru. Oscilacije ovog oscilatora su određene na osnovu broja stepeni, ekvivalentne kapacitivnosti čvorova, i zbira otpornosti PMOS i NMOS tranzistora u invertoru kada su oni u provodnom ili uključenom stanju. Tačno kontrolisanje učestanosti oscilacija se postiže u slučaju primene prstenastih oscilatora koji koriste strujno oslabljene invertore (*engl. current-starved invertors*) čiji strujni izvor u sorsu PMOS-a određuje struju, i time kašnjenje kroz inverter, odnosno učestanost oscilovanja oscilatora [12]-[15]. U ovom slučaju, oscilacije su određene strujom, umesto nelinearnom otpornošću invertora [12]. Kako bi se učestanost oscilacija kontrolisala, potrebna je tačno kalibrisana referentna struja.

U prstenastom oscilatoru učestanost varira sa temperaturom, procesom i naponom napajanja. U radu [9] se generišu oscilacije kada je kondenzator, koji se meri, uključen u kolo, i u slučaju kada je DUT kondenzator (*engl. Device Under Test*) isključen iz funkcije kola. Slika 2 prikazuje šemu kalibracionog prstenastog oscilatora iz rada [9]. Kada je *mode* signal postavljen na nulu, DUT je uključen u kolo, i obratno. Vrednost kapacitivnosti kondenzatora se određuje u digitalnom domenu preko merenja odnosa učestanosti. Nelinearnost kalibracionog procesa, odnosno uticaj nelinearnog ponašanja samih kondenzatora prekidačkih MOS tranzistora, u radu nije analitički istraživana. Napomenimo da su ove vrednosti osetljive na polarizaciju i napon napajanja.



Slika 2 Šema prstenastog oscilatora iz rada [12]

Veličina i oblik čipa, kao i broj konektora i njihova orijentacija zajedno se opisno navode kao tzv. form faktor čipa [16]. Form faktor je manji za manje čipove, kvadratnog oblika, sa manjim brojem konektora. Manji form faktor je značajan za prenosive uređaje, s obzirom da nudi efikasnije iskorišćenje prostora, veću fleksibilnost u postavljanju komponente prilikom montaže i manje neophodnog materijala [17].

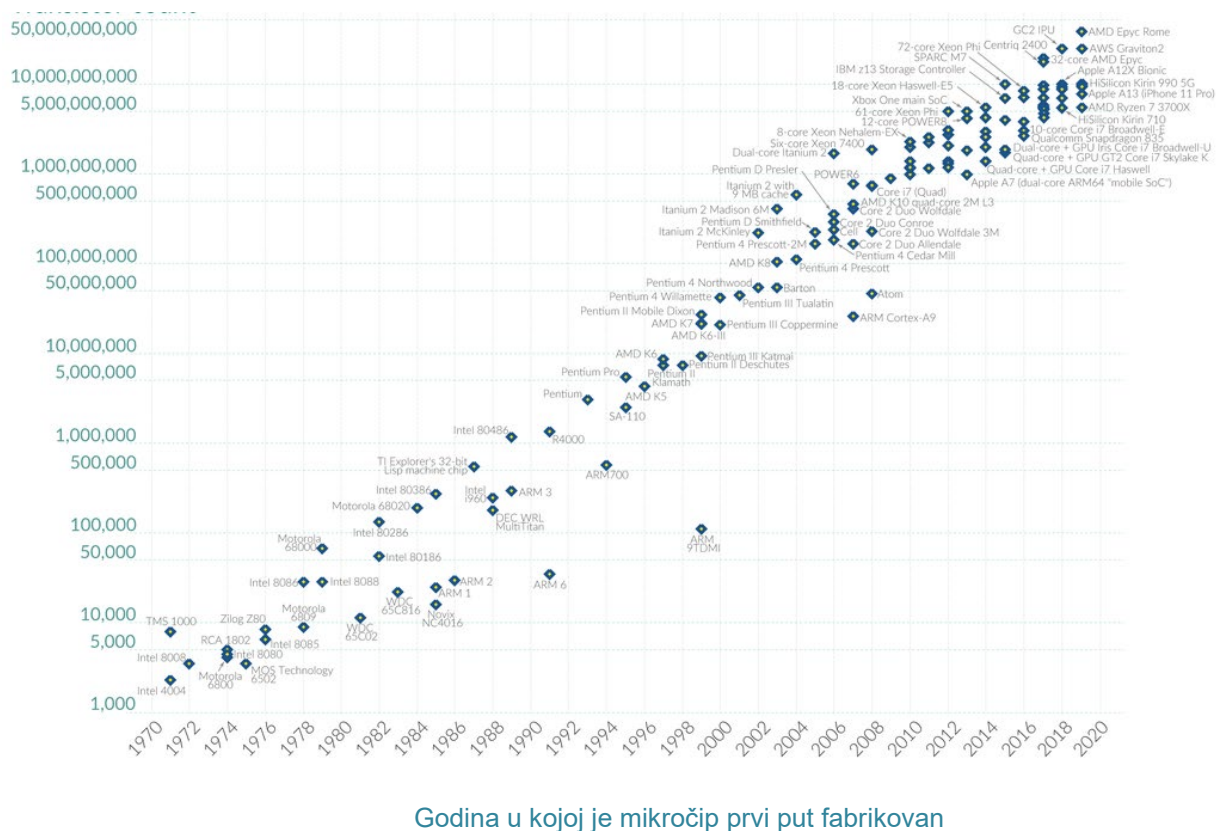
Rad [18] se bavi procenom i kompenzacijom vrednosti kapacitivnosti kondenzatora na čipu, korišćenjem spoljašnje reference. U [19] je predstavljen kalibracioni koncept koristeći se internom referencom na čipu. Koncept je veoma pogodan za rešenja sa malim form faktorom. Nedostatak ovog pristupa kalibracije jeste ograničena tačnost koja je određena preciznošću referenci na čipu. Sa druge strane, koncept koji je ovde prikazan ima veliku prednost jer je neosetljiv na parazitne i sistemske greške samog kalibracionog kola.

Ovaj rad kombinuje navedena dva pristupa (prikazana u [18] i [19]) i uz dodatne optimizacije, nudi jedinstven koncept kalibracije vrednosti kapacitivnosti kondenzatora primenljiv u masovnoj proizvodnji. Linearnost interne reference je optimizovana, tako da ne utiče na tačnost kalibracionog procesa. Kalibracioni koncept je pogodan i za primenu na visokim učestanostima. Kalibracija je primenjena na UWB LB filter. Dodatno, u radu je detaljno optimizovano projektovanje prekidača u kompenzacionoj banci kondenzatora. Postignut je optimalan kompromis za datu primenu između gubitaka kola, kada su prekidači uključeni i greške kompenzovane vrednosti kapacitivnosti kondenzatora, kada su oni isključeni.

5. Skaliranje tehnologije integriranih kola

Industrija integriranih kola se razvija rapidno u poslednjih 50 godina po Murovom zakonu. Gordon Mur, jedan od koosnivača Intelu, još davne 1975. je empirijski predvideo da će se broj tranzistora u integriranim kolima udvostručavati na svake dve godine [20]. Slika 3 prikazuje da se broj tranzistora u mikroprocesorima zaista udvostručavao naznačenom brzinom tokom vremena. To je direktna posledica razvoja, odnosno skaliranja tehnologije sa vremenom, čiji pregled daje Tabela 1.

Broj tranzistora



Slika 3

Broj tranzistora u mikroprocesoru prema godini fabrikacije [20]

Tabela 1 Skaliranje CMOS tehnologije sa vremenom [20]

Tehnologija	Godina pojavljivanja tehnologije
10 μm	1971.
6 μm	1974.
3 μm	1977.
1.5 μm	1981.
1 μm	1984.
800 nm	1987.
600 nm	1990.
350 nm	1993.
250 nm	1996.
180 nm	1999.
130 nm	2001.
90 nm	2003.
65 nm	2005.
45 nm	2007.
32 nm	2009.
22 nm	2012.
14 nm	2014.
10 nm	2016.
7 nm	2018.
5 nm	2020.
3 nm	~2022.

Napredak tehnologije je omogućio obradu velike količine podataka, a samim tim i razvoj tehnologija mašinskog učenja, veštačke inteligencije i genetske medicine [21].

Bežični RF CMOS uređaji visokih performansi i niske cene se realizuju kao SoC (engl. *System On Chip*), gde se digitalni, RF primopredajnici sa mešovitim signalima integrišu [22]-[25]. Kontinuirano skaliranje Si (engl. *Silicium*) CMOS tehnologije je obezbeđivalo bolje

performanse kola i mogućnost rada na višim učestanostima. Kao primer, u 130 nm CMOS procesu, kola mogu raditi i do 60 GHz [26]-[28].

Ipak, eksperti su podeljenog mišljenja u vezi kraja primenjivosti Murovog zakona. Argumentujući da je najnovija Intel fabrika za proizvodnju čipova sa velikim zakašnjenjem proizvela 10 nm tehnologiju 2019., pet godina nakon 14 nm čipova, eksperti sugerišu da brzina razvoja tehnologije poslednjih godina više ne prati Murov zakon [21].

Intel eksperti ipak smatraju da se novim 3D arhitekturama i novim projektovanjima tranzistora može očuvati Murov trend i za sledećih 10 godina, predviđajući i integraciju do 2 triliona tranzistora [21].

Pored integrisanih kola, nove tehnologije poput kvantnih računara, karbonskih nanocevi ili spintronike postaju moguće alternativne opcije integrisanih kola koje bi mogle da nastavite trend razvoja snage računara [21].

5.1. Jedinična i maksimalna učestanost integrisanih kola

Jedni od osnovnih parametara tehnologije su učestanost jediničnog strujnog pojačanja (f_T) i maksimalna učestanost oscilovanja (f_{max}). Oni daju uvid o brzini tehnologije. Učestanost jediničnog pojačanja odgovara učestanosti na kojoj strujno pojačanje tranzistora u konfiguraciji sa zajedničkim sorsom (engl. *common source* - CS) padne na 1, dok maksimalna učestanost oscilovanja odgovara učestanosti na kojoj maksimalno pojačanje snage padne na jedan.

Za dato $V_{GS} - V_{TH}$, može se lako pokazati da važi sledeća relacija:

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}, \quad (5.1)$$

gde su g_m transkonduktansa, a C_{gs} i C_{gd} gejt-sors i gejt-drejn unutrašnje parazitne kapacitivnosti tranzistora.

Za tranzistor sa dugim kanalom, koji je u saturaciji, važi:

$$f_T \approx \frac{1}{2\pi} \frac{\frac{W}{L} \mu C_{ox} (V_{GS} - V_{TH})}{\frac{2}{3} C_{ox} WL}, \quad (5.2)$$

gde su W i L , širina i dužina kanala tranzistora, μ pokretljivost elektrona, C_{ox} kapacitivnost gejta po jedinici površine, a V_{GS} i V_{TH} su napon gejt-sors i napon praga tranzistora.

Dakle, glavni skalirajući faktor za MOSFET dugačkog kanala je sama dužina kanala [26],[29]:

$$f_T \approx \frac{1}{2\pi} \frac{3 \cdot \mu \cdot (V_{GS} - V_{TH})}{2L^2}, \quad (5.3)$$

što ukazuje na važnost skaliranja tehnologije.

U slučaju tranzistora sa kratkim kanalom, dolazi do zasićenja brzine nosilaca, i važi sledeća relacija [26],[29]:

$$I_{ds,sat} = WQ_i v_{sat} = WC_{ox}(V_{GS} - V_{TH})v_{sat}, \quad (5.4)$$

gde je Q_i površinska koncentracija elektrona u kanalu, a v_{sat} maksimalna (zasićena) brzina nosilaca. To rezultira u [26],[29]:

$$f_T \sim \frac{v_{sat}}{L}. \quad (5.5)$$

Kao što se vidi iz jednačine (5.5), za kratkokanalni tranzistor skaliranje ima manji uticaj na brzinu rada u poređenju sa dugokanalnim tranzistorom.

Kao pravilo za procenu, maksimalna ostvariva jedinična učestanost operacionog pojačavača iznosi oko 1/5 jedinične učestanosti tehnologije [30].

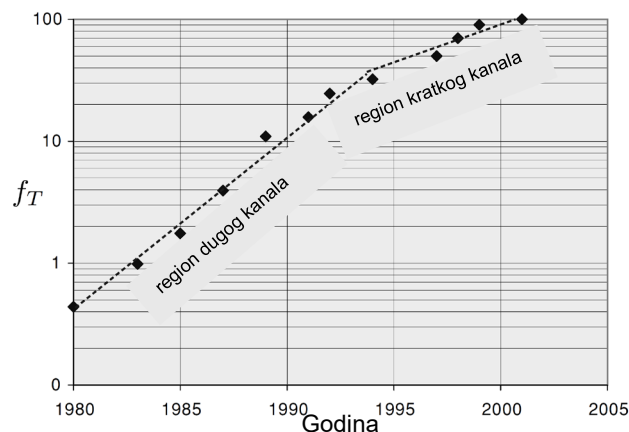
Maksimalna učestanost oscilovanja značajno zavisi od parazita i leajuta kola.

U [26],[31] je pokazano da za CMOS tranzistor važi:

$$f_{max} \approx \frac{f_T}{2 \sqrt{R_g \left(\frac{g_m C_{gd}}{C_{gg}} \right) + (R_g + r_{ch} + R_s) g_{ds}}}, \quad (5.6)$$

gde su R_s i R_g parazitne otpornosti sorsa i gejta, određene leajutom kola i tehnologijom, r_{ch} otpornost kanala, g_{ds} izlazna konduktansa tranzistora.

Slika 4 daje grafički prikaz povećanja jedinične učestanosti sa skraćivanjem kanala.



Slika 4 Povećanje jedinične učestanosti sa skaliranjem tehnologije tokom vremena [26]

Pored dužine kanala L , skalira se i širina tranzistora W , odnosno površina uređaja se skalira sa L^2 . U novijim tehnologijama debljina oksida (t_{ox}) se skalira, čime se smanjuje maksimalni napon proboja tranzistora. Takođe, smanjuje se i maksimalni dozvoljeni napon napajanja za garantovanje životnog veka tranzistora. Kao primer, u TSMC CMOS 28 nm tehnologiji napon napajanja je 0,9 V.

Dodatno, gustina komponenti na čipu je postala veća, pa samim tim i potreba za većim brojem metalnih interkonekcionih slojeva.

Sa skaliranjem tehnologije, *analogno projektovanje* je postalo složenije. Naime, prilikom smanjenja napona napajanja, raspon izlaznog signala je postao manji. Kako bi se održao dinamički opseg kola (DR – odnos maksimalnog i minimalnog mogućeg korisnog signala), potrebno je smanjiti šum, što se postiže većom potrošnjom i površinom kola. Na primer, kako bi se dinamički opseg kola proširio za jedan bit, potrebno je čak četiri puta povećati potrošnju. Takođe napomenimo da automatizacija analognog dizajna u velikoj meri još uvek nije podržana alatima.

Digitalna kola su se sa skaliranjem tehnologije značajno smanjila, a njihova funkcionalnost i fleksibilnost se značajno povećala. Digitalno projektovanje, ležaut i verifikacija danas su u potpunosti automatizovani EDA (engl. *Electronic Design Automation*) alatima. Takođe, memorije kao RAM (engl. *Random Access Memory*) i ROM (engl. *Read Only Memory*) su postale prilično jeftine. Međutim testiranje memorija, naročito OTP i *Flash*, može da predstavlja značajni deo cene proizvoda.

Značajno povećanje brzine digitalnih kola za obradu signala potražuje i povećanje brzine AD (engl. *Analog Digital*) i DA (engl. *Digital Analog*) konvertora. Dok se cena po funkciji praktično smanjivala 30% godišnje [32], cena analognih blokova se čak i povećavala. Tokom projektovanja, cilj je da se većina funkcija realizuje u digitalnom domenu, gde god je to moguće. Obično se poboljšanje performanse analognih kola danas realizuje u digitalnom domenu. Kao primer, AD/DA konvertori, analogni filtri, naponom podesivi oscilatori (engl. *Voltage Controlled Oscillators* - VCO), DC ofset naponi se kompenzuju i kalibrišu u DSP-u. Kalibracioni algoritmi u ovom radu su realizovani u digitalnoj logici. Ovaj pristup samokalibracije je poželjniji u odnosu na kalibraciju na samom testeru, koja čini značajni deo troškova čipa.

6. Troškovi razvoja čipa u različitim tehnologijama

Troškovi isplativosti razvoja čipa se mere u PPC. Dakle, isplativost je bazirana na broju čipova koji se mogu prodati za konkretnu aplikaciju. Cena čipa uključuje tzv. NRE (engl. *Non-Recurring Engineering*) troškove razvoja i troškove proizvodnje čipa.

U NRE troškove spadaju troškovi:

- razvoja hardvera,
- EDA alati,
- IP licence i integracija,
- razvoja softvera,

dok su troškovi proizvodnje integrisanog kola:

- cena vejfera – materijal uključujući maske i prinos,
- pakovanje sa povezivanjem sa čipom ili bondovanjem (npr. engl. *wire* ili engl. *flip chip* bondovanje),
- testiranje,
- IP takse,
- montaža,
- troškovi dostave.

Tehnologija sa bira na osnovu ostvarivosti tehničkih zahteva i ciljane cene čipa. Cena vejfera je određena izabranom tehnologijom i izborom seta maski, koje se prave fotolitografskim postupkom. Nezavisno od broja fabrikovanih čipova, cena maske je ista. Raspon cene seta maski može biti od ~ 20 k\$ (350 nm CMOS) do ~ 10 M\$, za 3 nm CMOS proces, koji se koristi kod mikroprocesora, kao i sistema sa velikom brzinom obrade podataka. Veličine vejfera mogu biti različite (npr. 200 mm, 300 mm i 400 mm u 65 nm-skoj CMOS tehnologiji), a raspon njihove cene od ~ 2 k\$ do ~ 15 k\$. Ukoliko su potrebne količine čipova male (npr. u slučaju verifikacija dizajna u ranoj fazi), moguće je kombinovati više različitih projekata na jednom setu maski (engl. *multi project wafer* – MPW). Troškovi MPW-a su značajno manji, od ~ 5 k\$ do ~ 100 k\$, u zavisnosti od veličine čipa i tehnologije.

Kontinuirano skaliranje Si CMOS tehnologije uz bolje performanse, omogućuje i manju cenu proizvoda. U ranijim skaliranjima tehnologije (...80 nm, 55 nm, 40 nm), povećanje cena vejfera sa novijim tehnologijama je bilo malo, dok sa novijim tehnologijama 28 nm, 20 nm, 14 nm i niže, to nije slučaj [33]. Slika 5 prikazuje da trend smanjivanja troškova po tranzistoru sa novim tehnologijama prestaje i da 28 nm tehnologija obezbeđuje najviše tranzistora po dolaru.



Slika 5 Optimalni balans troškova i performansi uređaja (2015) [33]

Značajno povećani troškovi vežera potiču od povećanih troškova fabrikacije. U niskim nanometarskim tehnologijama talasna priroda ultraljubičaste svetlosti postaje značajna za proces litografije kako bi se postigla zadovoljavajuća preciznost za strukture minimalnih dimenzija [34]. Oprema za fabrikaciju u novijim tehnološkim procesima je značajno složenija, dok je potreba za skupim istraživanjima u strukturama tranzistora veća. Litografski alati su ranije koštali 10% cene vežera, dok za najnovije tehnologije iznose čak polovinu cene [33]. Broj fabrika za pravljenje čipova koje prave sledeću generaciju sa osam 2010. godine i dvadeset pet fabrika 2002., danas je spao samo na tri [21].

Značajan činilac cene čipa jeste prinos i iskorišćenje vežera, koji su takođe određeni veličinom čipa. Deo površine vežera čine test strukture, a deo vežera se odbacuje prilikom sečenja i odbacivanja čipova na njegovim ivicama.

Ukupan prinos čipova je određen:

- smanjenjem prinosa usled defekata (engl. *point failure*) i
- funkcionalnim prinosom, koji se definiše kao odnos broja integrisanih kola koja zadovoljavaju zadate specifikacije i ukupnog broja proizvedenih integrisanih kola.

Defekti su slučajno raspoređeni po vežeru i mogu nastati usled defekata kristala ili usled nečistoća litografskog procesa, npr. loše konekcije ili oštećenja kontakata između provodnih metalnih slojeva (engl. *vias*).

Funkcionalni prinos je određen brojem čipova, kod kojih svi zadati parametri ispunjavaju specificirane tolerancije. Opseg tolerancija parametara se definiše kao kompromis kvaliteta i cene proizvoda. Ovaj rad se upravo bavi nalaženjem optimalnog kompromisa u konkretnoj aplikaciji.

Treba pomenuti da pored smanjenog prinosa, sa nižim tehnološkim čvorovima, fundamentalni fizički problemi poput kvantnih efekata i problema sa strujama curenja dolaze do izražaja. Zbog struja curenja, često se u modu smanjene potrošnje (engl. *sleep*), digitalna logika mora isključiti sa napajanja.

Dakle, izbor tehnologije i izbor seta maski tehnologije u odnosu na površinu i troškove su ključni korak u optimizovanju PPC-a. Broj maski je potrebno minimizovati, a dodatne maske uključiti u projekat samo ako se isplati u odnosu na uštedu površine.

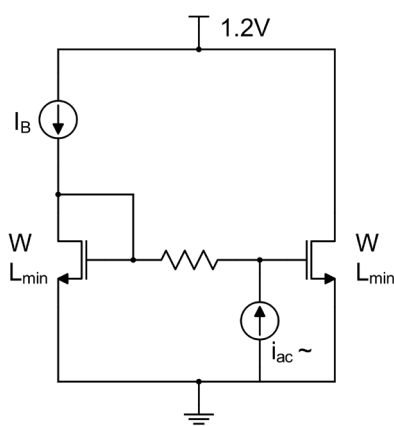
Sam izbor tehnologije u odnosu na zahtevane performanse kola, tipa SOI (engl. *Silicon On Insulator*) ili *bulk*, igra značajnu ulogu u jednostavnosti i pouzdanosti projektovanja, ali i ceni. Uobičajne tehnologije koriste *bulk* proces sa zajedničkim substratom, dok su u slučaju SOI tranzistori napravljeni na tankom sloju silicijuma, koji je od zajedničkog substrata razdvojen izolacionim slojem. Time se postižu značajne pogodnosti, kao što su smanjenje parazitnih kapacitivnosti, izbegavanje *latch-up* efekata, i smanjenje struja curenja. SOI tehnologija donosi značajne prednosti aplikacijama sa niskom potrošnjom i istovremeno olakšava pouzdano projektovanje (prilikom razmatranja *latch-up* efekata, preslušavanja i negativnih naponskih tranzijenata). Sa druge strane, SOI tehnologije značajno su skuplje u odnosu na *bulk* i samim tim se izbegavaju u aplikacijama koje zahtevaju nisku cenu proizvoda.

Dodatno, u odnosu na potrebnu maksimalnu radnu temperaturu čipa, cena tehnologije se povećava. Takođe je potrebno analizirati PPC u odnosu na potrebnu kompleksnost digitalne logike, odnosno digitalnih performansi, brzine digitalnih kola i veličine memorije. Troškovi kvalifikacije i pakovanja čipova (engl. *package design, design for reliability*) po odgovarajućem standardu dolaze povrh toga. Kako bi čip pouzdano radio u pakovanju, stres usled interakcije između čipa i pakovanja je potrebno razmatrati u procesima Si projektovanja, fabrikaciji, projektovanju pakovanja, izboru materijala u odnosu na uslove rada u aplikaciji [35]. Kvalifikacija upakovanog proizvoda se radi prema odgovarajućem standardu na osnovu specificiranog temperaturnog i naponskog profila uređaja u aktivnom i pasivnom modu rada. Posmatrani uređaj se prilikom kvalifikacije izlaže stresu (predefinisanim naponima, temperaturama, promenama temperature) i garantovani parametri proizvoda se upoređuju pre i posle izlaganja stresu, kako bi se osiguralo da nema neželjenih odstupanja. Na taj način se postiže pouzdano garantovanje svih parametara proizvoda u toku životnog veka proizvoda.

7. Ispitivanje parametara i komponenti u 130 nm CMOS tehnologiji

U okviru ovog rada su testirane dve tehnologije od interesa. Na samom početku istraživanja, osnovni parametri CMOS UMC 130 nm i TSMC 130 nm tehnologije su provereni kroz simulacije.

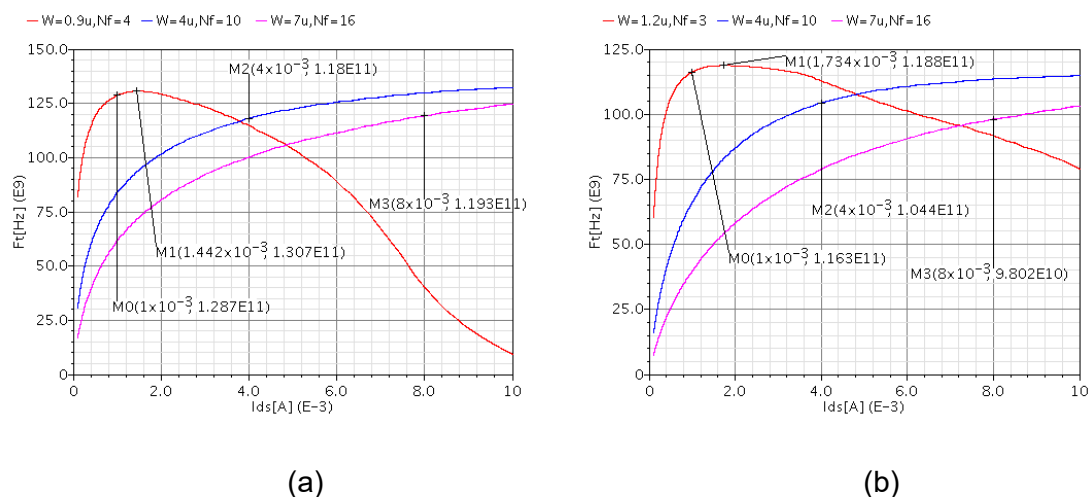
Jedan od parametara selekcije jeste jedinična učestanost. Slika 6 i Slika 7 prikazuju test kolo i rezultate simulacije, respektivno. Rezultati simulacije pokazuju da se veća jedinična učestanost postiže u UMC tehnologiji zbog manje ostvarive dužine tranzistora, $L_{min_UMC} = 120$ nm, $L_{min_TSMC} = 130$ nm.



Slika 6 Test kolo za simuliranje jedinične učestanosti tehnologije

Test kolo se sastoji od dela za polarizaciju sa leve strane, koji je razdvojen velikim otpornikom od tranzistora sa desne strane, čiji se osnovni parametri testiraju. Testiranje jedinične učestanosti se vrši za različitu gustinu struje kanala tranzistora po jedinici širine (I_{DS}/W). U radu [36] je pokazano da se gustina struje za maksimalnu jediničnu učestanost nalazi u opsegu od 0,2 do 0,3 mA/ μ m. Slika 7 pokazuje da se optimalne vrednosti jedinične učestanosti postižu za približnu gustinu struje po jedinici širine kanala od 0,4 mA/ μ m za obe tehnologije, što se ne razlikuje previše od teorijske vrednosti. Primetimo da opseg u kome se maksimalna jedinična učestanost ne menja više od 5% ide i do 0,2 mA/ μ m, što je poželjna vrednost u pogledu elektromigracije i starenja uređaja.

Napon drejna tranzistora sa test kola je određen tehnologijom i iznosi $V_{DD} = 1,2$ V za tranzistore sa tankim oksidom i predstavlja približno duplo manju vrednost od probojnog napona (engl. *break down*).



Slika 7 Jedinična učestanost tranzistora u odnosu na struju polarizacije tranzistora i faktor inverzije u a) UMC i b) TSMC 130 nm CMOS tehnologiji

Tabela 2 poredi TSMC i UMC izabrane tehnologije po relevantnim parametrima.

Tabela 2 Poređenje UMC i TSMC 130 nm CMOS tehnologije

Parametar	TSMC	UMC
Jedinična učestanost	+	++
Unutrašnje pojačanje ($g_{m}r_{ds}$)	++	+
Opseg rada RF tranzistora	++	+
Validnost modela tranzistora	-	+
Tačnost pasivnih komponenti	+	+
Dostupna dokumentacija	o	+
Dostupnost tehnologije (pristup, NDA (engl. <i>Non-Disclosure Agreement</i>), učestanost fabrikacije MPW, fleksibilnost...)	-	+
Cena	-	o
Sveukupno	o	+

Na osnovnu rezultata simulacija osnovnih kola, dostupne dokumentacije, i što je najvažnije cene, UMC 130 nm tehnologija je izabrana za razvoj blokova UWB sistema.

7.1. Varijacija parametara osnovnih komponenti integriranih kola

Sa razvojem novih tehnologija varijacija procesa i varijacija parametara unutar vejfera se povećava [1], što vodi do problema sa prinosom čipova. Merenje, kontrola i modelovanje varijacije komponenti izabranog procesa su od ključne važnosti za pouzdano projektovanje odgovarajućeg prinosa. Međutim, kontrola procesa tokom životnog veka postaje sve teža sa skaliranjem tehnologija [37]-[40]. Kako bi se podigao profit, ograničavajući faktori prinosa čipova moraju biti identifikovani i poboljšani [37]. Na primer, firma *PDF Solutions* detaljnim karakterisanjem varijacije procesa i identifikacijom i fokusiranjem na ograničavajuće parametre prinosa, poboljšala je sam prinos čipova za 5% do 28% kroz životni ciklus konkretnog proizvoda, što je omogućilo uštedu veću od 100 miliona dolara [37],[41].

Tehnologija se rapidno menja i prilikom određivanja modela i troškova projekata, potrebno je izabrati najbolju tehnologiju za datu aplikaciju, po najnižoj ceni. U inicijalnoj fazi se rade proračuni površine čipa i određivanje minimalnog seta potrebnih maski. Sa prvim konceptima kola se radi optimizacija maski, u kontekstu potrebne površine u odnosu na korišćenje opcionih maski.

Parametri u integriranim kolima variraju usled problema sa kontrolisanjem procesa, kao i u zavisnosti od promene temperature i napona, i starenja, odnosno stresa kojem je izložen uređaj tokom korišćenja. Od krucijalne važnosti je da se varijacija parametara čipa modeluje, kako bi se kroz simulacije obezbedilo ispunjenje specifikacija analognih i RF kola u svim uslovima rada i u okviru garantovane starosti proizvoda. Kako bi kolo pouzdano radilo u zadatim uslovima, potrebno je da bude što jednostavnije.

Varijacija procesa se može modelovati korišćenjem procesnih i fizičkih parametara, parametara modela [42],[43] i pomoću električnih parametara [42],[44].

Varijacija parametara sa procesom se deli na varijaciju komponenti od čipa do čipa i neuparenost komponenti unutar jednog čipa. Varijacija procesa se javlja od grupe do grupe vejfera proizvedenih i obrađenih u isto vreme (engl. *lot*), od vejfera do vejfera i od čipa do čipa. Takođe, postoji i manja neuparenost između komponenti unutar čipa, koje su blizu jedna drugoj. Napomenimo da se za digitalna kola uračunava samo procesna varijacija, obzirom da performanse digitalnih kola nisu bazirane na uparenosti komponenti, već na apsolutnoj vrednosti procesa.

Varijacija od vejfera do vejfera nastaje usled ponovljivosti temperature obrade, poliranja vejfera, a zavisi i od položaja vejfera [42],[45],[46]. Neuparenost komponenti nastaje zbog slučajne varijacije dopanata i varijacije geometrije između tranzistora na istom delu silicijumske pločice koji zauzima jedan čip (engl. *die*) [42],[47], kao i od okolnih komponenti kola.

Varijacija procesa se simulira kroz korner i *Monte Carlo* simulacije, koje su najčešće korišćene zbog odlične tačnosti [48],[49]. Napomenimo da postoje i drugi pristupi i studije koje skraćuju dugotrajno vreme *Monte Carlo* simulacija, a jedna od njih je zasnovana na osetljivosti specifikacije na određene parametre [48],[50]:

$$\sigma_y^2 = \sum_i \left(\frac{\delta y}{\delta x_i} \right)^2 \sigma_{x_i}^2, \quad (7.1)$$

gde je σ_y^2 promena karakteristike, $\delta y / \delta x_i$ osetljivost performanse na parametar x_i , a $\sigma_{x_i}^2$ je varijacija i-tog parametra. U jednačini (7.1) parametri i su nekorelisani.

Dodatno, efekti povezani sa starenjem i stresom se uključuju u simulacije, kako bi se starenje komponenti uračunalo i kvalifikacija čipa bila uspešno izvršena.

Modeli MOS tranzistora su najpre bili razvijeni za digitalna i analogna kola niskih učestanosti u MHz opsegu učestanosti [22],[51],[52],[53]. Sa rastom radnih učestanosti kola, RF modeli tranzistora uz modelovanje parazitnih efekata su od ključnog značaja u simulaciji i optimizaciji performansi kola.

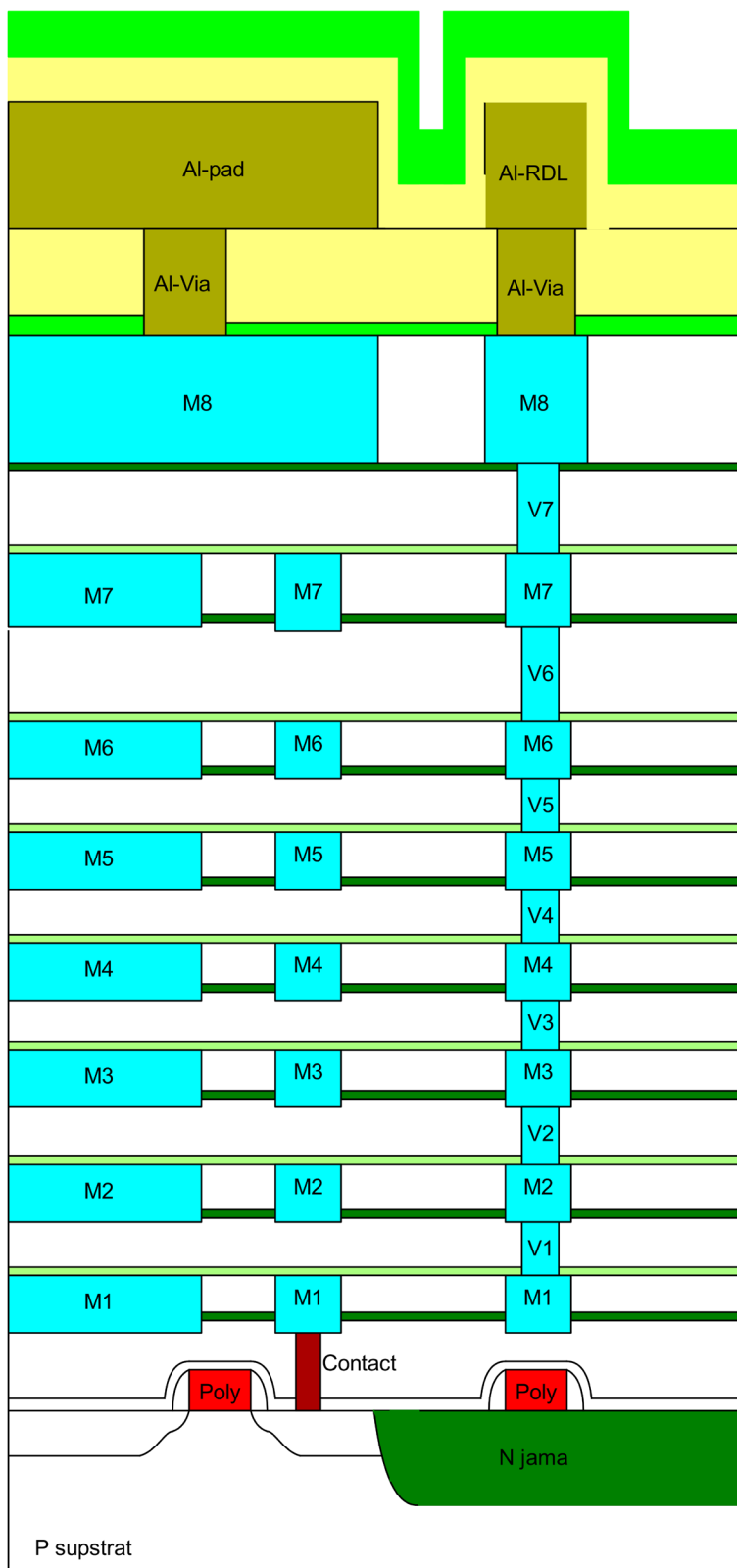
Varijacija parametara procesa i njihov uticaj na MOSFET-ove, kondenzatore i otpornike i njeno modelovanje u integrisanim tehnologijama je opisano u ovom poglavlju.

Za modelovanje komponenti u MIXED MODE/RF CMOS UMC 130 nm-skoj tehnologiji korišćen je model BSIM 3v3 (engl. *Berkley Short-Channel IGFET (engl. Insulated Gate Field Effect Transistor) Model*). Ovaj model je baziran na naponu praga provođenja tranzistora. Model je detaljno opisan u [54]. Nedostatak modela jeste što šum gejta nije modelovan. U [55]-[57] modeli zasnovani na BSIM 3v3, dodaju model otpornika gejta i modeluju preslušavanje preko substrata. U [58] je prikazan model otpornosti gejta i njenog uticaja na optimizaciju šuma u RF kolima.

U BSIM3 modelu svi efekti kratkog kanala su modelovani [22]. U slučaju kada MOSFET radi u prekidačkom režimu (npr. pasivni mikser), nelinearno ponašanje u BSIM 3v3 modelu je potrebno dodatno, specijalno tretirati [22]. U slučaju kada je $V_{DS} = 0$, nelinearni efekti tranzistora nisu uzeti u obzir.

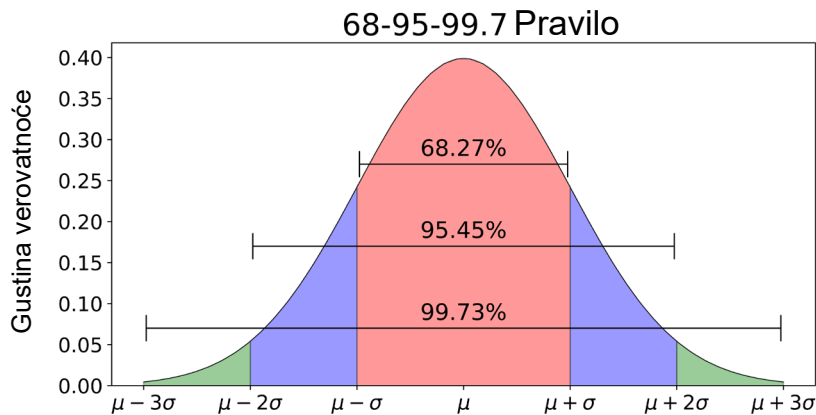
Takođe napomenimo da BSIM 3v3 model dobro modeluje slabu i jaku inverziju, dok za umerenu inverziju tranzistora koristi interpolaciju između ove dve oblasti [59].

Slika 8 prikazuje poprečni presek korišćene CMOS tehnologije. Tehnologija sadrži osam metalnih slojeva (od metala 1 (M1) do metala 8 (M8)), koji se povezuju vijama (V1 do V7). Metalni slojevi su razdvojeni dielektricima različitih dielektričnih konstanti. Metal 8 je najdeblji metalni sloj i koristi se za pravljenje kalemova, za RF vodove i rutiranje stabla taktnog signala u digitalnim kolima. Kada je to moguće, ovaj sloj se koristi i za rutiranje napajanja i mase. Niži metalni slojevi su dosta tanji i koriste se za rutiranje analognih i digitalnih signala na nižim učestanostima. Aluminijski RDL (engl. *Re-Distribution Layer*) koristi se za projektovanje stopica za povezivanje (engl. *pads*), preko kojih se kolu može pristupiti i izvršiti karakterizacija na vejeru ili preko kojih se kolo povezuje sa kućištem.



Slika 8 Poprečni presek MIXED MODE/RF CMOS UMC 130nm tehnološkog procesa sa osam slojeva metala

U radu je razmatrana $\pm 3\sigma$ procesna varijacija parametara komponenti na čipu. Prema normalnoj distribuciji, 99,73% čipova će imati vrednost parametara u pomenutom opsegu, od $\mu - 3\sigma$ do $\mu + 3\sigma$, Slika 9.



Slika 9 Normalna (Gausova) distribucija sa 3 sigma varijacijom [60]

U nastavku poglavlja dat je pregled osnovnih parametara i modela komponenti CMOS procesa i objašnjen uzrok njihove varijacije.

7.2. Otpornici

CMOS tehnologije nude različite tipove otpornika koje se razlikuju po svojoj slojnoj otpornosti (engl. *sheet resistance*, tj. odnos specifične otpornosti i debljine materijala), PVT varijaciji, kao i starenju. Otpornici mogu biti otpornici napravljeni u jami (engl. *well*), metalni, poli i difuzioni otpornici. Za svaku aplikaciju i kolo se pojedinačno biraju tipovi otpornika, koji pružaju najbolji kompromis između površine i cene dodatnih maski, a zadovoljavaju specifikaciju kola. Za RF aplikacije, efektivnu otpornost materijala određuje površinski (engl. *skin*) efekat. Zbog poništavanja elektromagnetskog polja u samom otporniku, struje teku uz samu površinu otpornika i gustina struje se eksponencijalno smanjuje ka unutrašnjosti provodnika. U tom slučaju se računa efektivna otpornost otpornika, u odnosu na dubinu skin efekta. Dubina prodiranja (engl. *skin depth*) se definiše kao udaljenost od površine provodnika, na kojoj amplituda naizmenične struje opadne za $1/e$. Formula dubine prodiranja je data sledećom relacijom [61]:

$$\delta = \sqrt{\frac{2\rho}{\omega\mu} \sqrt{1 + (\rho\omega\varepsilon)^2} + \rho\omega\varepsilon}, \quad (7.2)$$

gde je ρ specifična otpornost provodnika, ω kružna učestanost, μ permeabilnost provodnika, a ε permitivnost provodnika. Kao što se vidi iz jednačine (7.2), skin efekat je izraženiji kod materijala sa manjom specifičnom otpornošću, ρ . Drugim rečima, ovaj efekat treba dominantno razmatrati u vodovima ili u metalnim otpornicima.

Za značajno niže učestanosti od $1/\rho\varepsilon$, jednačina se može pojednostaviti [61]:

$$\delta \approx \sqrt{\frac{2\rho}{\omega\mu}} \quad (7.3)$$

Na primer, provodnost bakra je 58 MS/m, što odgovara dubini prodiranja 0,66 μm na 10 GHz.

Otpornici se dobijaju difuzijom ili taloženjem (engl. *deposition*). Dodatno, u ekvivalentni model otpornosti, moraju se uračunati paraziti i otpornost kontakta. Kontaktna otpornost postoji zbog potencijalne barijere između metalizacije i materijala otpornika i zbog raspršivanja i nagomilavanja struje koja ulazi kroz kontakt [62]. Otpornost kontakta data je sledećom relacijom [62],[63]:

$$R_c = \frac{\sqrt{R_{sh}}}{W_c} \coth\left(L_c \sqrt{\frac{R_c}{\rho_c}}\right), \quad (7.4)$$

gde je ρ_c specifična otpornost kontakta, L_c je dužina kontakta, a W_c njegova širina.

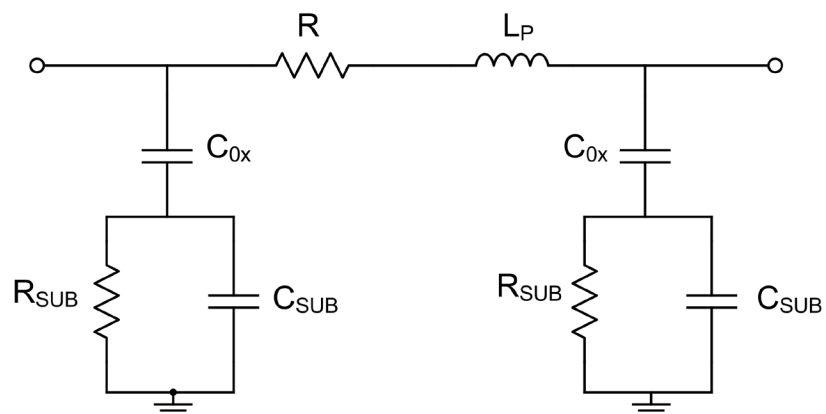
Tabela 3 poredi osnovne parametre različitih tipova otpornika u CMOS procesu koristeći se informacijama iz knjige [62] i informacijama iz korišćenih tehnologija.

Tabela 3 Uporedna tabela parametara CMOS otpornika [62]

Parametar/tip otpornika	Well	Metal	Difuzioni	Poly
Slojna otpornost R_{sh} [Ω/sq]	1k-10k	~50m-100m	~ 5-50* ~ 600**	1-20*** / 20 – 1k ****
Tip	N well/ P well		N+/P+	N+/P+
Varijacija	~ $\pm 15\%$	~ $\pm 20-25\%$	$\pm 15-25\%$	$\pm 15-30\%$
Temperaturni koeficijent [ppm/ $^{\circ}\text{C}$]	~-1500	~3500	~ ± 1500 ****	~ $\pm 100 - 2500$ *****
Naponska zavisnost [ppm/V]	~20000	jako mala (+)	~500	~50
Paraziti ka masi/ stuje curenja	veliki (-)	jako mali (+)	veliki (-)	srednji (o)

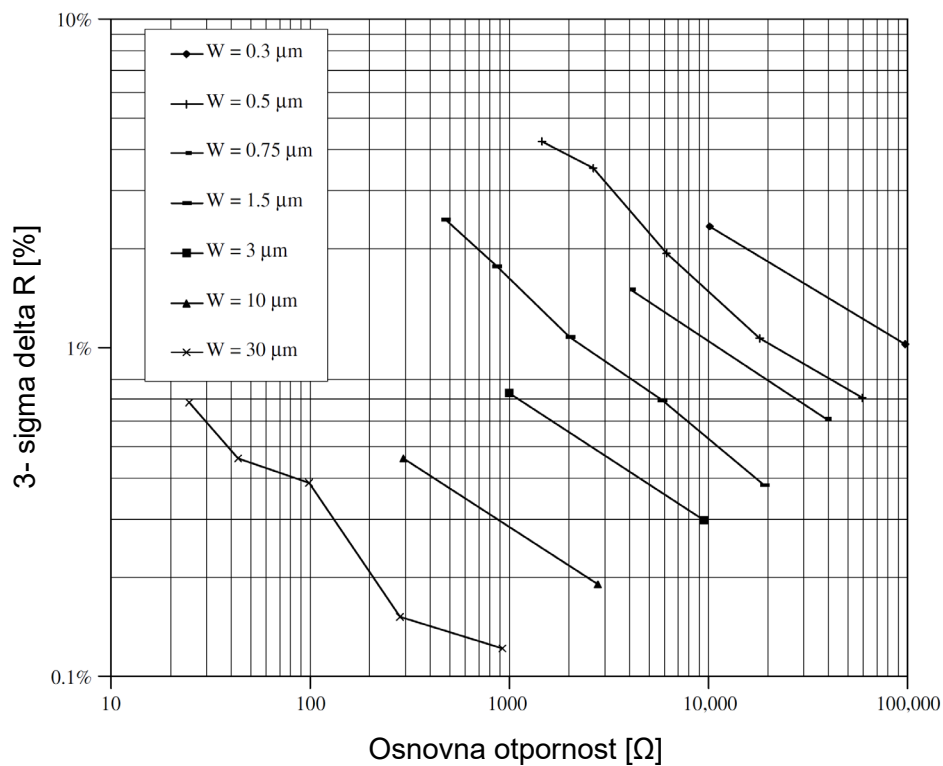
((*)sa salicidom, (**) bez salicida, (***) jako dopiran, (****) slabo dopiran, (*****) u zavisnosti od tipa i količine dopiranja)

Za RF učestanosti potrebno je koristiti RF model otpornika, koji modeluje kapacitivne parazite ka supstratu (C_{ox} i C_{SUB}), otpornost supstrata (R_{SUB}) i parazitnu serijsku iduktivnost metala (L_P), Slika 10.



Slika 10 RF model poli otpornika

Varijacija otpornosti zavisi od njegovog materijala. Uzrok varijacije otpornika jeste neidealnost postupka fabrikacije, odnosno varijacija debljine slojeva, koncentracije dopiranja, profila dopiranja, uslova zagrevanja, varijacije dimenzija usled konačne tačnosti litografskog procesa i neuniformne brzine nagrizanja [62]. Relativna promena vrednosti otpornika od vejfera do vejfera može biti i do $\pm 30\%$, ali za otpornike na istom čipu varijacija je značajno manja. Zato, kao i u slučaju kondenzatora, tačni parametri kola zavise od odnosa dobro uparenih komponenti, a ne od njihovih apsolutnih vrednosti. Slika 11 prikazuje 3-sigma neuparenost poli otpornika na istom vejferu u 180 nm-skoj CMOS tehnologiji [62],[64].



Slika 11 Merena vrednost 3-sigma neuparenosti poli otpornika na istom vejferu u 180 nm CMOS tehnologiji [62],[64]

Standardna devijacija odnosa otpornika može se predstaviti jednačinom [62],[65]:

$$\sigma = \frac{\sqrt{f_a + \frac{f_p}{W}}}{W\sqrt{R}}, \quad (7.5)$$

gde R predstavlja vrednost otpornika, W širinu otpornika, f_a konstantu koja modeluje fluktuaciju po površini otpornika, a f_p konstantu za modelovanje fluktuacije po obimu.

U ovom projektu su korišćeni uglavnom p+ poli otpornici bez salicida pošto su pogodni za RF aplikacije zbog male parazitne kapacitivnosti ka supstratu. Takođe imaju i prihvatljivu varijaciju sa procesom, relativno mali temperaturalni koeficijent i malu naponsku zavisnost.

7.3. Kondenzatori

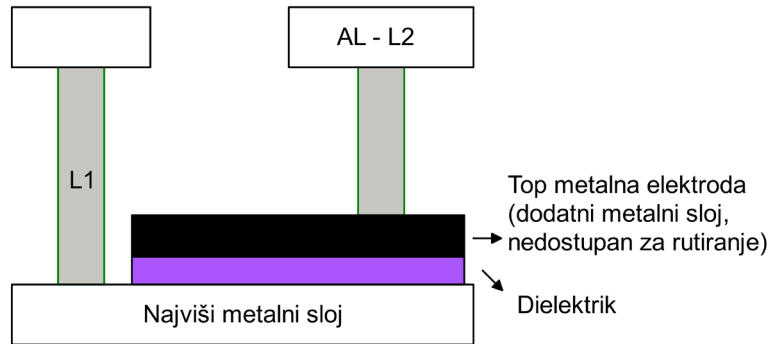
Kondenzatori su neizostavni elementi u filtrima, RF kolima, prekidačko-kapacitivnim kolima (engl. *switched capacitor circuits*), AD (engl. *Analog-Digital*) i DA (engl. *Digital-Analog*) konvertorima, za podešavanje fazno sinhronizovanih petlji (engl. *Phase Locked Loop* - PLL) i oscilatora, u povratnoj sprezi pojačavača, za podešavanje propusnog opsega pojačavača.

Tabela 4 prikazuje dostupne modele kondenzatora u 130 nm CMOS UMC tehnologiji i njihove varijacije sa procesom i temperaturom. Od dostupnih kondenzatora, MIM kondenzatori su najpogodniji za RF aplikacije pošto su najlinearniji i imaju najveći Q faktor.

Tabela 4 Tolerancije dostupnih kondenzatora u korišćenoj tehnologiji

Tip kondenzatora	Tolerancija sa procesom i temperaturom (-40:125°C)
MIM	±15%
MOM	±15%
MOS	±4%

MIM (Metal-Izolator-Metal) kondenzator je postavljen između poslednja dva metalna sloja kako bi se minimizovala parazitna otpornost ka supstratu i šum supstrata, Slika 12.



Slika 12 MIM kondenzator u UMC 130 nm CMOS tehnologiji

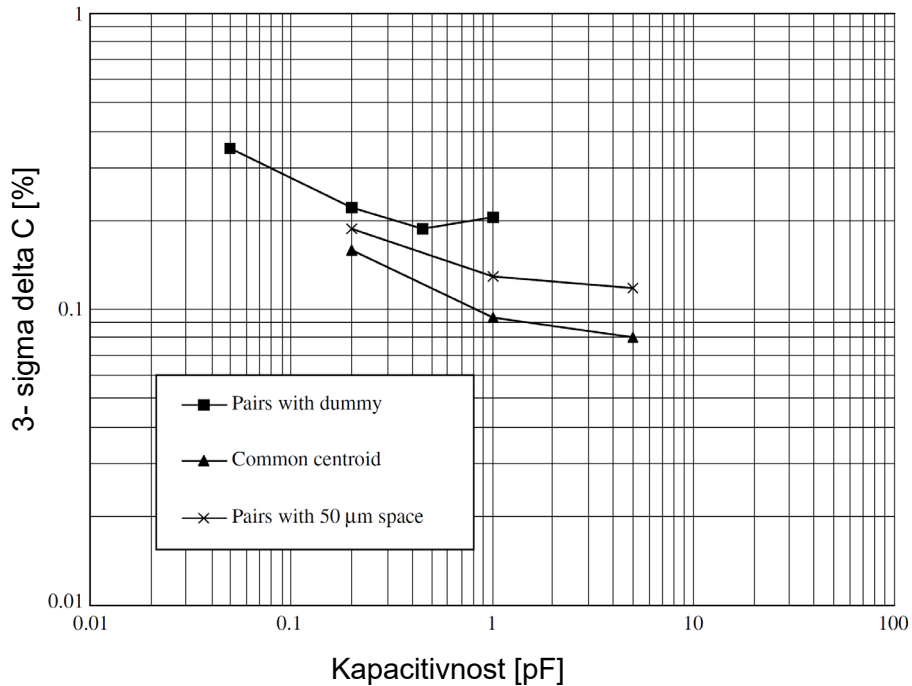
MOM (Metal Oksid Metal) kondenzatori formirani su učešljavanjem metalnih slojeva i koriste efekat bočne kapacitivnosti (engl. *fringe capacitance*), odnosno bočnog električnog polja. Jako su linearni ali u odnosu na MIM su nepogodni za RF aplikacije zbog velike pridružene parazitne kapacitivnosti od donje ploče ka supstratu. U zavisnosti od broja korišćenih metala njihova potrebna površina može biti značajna, a samim tim i sprezanje ka supstratu, naročito u slučaju korišćenja nižih metalnih slojeva. Prednost ovih kondenzatora jeste što se lako skaliraju sa procesom, bez potrebe za dodatnim maskama.

Uzrok varijacija kapacitivnosti MIM i MOM kondenzatora jeste varijacija debljine dielektrika i geometrije metalnih ploča.

Neuparenost kapacitivnosti kondenzatora u integrisanim kolima je jako dobro kontrolisana, i slično kao kod otpornika može se predstaviti kao [62],[65]:

$$\sigma = \frac{\sqrt{f_a + \frac{f_p}{C}}}{\sqrt{C}}, \quad (7.6)$$

gde je f_a slučajna fluktuacija po površini, f_p slučajna fluktuacija po obimu, a C vrednost kondenzatora. Iz formule se vidi da je neuparenost pretežno određena površinskom fluktuacijom u slučaju kondenzatora velike površine. Slika 13 prikazuje merenu vrednost 3-sigma neuparenosti MIM kondenzatora na istom vežferu na primeru 180 nm CMOS tehnologiji [62],[64]. Normalizovana standardna varijacija neuparenosti MIM kondenzatora u izabranoj UMC 130 nm CMOS tehnologiji je ispod 0,1%, za $C > 100$ fF i smanjuje se sa povećanjem kapacitivnosti.

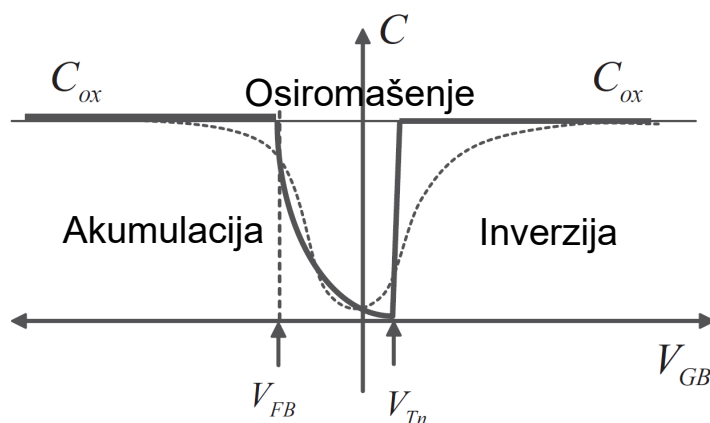


Slika 13 Merena vrednost 3-sigma neuparenosti MIM kondenzatora na istom vejferu u 180 nm CMOS tehnologiji [62],[64]

MOS kondenzatori imaju jako veliku gustinu. Njihovi parametri, kao što su profil dopiranja kanala i varijacija debljine oksida su u procesu jako dobro kontrolisani, pošto oni određuju ponašanje tranzistora. Mana MOS kondenzatora jeste izražena nelinearnost sa primenjenim naponom.

Slika 14 prikazuje zavisnost vrednosti kapacitivnosti MOS kondenzatora od primenjenog napona na gejtu. Puna linija pokazuje aproksimativno ponašanje, dok je isprekidana linija, sa glatkim prelazima, tačnija.

MOS tranzistor radi u oblasti akumulacije za $V_G < 0$, u oblasti osiromašenja za $0 < V_G < V_{TH}$ i u oblasti inverzije $V_G > V_{TH}$, gde je $V_{TH} \approx 400$ mV [66],[67], Slika 14. U oblasti akumulacije i inverzije, kapacitivnost je maksimalna i odgovara kapacitivnosti oksida. To je zato što u oblasti akumulacije možemo zanemariti manjinske nosioce, dok u oblasti inverzije manjinski nosioci kreiraju sloj inverzije u kanalu. U ova dva slučaja, MOS kondenzator se ponaša slično kao i MIM. Između, u oblasti osiromašenja pad napona je raspodeljen na oksid i osiromašenu oblast, tako da možemo modelovati 2 kondenzatora u seriji [26]. MOS kondenzator je neophodno polarisati u linearnom režimu rada, što u novijim procesima, odnosno pri malim naponima napajanja, značajno ograničava raspon signala. U ovom radu, u poglavlju 11.4. izvršena je optimizacija polarizacije MOS kondenzatora.



Slika 14 Zavisnost vrednosti kapacitivnosti MOS kondenzatora od primenjenog napona na gejtju [26]

Često se u tehnologijama NMOS tranzistori stavljaju unutar n-jame [67],[68]. Na taj način oblast osiromašenja nestaje, inverzija počinje značajno ranije, od $V_G > 0$, što povećava linearnu oblast rada.

7.4. Kalemovi

Vrednost DC induktivnosti kalema na čipu je prilično konstantna. Razlog za to je jer se DC induktivnost zasniva na površini kalema, koja je značajno veća u odnosu na relativnu varijaciju same površine kalema sa procesom.

Kalemovi se realizuju najčešće u gornjem metalnom sloju, kako bi imali što veći Q faktor, odnosno manje gubitke provodnika i manje parazitno induktivno i kapacitivno preslušavanje ka supstratu. Napomenimo da ukoliko kalemovi rade na učestanosti od nekoliko GHz, njihova veličina je dosta manja. Parazitna kapacitivnost ispod kalema je podložna promenama sa procesom, ali DC vrednost induktivnosti je gotovo nepromenjena sa procesnom varijacijom.

Vrednost sopstvene induktivnosti kalema, pravougaonog poprečnog preseka, u par GHz-nom opsegu, može se aproksimirati jednačinom (7.7) [67],[69]:

$$L \approx \frac{\mu_0}{2\pi} l \left(\ln \frac{2l}{W+t} + 0,5 \right), \quad (7.7)$$

gde su projektni parametri W i l i predstavljaju širinu i dužinu linije, dok je t debljina metalnog sloja, kao fiksni projektni parametar.

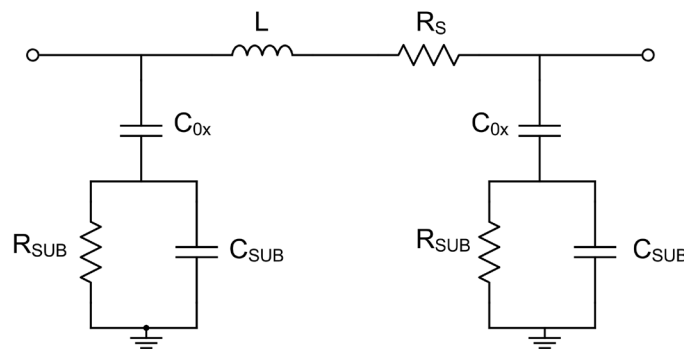
Kako bi se optimizovala površina i mogućnost povezivanja, kalemovi na čipu se prave u obliku spirale. U tom slučaju sopstvena induktivnost se može predstaviti kao [67],[69],[70]:

$$L_T = \sum L + \sum M^+ + \sum M^-, \quad (7.8)$$

gde suma L odgovara zbiru sopstvenih induktivnosti segmenata, suma M^+ i suma M^- odgovaraju međusobnoj induktivnosti između segmenata, koji nose struju istog ili suprotnog polariteta.

Napomenimo da kod spiralnih kalemova postoji efekat nagomilavanja stuja ili efekta blizine (engl. *proximity effect*) [67],[70], koji potiče od pojave da vremenski promenjiva struja u jednom provodniku utiče na raspodelu struje u drugom, dovoljno bliskom provodniku, što vodi do gubitaka i ograničava Q faktor [67].

Slika 15 prikazuje RF model kalema sa pridruženim parazitnim elementima. Model uključuje redne gubitke kalema (R_S), kao i spregu ka supstratu (C_{0x} i C_{SUB}) i same gubitke u supstratu (R_{SUB}) usled vrtložnih (*eddy*) struja i struja pomeraja (*displacement*).

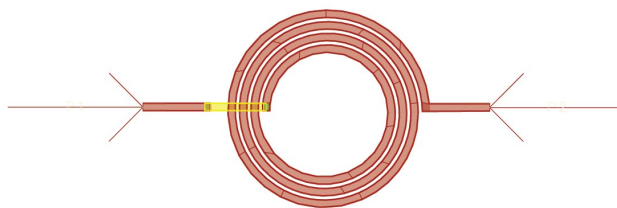


Slika 15 RF model kalema

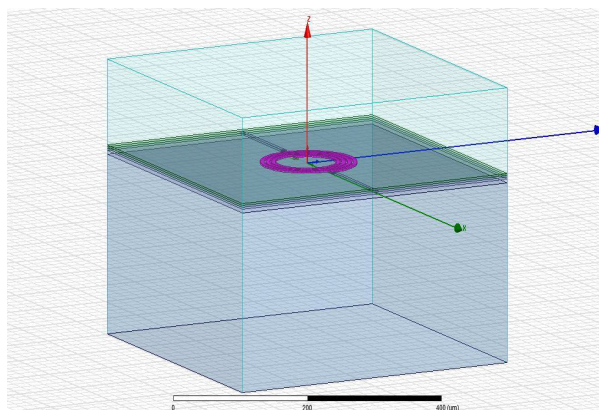
Performanse kalemova određuju performanse svih UWB kola, pošto oni određuju širokopojasnu funkciju. Iz tog razloga, modeli kalemova u korišćenju UMC tehnologiji su provereni elektromagnetskim simulatorima, *Ansys HFSS* (3D) i *ADS* (engl. *Advanced Design System*) *Momentum* (2,5D). *Momentum* rešava polja na bazi metode momenata (engl. *method of moments*), dok *HFSS* koristi metod konačnih elemenata (engl. *finite element method*). *Momentum* omogućuje bržu proveru performansi kalemova, pošto zahteva značajno manje memorije i ima kraće vreme simulacije u odnosu na *HFSS*. *Momentum* se može koristiti za modelovanje samo planarnih struktura, dok se *HFSS* može koristiti za modelovanje bilo koje 3D geometrije (npr. žica za povezivanje čipa sa kućištem).

Elektromagnetske simulacije zahtevaju značajne memorijske i procesorske resurse. Iz tog razloga, uvedena su dva pojednostavljena, pojednostavljena struktura dielektrika i pojednostavljena vija. Iznad poslednjeg sloja za zaštitu je vazduh.

Slika 16 prikazuje postavku simuliranog kalema u oba alata. Slika 17 prikazuje vrednosti induktivnosti i Q faktora planarnog kalema L_CR20K_RFVIL ($D = 150 \mu\text{m}$ $W = 6 \mu\text{m}$ $S = 2.5 \mu\text{m}$, $n = 3.5$). Slika 18 i Slika 19 prikazuju rezultate simulacija u alatima *Momentum* i *HFSS*, respektivno. Uporednom analizom se može potvrditi dobro slaganje simuliranih rezultata sa modelima PDK-a (engl. *Process Design Kit*).

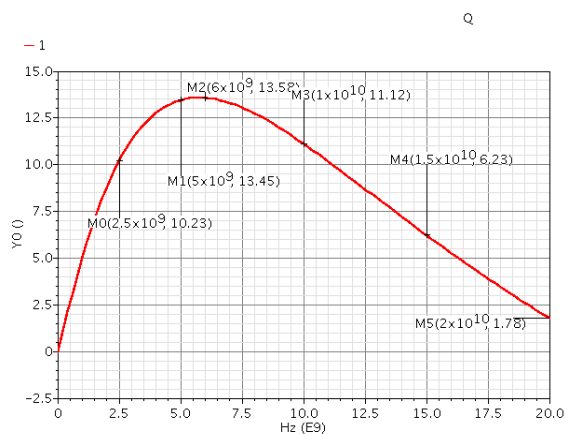


(a)

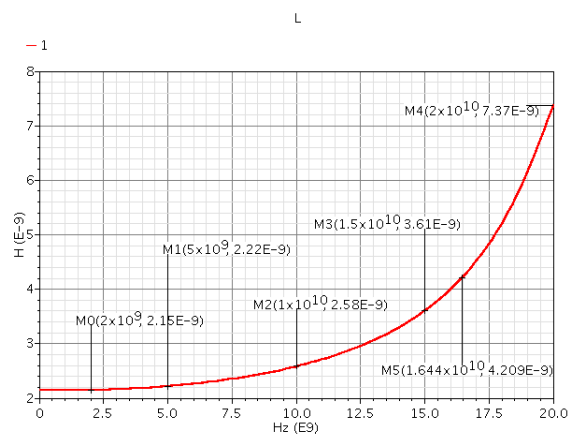


(b)

Slika 16 Lejaut kalema u a) *Momentum*-u i b) *HFSS*-u



(a)

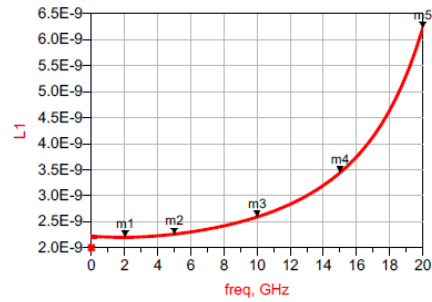
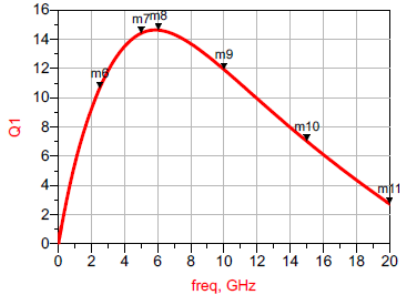


(b)

Slika 17 a) Q faktor kalema i b) vrednost induktivnosti kalema dostupnih u PDK

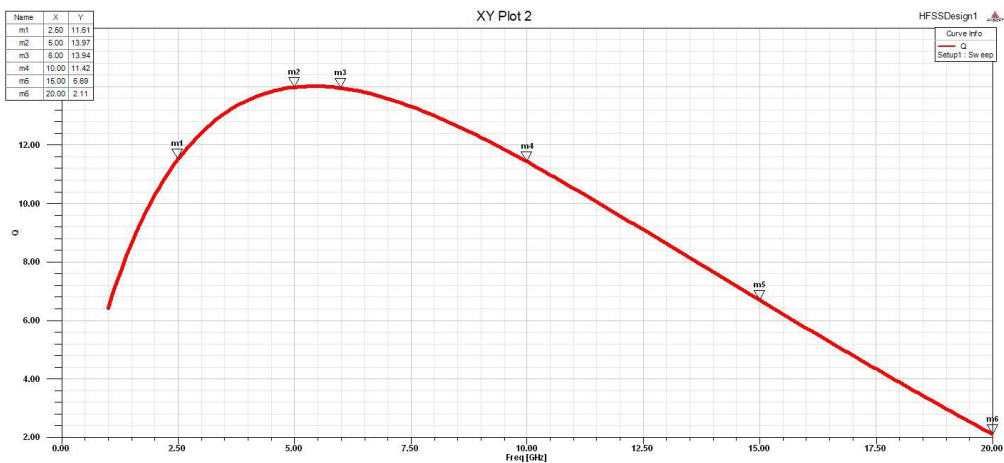
m8 freq=6.04GHz Q1=14.62	m11 freq=20.0GHz Q1=2.74
m7 freq=5.00GHz Q1=14.41	m10 freq=15.0GHz Q1=7.03
m6 freq=2.50GHz Q1=10.65	m9 freq=10.0GHz Q1=11.93

m3 freq=10.0GHz L1=2.59E-9	m5 freq=20.0GHz L1=6.22E-9
m2 freq=5.00GHz L1=2.26E-9	m4 freq=15.0GHz L1=3.44E-9
m1 freq=2.03GHz L1=2.20E-9	

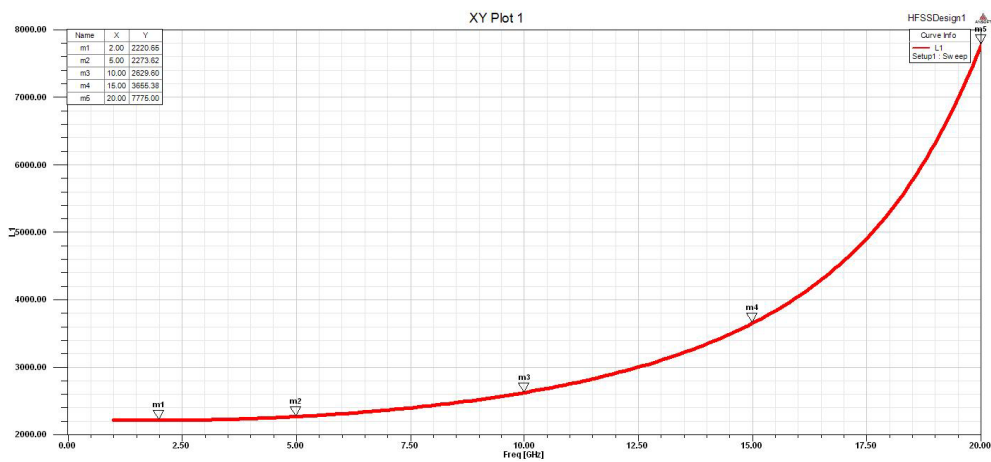


(a)

(b)

Slika 18 a) Q faktor kalema i b) vrednost induktivnosti kalema dobijenih u *Momentumu*

(a)



(b)

Slika 19 a) Q faktor kalema i b) vrednost induktivnosti kalema dobijenih u *HFSS*-u

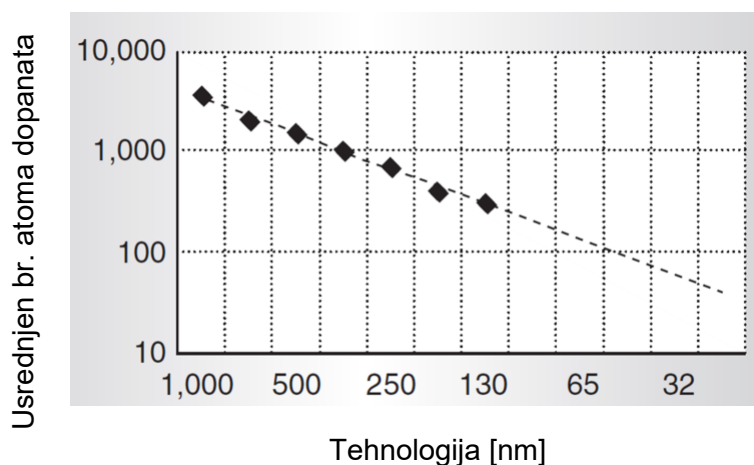
7.5. MOS tranzistori

Varijacija MOSFET-ova, kao najkompleksnijih komponenti u CMOS fabrikacionom procesu, uzrokovana je varijacijom debljine oksida, koncentracije dopiranja i profila u kanalu i regionu sorsa i drejna, kao i usled varijacije širine i dužine tranzistora [62].

U tehnologijama ispod 0,1 μm , varijacija dopiranja i uslova fabrikovanja polisilicijumskog gejta i njegov interfejs sa oksidom, značajno mogu uticati na varijaciju električnih parametara, i to efektivne debljine oksida, naelektrisanja na interfejsu i pokretljivosti nosilaca [62].

Sa smanjenjem koncentracije dopiranja polisilicijuma gejta, kapacitivnost gejta se smanjuje [42],[71]-[75] što je posledica formiranja oblasti osiromašenja blizu polisilicijumskog spoja [42],[71]. Varijacija napona praga nastaje između ostalog i usled devijacija gustine površinskih naelektrisanja [42],[76]. Varijacija napona praga je uzrokovana i slučajnom fluktuacijom koncentracije dopanata, kao posledice konačnog broja atoma dopanata u kanalu tranzistora [42],[77]-[85]. Slučajna varijacija koncentracije dopanata se preslikava u neuparenost vrednosti napona praga tranzistora [42],[86]-[88]. Slika 20 pokazuje da za tehnologije ispod 32 nm, red veličine broja atoma dopanata u kanalu pada na 10.

Varijacija dužine kanala i napona praga tranzistora, vode do varijacije struje curenja tranzistora [42],[77]. Napomenimo da struje curenja drastično rastu sa temperaturom.



Slika 20 Skaliranje srednjeg broja atoma dopanata u kanalu sa tehnologijom [42],[79]

Performanse većine analognih kola se oslanjaju na karakterisanje uparivanja MOSFET-ova. Za razliku od 0,5 μm i viših tehnologija, kod 130 nm i nižih tehnologija se moraju razmatrati dodatni faktori koji utiču na uparenost tranzistora [62].

Najčešće, neuparenost tranzistora se modeluje preko dva faktora – neuparenosti napona provođenja i neuparenosti strujnog faktora [62]. Pretpostavljajući da su ova dva faktora nekorelisana, mogu se izvesti jednačine za neuparenost struje i neuparenost napona gejta dva tranzistora u saturaciji.

Normalizovana varijacija neuparenosti struje dva tranzistora u strujnom ogledalu se može izraziti kao:

$$\frac{\sigma^2(\Delta I_D)}{I_D^2} = \frac{\sigma^2(\Delta\beta)}{\beta^2} + \left(\frac{g_m}{I_D}\right)^2 \sigma^2(\Delta V_{th}), \quad (7.9)$$

gde su V_{th} , β , I_D i g_m napon provođenja, strujni faktor, struja drejna i transkonduktansa tranzistora, respektivno. Na osnovu jednačine (7.9), zaključuje se da ako je potrebno upariti struje tranzistora, poželjno je tranzistore polarisati u jakoj inverziji.

Dodatno, može se pokazati da je varijacija neuparenosti napona gejta (V_G) ulaznih tranzistora diferencijalnog para:

$$\sigma^2(\Delta V_G) = \sigma^2(\Delta V_{th}) + \left(\frac{I_D}{g_m}\right)^2 \frac{\sigma^2(\Delta\beta)}{\beta^2}, \quad (7.10)$$

Na osnovu jednačine (7.10), može se zaključiti da je tranzistore diferencijalnog para potrebno projektovati da rade u slaboj inverziji kako bi ofset diferencijalnog pojačivača bio manji.

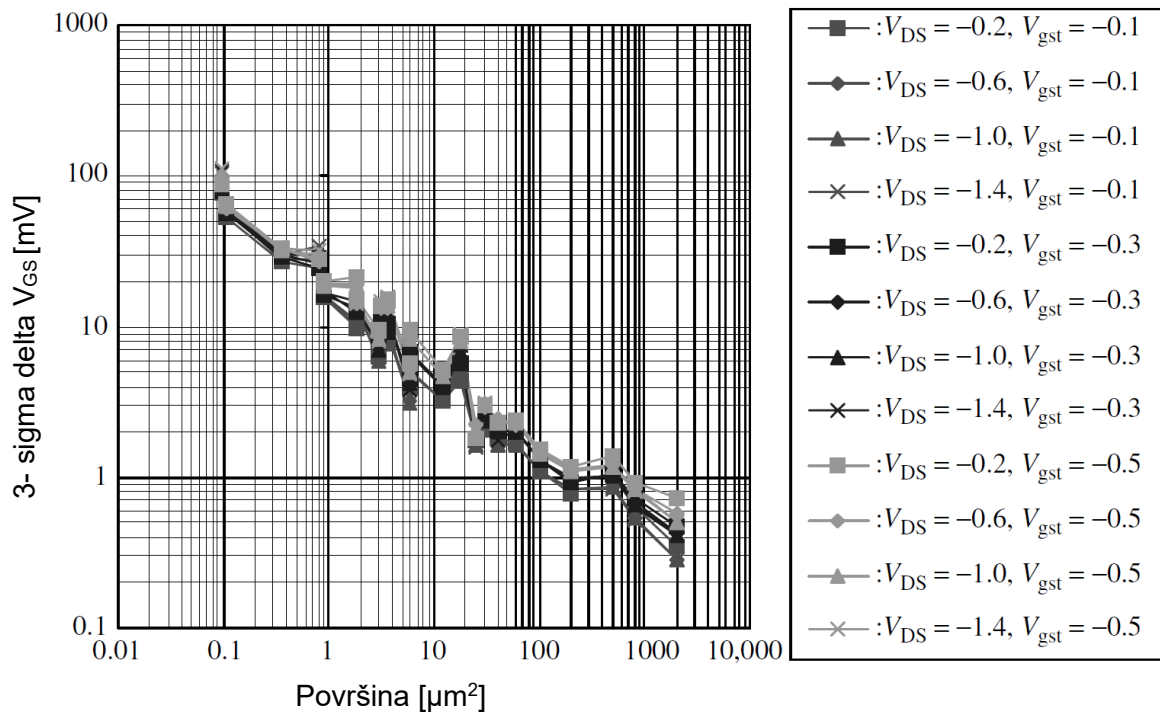
Tabela 5 prikazuje devijaciju napona provođenja MOS tranzistora normalizovanu na napon provođenja (V_{th}) u različitim tehnologijama [1],[89].

Tabela 5 Varijacija napona provođenja u različitim tehnološkim procesima [1],[89]

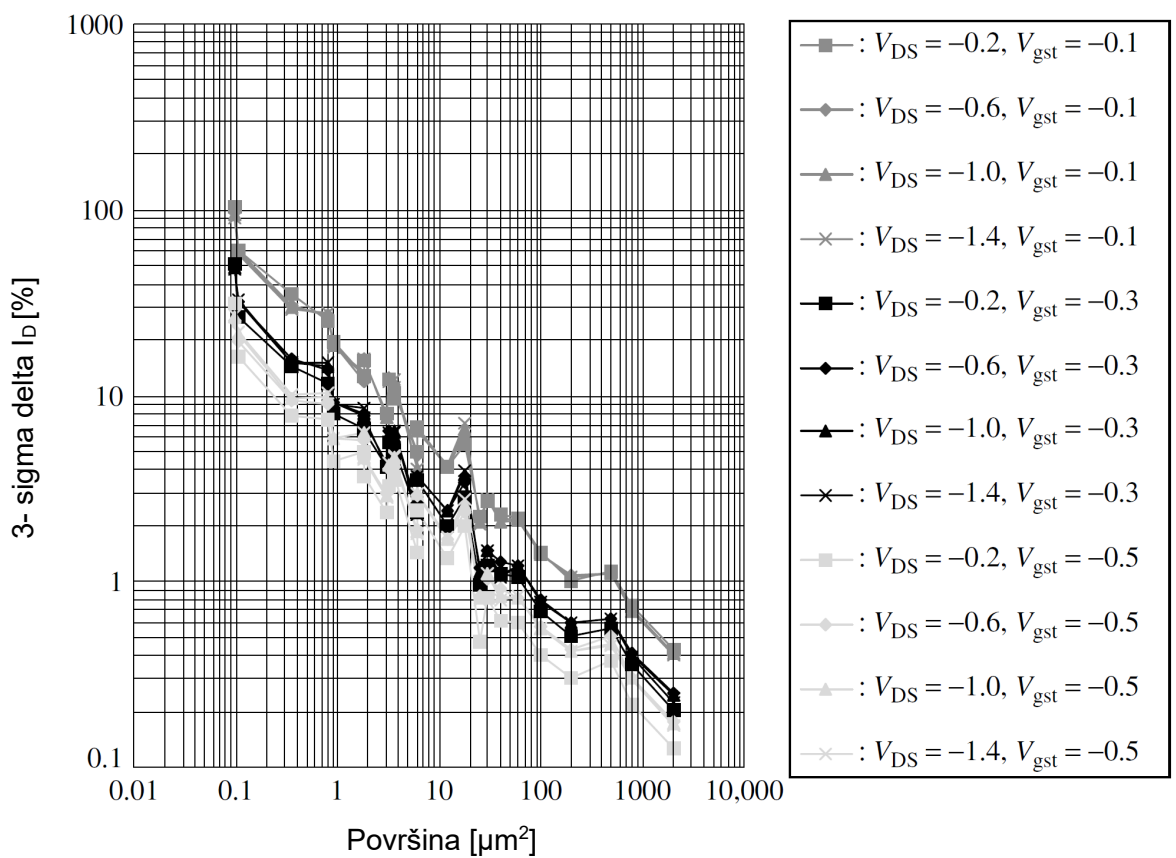
Tehnološki čvor	250 nm [%]	180 nm [%]	130 nm [%]	90 nm [%]	65 nm [%]	45 nm [%]
$\sigma(V_{TH})/V_{TH}$	4,7	5,8	8,2	9,3	10,7	16

Dodatno DIBL (engl. *Drain Induced Barrier Lowering*) efekat u slučaju velikog drejn sors napona utiče na varijaciju napona praga kao što je na primeru 65 nm prikazano u [1],[90]. DIBL efekat moduliše efektivnu dužinu kanala, i samim tim je izraženiji u nižim tehnološkim čvorovima.

Slika 21 i Slika 22 prikazuju rezultate merenja 3σ varijacije napona V_{gs} i struje drejna PMOS tranzistora u 180 nm CMOS tehnologiji.



Slika 21 Rezultati merenja 3σ neuparenosti V_{gs} napona kod PMOSFET-a u 180 nm CMOS tehnologiji [62],[64]



Slika 22 Rezultati merenja 3σ neuparenosti struje drejna kod P- kanalnog MOSFET-a u 180 nm CMOS tehnologiji [62],[64]

8. Osnove UWB sistema i projektovanje jednostavnog UWB UB predajnika

U ovom poglavlju, dat je kratak pregled osnovnih osobina UWB sistema i predložen postupak projektovanja UWB UB predajnika sa stanovišta sistema. Identična analiza se može primeniti i na LB UWB predajnik. U projektovanju je razmatran UB sa stanovišta sistema iz razloga provere ostvarivosti specifikacija u izabranoj tehnologiji pošto je specifikacije blokova teže postići na višim učestanostima.

8.1. UWB sistemi

UWB sistemi proizvode na izlazu predajnika brze, kratke električne impulse širokog spektra. Obično se koriste u WPAN (engl. *Wireless Personal Area Network*) mrežama, za prenos podataka do ~ 10 m razdaljine [91],[92]. UWB tehnologija se pokazala kao pogodna za bežične senzorske mreže zbog dobre rezolucije u vremenskom domenu, koja dozvoljava preciznu lokaciju i praćenje, zbog koegzistencije sa drugim uskopojasnim sistemima, a i niske potrošnje i mogućnosti jeftine realizacije na čipu [93]. UWB signal je bilo koji signal koji pripada frekvencijskom opsegu 3,1 GHz – 10,6 GHz ili opsegu ispod 1 GHz (centralna učestanost na 499,2 MHz) sa spektrom širim od 500 MHz. UWB komunikacija se može ostvariti impulsno, kada je pokriven ceo opseg, ili putem sistema sa više definisanih podopsega (engl. *multiband*). Impulsni sistemi su zasnovani na prenosu kratkih impulsa, obično kraćih od 1 ns, što odgovara frekvencijskom opsegu preko 1 GHz. U zavisnosti od vrste modulacije, u impulsnim sistemima informacija je sadržana u amplitudi, fazi ili poziciji impulsa. Modulacija signala je u osnovnom opsegu (engl. *base band*). Sistemi sa više definisanih podopsega, kao što sam naziv kaže, zauzimaju više frekvencijskih opsega (npr. 528 MHz širine po opsegu [92],[94]). Svaki od ovih UWB signala se može modulirati zasebno, odgovarajućim digitalnim tehnikama modulacije, npr. OFDM (engl. *Orthogonal Frequency Division Multiplexing*), čime se postiže veoma visoka brzina prenosa podataka, i do 480 Mbps [92].

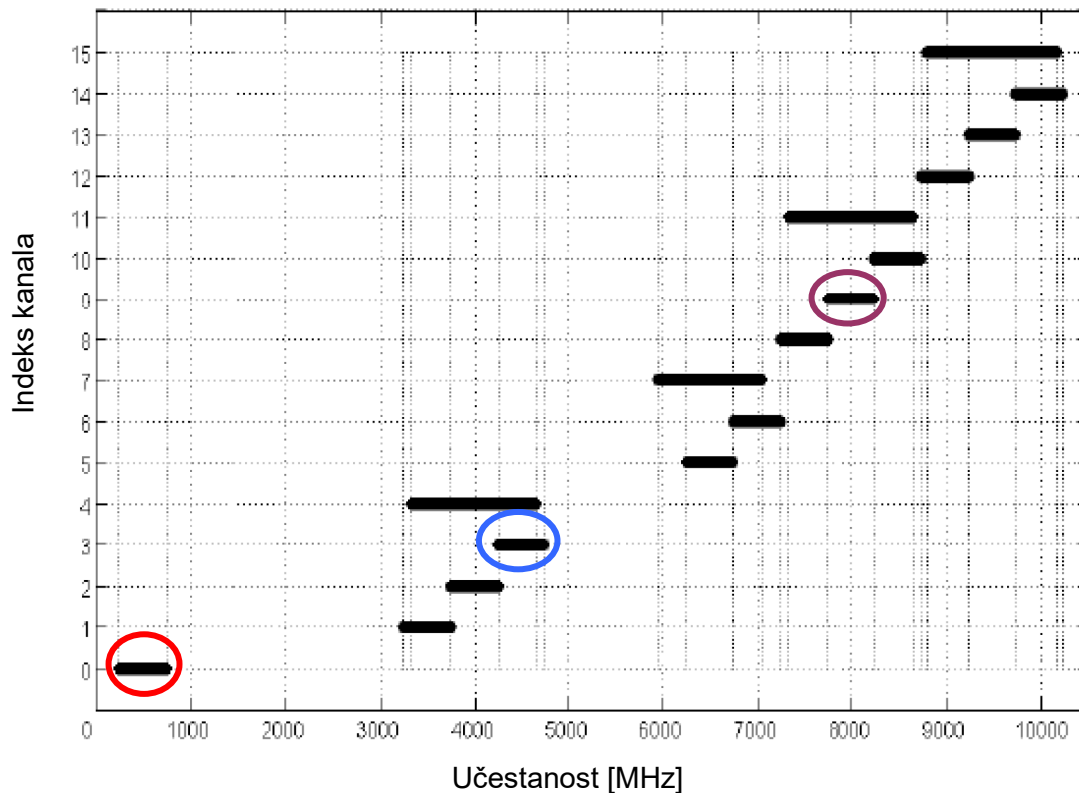
Sistemi sa više definisanih podopsega i impulsni UWB sistemi za komunikaciju male brzine su definisani IEEE 802.15-4a standardom. Detaljne specifikacije fizičkog sloja predajnika su date u nacrtu standarda [95].

Postoje 3 dostupna frekvencijska opsega [95]:

- opseg ispod 1 GHz, koji se sastoji od jednog kanala u frekvencijskom opsegu od 249,6 MHz do 749,6 MHz,
- niži opseg, koji se sastoji od četiri kanala u frekvencijskom opsegu između 3,1 GHz do 4,8 GHz,
- viši opseg, koji se sastoji od jedanaest kanala u frekvencijskom opsegu od 6 GHz do 10,6 GHz.

Svaki od opsega sadrži obavezni kanal, kanal Ch0 u opsegu ispod 1 GHz, Ch3 u nižem opsegu, Ch9 u višem opsegu. Jedan opseg sa mandatornim kanalom je obavezan, dok su ostali kanali u istom opsegu opcioni.

Slika 23 prikazuje frekvencijske opsege sa označenim obaveznim kanalima.



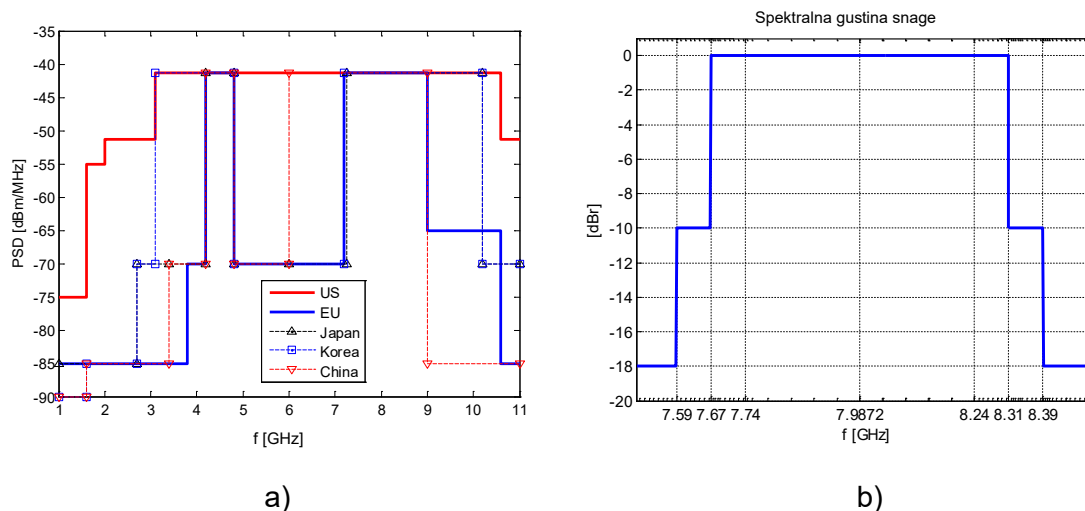
Slika 23 UWB PHY (engl. *Physical Layer*) prikaz definisanih podopsega [95]

Prema regulativama savezne komisije za komunikacije Sjedinjenih Američkih Država FCC (engl. *Federal Communication Commission*), specificirana maksimalna efektivna izotropska spektralna gustina snage, EIRP (engl. *Effective Isotropic Radiated Power*) PSD (engl. *Power Spectral Density*), UWB signala je $-41,3$ dBm/MHz (Slika 24), dok se ukupna snaga izlaznog signala kreće od $-14,3$ dBm za minimalnu širinu kanala od 500 MHz do $-2,6$ dBm za čitav dozvoljeni frekvencijski opseg.

Prema Šenon-Hartlijevoj teoremi [96], kapacitet komunikacionog kanala se može predstaviti:

$$C = BW \log_2 \left(1 + \frac{S}{N} \right), \quad (8.1)$$

gde je C kapacitet kanala u bitima po sekundi, BW je propusni opseg kanala, S je srednja snaga primljenog signala u opsegu od interesa, dok je N srednja snaga šuma i smetnji u opsegu od interesa. Pošto je kapacitet kanala proporcionalan propusnom opsegu, a logaritamski zavisn od primljene snage, UWB sistemi su jako pogodni za sisteme sa velikom brzinom prenosa podataka.



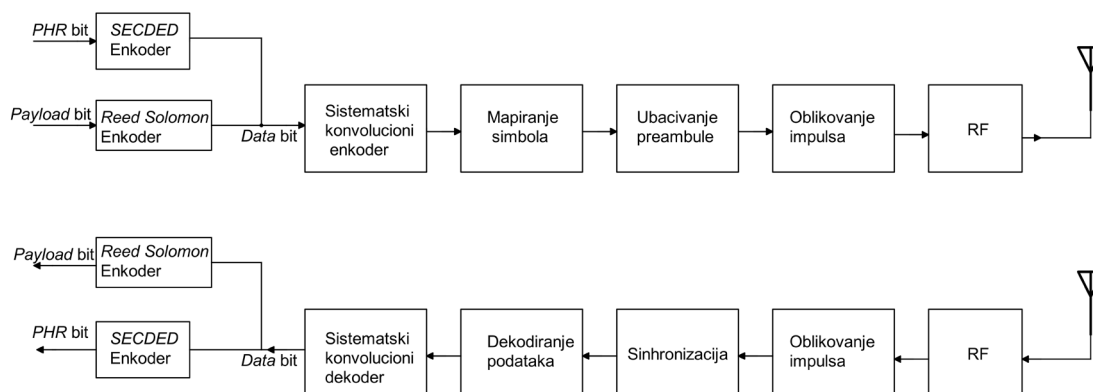
Slika 24 a) FCC dozvoljena emisija za UWB sistem, b) maska za obavezan kanal 9 višeg UWB opsega, u dB relativno u odnosu na maksimalnu spektralnu gustinu signala [7]

UWB sistemi dozvoljavaju jednostavnu implementaciju uz nisko ometanje ostalih sistema. Za maksimalno iskorišćenje UWB sistema, ipak su neophodne zahtevnije tehnike kola.

Signali širokog spektra su imuni na uskopojasne interferencije, po cenu potrebnih većih primopredajnih mogućnosti. UWB signal nalik šumu u vremenskom i frekvencijskom domenu se može postići posebnim modulacionim šemama i PN (engl. *Pseudo Noise*) sekvencama. Kao što samo ime kaže, ove sekvence su nalik šumu i služe za proširenje spektra signala. PN sekvence su pak deterministički i periodični signali. Signali široki u spektru su imuni na presretanje signala, i imaju bolju spektralnu efikasnost po cenu komplikovanije sinhronizacije na prijemu. Sve to čini UWB sisteme jako pogodnim u aplikacijama koje zahtevaju visok nivo bezbednosti, poput vojnih i automobilskih.

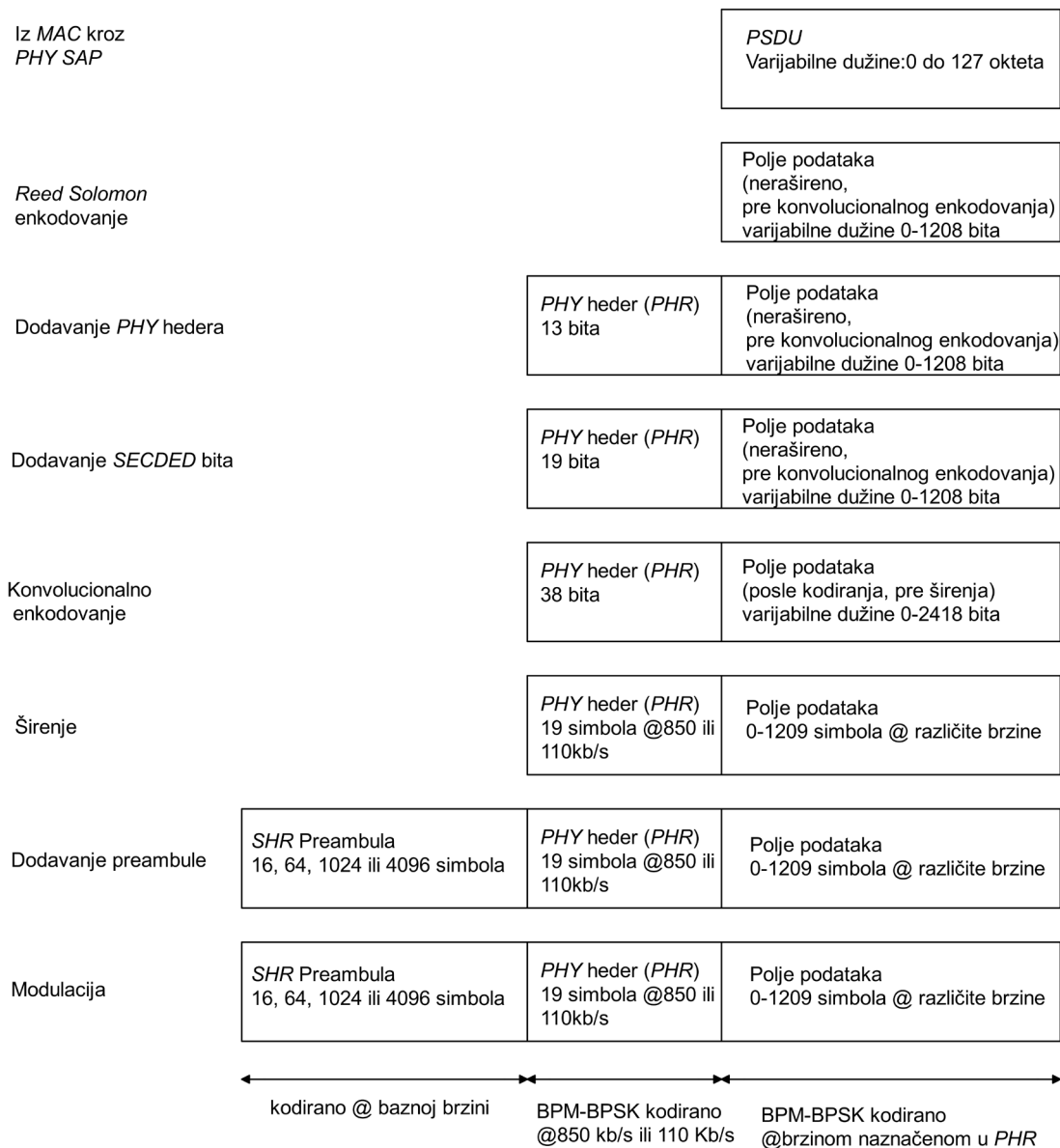
Dodatno, ponavljanjem impulsa (engl. *Pulse Repetition Frequency - PRF*) smanjuju se zahtevi za maksimalnu vršnu snagu, koja je ograničena maksimalnim naponom tehnologije, po cenu smanjenja kapaciteta sistema.

Slika 25 prikazuje korake korišćene za kreiranje i modulisanje UWB PHY paketa [95].



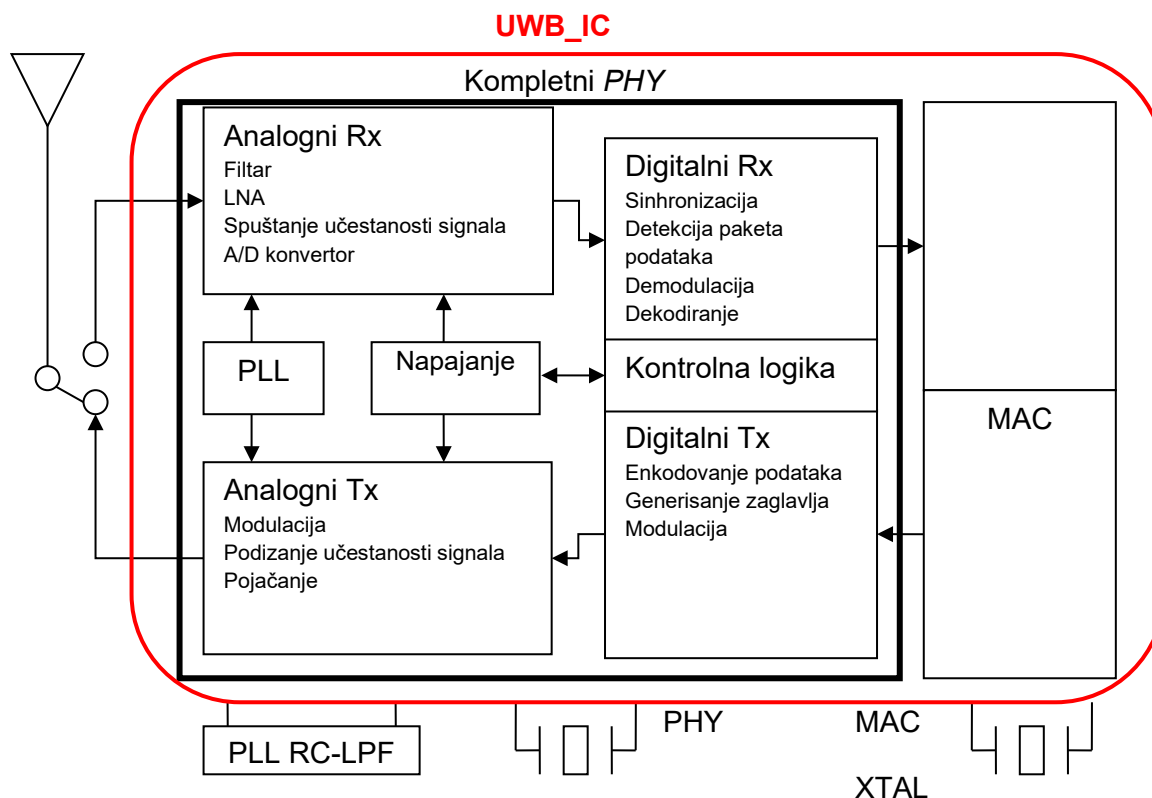
Slika 25 UWB PHY tok signala [95]

Svaki paket podataka se sastoji od sinhronizacionog zaglavlja (engl. *Synchronisation Header* – SHR) kojeg čine preambula i *Start Frame Delimiter*, fizičko zaglavlje (*PHY header (PHR)*) i polje podataka sačinjeno od paketa korisničkog podatka fizičkog sloja, *PSDU* (engl. *Physical layer Service Data Unit*), Slika 26.



Slika 26 UWB PDU proces kodiranja [95]

Slika 27 prikazuje UWB blok diagram. PHY deo se sastoji od digitalnog i analognog/RF dela, PLL-a, bloka za kontrolu potrošnje i kontrolne logike.



Jedan od glavnih parametara UWB komunikacionih sistema jeste ostvariva razdaljina komunikacije koja zavisi od:

- izlazne snage predajnika,
- zahtevane BER (engl. *Bit Error Rate*) vrednosti na ulazu prijemnika za odgovarajući kvalitet prijema,
- pojačanja antene i slabljenja komunikacionog kanala.

BER prijemnika za izabranu modulaciju određen je odnosom signal/šum na izlazu prijemnika. BER je srednji odnos pogrešno detektovanih simbola ili bita prema ukupnom broju primljenih simbola ili bita. Za svaku modulaciju, u literaturi se može pronaći zavisnost BER od E_b/n_0 (odnosa energije po bitu i jednostrane vrednosti gustine termičkog šuma [W/Hz]), gde je E_b/n_0 dato sledećom relacijom:

$$\frac{E_b}{n_0} = SNR \frac{BW}{f_b}, \quad (8.2)$$

gde je SNR odnos signal/šum, BW propusni opseg kanala, a f_b je brzina bita (engl. *bit rate*) komunikacionog sistema.

Osetljivost prijemnika predstavlja minimalnu snagu signala na ulazu prijemnika iz koje se može ekstrahovati informacija za zadatu vrednost BER . Brzina prenosa podataka, maksimalni

komunikacioni domet, modulaciona šema, algoritmi kodiranja i dekodiranja, utiču na ovu vrednost.

Snaga signala između prijemne i predajne antene slabi sa kvadratom rastojanja. Snaga na prijemnoj anteni može biti izračunata korišćenjem Frisove jednačine:

$$P_{RX}[dBm] = P_{TX}[dBm] - 22 - 20 \log_{10} \frac{r}{\lambda} + g_{RX}[dBi] + g_{TX}[dBi], \quad (8.3)$$

gde su P_{TX} , P_{RX} snage signala na predajnoj i prijemnoj anteni, g_{TX}, g_{RX} pojačanje predajne i prijemne antene, r rastojanje između dve antene, λ talasna dužina učestanosti na kojoj se emituje signal.

Formula (8.3) važi u slučaju optičke vidljivosti između predajnika i prijemnika. Za slučajeve bez optičke vidljivosti između predajnika i prijemnika postoji više modela slabljenja kanala za različite aplikacije i jako zavisi od efekata različitih putanja prenosa između predajnika i prijemnika.

Tabela 6 prikazuje zahteve za UWB komunikacioni standard za prijemnik sa niskom brzinom prenosa podataka. Koegzistencija sa drugim komunikacionim standardima može biti specificirana u formi karakteristika velikih signala smetnji, koji sprečava (blokira) koristan signal, Tabela 7.

Tabela 6 Specifikacije za UWB LDR prijemnik (engl. *Low Data Rate* - sa malom brzinom prenosa podataka) [95]

Parametar	Vrednost
Modulacija	PPM (engl. <i>Pulse Position Modulation</i>)
BER	< 0,1%
Brzina podataka	110 kb/s
Propusni opseg u osnovnom opsegu	250 MHz
RF frekvencijski opseg	6 – 9 GHz
Minimalna razdaljina	> 0,5m
Maksimalna razdaljina	20 m
Pojačanje antene	0 dBi

Tabela 7 Veliki signali smetnji [95]

Interfereri			
Broj	Učestanost	Snaga	Razdaljina
1	0,9 GHz	30 dBm	30 m
2	1,7 GHz	30 dBm	30 m
3	2,5 GHz	30 dBm	30 m
4	5,8 GHz	30 dBm	30 m

Na osnovu specifikacija prijemnika (Tabela 6) i snage na predajniku, osetljivost prijemnika može biti izračunata pomoću formule (8.3):

$$Osetljivost = P_{RX} = -85 \text{ dBm}. \quad (8.4)$$

8.2. Projektovanje jednostavnog UWB UB predajnika niske potrošnje na sistemskom nivou

U ovom poglavlju je predloženo projektovanje jednostavnog UWB UB predajnika niske potrošnje.

Osnovni zahtevi UWB UB predajnika su:

- maksimalna izlazna snaga,
- tačnost modulacije, tj. odnos snage signala i zbira šuma i harmonijskog izobličenja (engl. *Signal to Noise and Distortion Ratio* - SNDR) u posmatranom slučaju,
- odnos snage signala u susednom kanalu i snage signala u glavnom kanalu (engl. *Adjacent Channel Power Ratio* - ACPR).

Izlazna snaga je određena učestanošću ponavljanja pulsa (engl. *Pulse Repetition Frequency* - PRF), širinom i ispunjenošću impulsa.

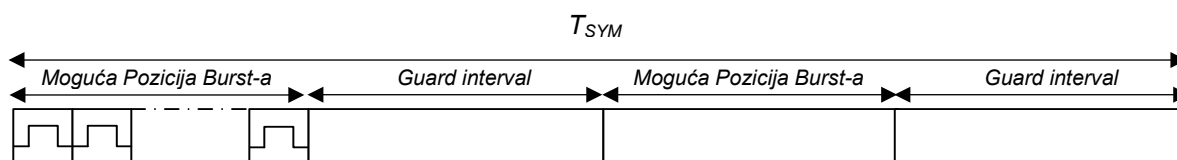
Tabela 8 prikazuje osnovne specifikacije predajnika sa niskom brzinom prenosa podataka.

Tabela 8 Osnovne specifikacije UWB predajnika

Naziv specifikacije	Minimalna Specifikacija	Komentar
Modulacija	PPM	Impulsna položajna modulacija
Frekvencijski opseg	6 – 9 GHz	Obavezni kanal na 8GHz
Frekvencijski opseg kanala BW	500 MHz	
Brzina podataka	110 kb/s	
Dužina impulsa	4 ns	50% ispunjenost pulsa
Maksimalna srednja izlazna snaga	-14 dBm	-8 dBm maksimalna
Emisija smetnji i šuma	Slika 24 a)	EU maska
ACPR [dBr]	-18	Slika 24 b)
SNDR	30 dB	Kako ne bi uticao na kvalitet prijema
Osnovni cilj	Niska potrošnja, jednostavna realizacija	

8.2.1. Struktura simbola

U korišćenoj binarnoj impulsno-položajnoj modulacionoj šemi (engl. *Binary Pulse Position Modulation* - BPPM), prenosi se jedan bit informacije po simbolu. Informacija je određena pozicijom impulsa. Svaki simbol je podeljen na dva jednaka intervala trajanja $T_{SYM}/2$, što omogućuje binarnu impulsnu modulaciju. Niz impulsa (engl. *burst*) je sačinjen od grupisanja N_{cpb} impulsa, dužine $T_{burst}=T_{SYM}/4$, jednačina (8.5). U zavisnosti od vrednosti bita koji se prenosi, pozicija niza impulsa je ili u prvoj ili u trećoj četvrtini trajanja simbola. Druga i četvrta četvrtina simbola su zaštitni intervali, koji smanjuju problem sa više putanja signala. Impuls ima pravougaoni oblik sa 50 % ispunjenosti i trajanjem od $T_{pulse} = 4$ ns. Slika 28 prikazuje strukturu simbola.



Slika 28 Stuktura simbola

$$N_{cpb} = \frac{1}{4} \frac{1}{Data_rate} \frac{1}{T_{pulse}}. \quad (8.5)$$

Prijemnik donosi odluku na osnovu razlike energije primljene u prvoj i trećoj četvrtini simbola, tako da će interferencija biti poništena ukoliko je prisutna u oba intervala u normalnom modu prijema, tj. ako prijemnik nije u zasićenju (snaga signala interferera i korisnog signala su u okviru dinamičkog opsega prijemnika).

Sinhronizacija je obično ustanovljena preko prenosa niza "1", koja je rezervisana i čija se dužina definiše za konkretan slučaj.

8.2.2. Pojačanje

Pošto se signal šalje tokom jedne četvrtine perioda simbola, a spektralna maska odgovara usrednjenoj vrednosti dozvoljene spektralne gustine signala, maksimalna snaga koja je dozvoljena da se prenosi u 500 MHz je:

$$P_{out_peak} = -41,3dBm/MHz + 10 \log(500) + 10 \log(4) \approx -8dBm, \quad (8.6)$$

Pošto je zahtevana izlazna snaga predajnika relativno mala, pojačanje predajnog lanca ne bi trebalo da bude kritičan parametar i predajnik se može realizovati u niskim tehnologijama.

8.2.3. Linearnost

Nelinearnost sistema se može opisati razvojem ulazno-izlazne karakteristike u Tejlorov red, koji jednostavnim proračunom daje uvid u harmonijska izobličenja signala:

$$v_{OUT} = a_1 v_{IN} + a_2 v_{IN}^2 + a_3 v_{IN}^3. \quad (8.7)$$

Pretpostavimo da je na ulazu sistema sinusoidalni signal $v_{IN} = A \cos(\omega t)$. U tom slučaju, izlazni signal se može predstaviti kao:

$$v_{OUT} = \frac{a_2 A^2}{2} + \left(a_1 A + \frac{3a_3 A^3}{4} \right) \cos(\omega t) + \frac{a_2 A^2}{2} \cos(2\omega t) + \frac{a_3 A^3}{4} \cos(3\omega t). \quad (8.8)$$

Proizvodi koji se javljaju na harmonicima osnovnog signala predstavljaju harmonijska izobličenja.

Harmonijska distorzija drugog reda se definiše kao odnos amplitude drugog harmonika i amplitude osnovnog harmonika:

$$HD2 = \frac{a_2}{2a_1} A. \quad (8.9)$$

Pretpostavimo sada da na ulazu sistema imamo sada dva sinusoidalna signala relativno bliskih učestanosti, $v_{IN} = A_1 \cos(\omega_1 t) + A_2 \cos(\omega_2 t)$. U tom slučaju, izlazni signal će biti:

$$\begin{aligned} v_{OUT} = & a_1(A_1 \cos(\omega_1 t) + A_2 \cos(\omega_2 t)) + a_2 A_1 A_2 \cos(\omega_1 - \omega_2)t \\ & + a_2 A_1 A_2 \cos(\omega_1 + \omega_2)t + \frac{3a_3 A_1^2 A_2}{4} \cos(2\omega_1 - \omega_2)t \\ & + \frac{3a_3 A_2^2 A_1}{4} \cos(2\omega_2 - \omega_1)t + \dots \end{aligned} \quad (8.10)$$

Harmonijska izobličenja na $\omega_1 \pm \omega_2$ se nazivaju intermodulacioni proizvodi drugog reda, dok su harmonijska izobličenja na $2\omega_1 - \omega_1$ i $2\omega_1 - \omega_2$ intermodulacioni proizvodi trećeg reda, koji se mogu naći jako blizu korisnog signala.

Pretpostavljajući da je $A_1 = A_2 = A$ nelinearnost drugog reda (u voltima) se definiše kao amplituda ulaznog signala za koju se ekstrapolirane krive osnovnog harmonika i intermodulacionog izobličenja drugog reda seku:

$$IIP2 = \left| \frac{2a_1}{a_2} \right|. \quad (8.11)$$

Slično se može definisati i intermodulacioni proizvod drugog, reda koji se nalazi na učestanosti $\omega_2 \pm \omega_1$, normalizovan na amplitudu osnovnog harmonika:

$$IM2 = \frac{a_2}{a_1} A. \quad (8.12)$$

Dualno, nelinearnost trećeg reda se definiše kao amplituda ulaznog signala za koju se ekstrapolirane krive osnovnog harmonika i harmonika trećeg reda seku:

$$A_{IIP3} = \sqrt{\frac{4}{3} \left| \frac{a_1}{a_3} \right|}. \quad (8.13)$$

Intermodulacioni proizvod trećeg reda koji se nalazi na učestanosti $2\omega_2 - \omega_1$, normalizovan na amplitudu osnovnog harmonika, iznosi:

$$IM3 = \frac{3a_3}{4a_1} A^2. \quad (8.14)$$

Zahteve za linearnost UWB signala je teško postaviti. Definicija IIP2 and IIP3 signala se odnosi na uskopojasne signale, dok se za UWB signale nelinearnost tačnije procenjuje pomoću X parametara. Za širokopojasne signale, najznačajnija je nelinearnost trećeg reda. Tačke preseka intermodulacionih proizvoda drugog i trećeg reda predimenzioniraju zahteve za linearnost UWB signala. Ipak, dovoljno su tačne za pružanje uvida u lineranost predajnika, a

zbog mogućnosti jednostavnije računice su i korišćene u analizi. Proračun je potvrđen sistemskim simulacijama, priloženim u nastavku teksta.

Nelinearnost drugog reda u proračunu nije razmatrana, obzirom da su harmonijska izobličenja drugog reda značajno potisnuta korišćenom diferencijalnom arhitekturom predajnika i filtrom na izlazu predajnika, kao što je u nastavku teksta objašnjeno. Zahtevi za linearnost trećeg reda su izvedeni iz specifikacija standarda za dozvoljenu emisiju van opsega i emisiju u susedni kanal.

Rigorozniji zahtev je određen emisijom van opsega, jednačina (8.15):

$$OIP3 = P_{out} - \frac{IM3_{max}|_{dB}}{2}, \quad (8.15)$$

i iznosi $OIP3 \approx 11\text{dBm}$.

8.2.4. Arhitektura predajnog lanca

Diferencijalna arhitektura sa direktnom konverzijom (engl. *zero IF*) je izabrana. U ovoj arhitekturi učestanost nosioca signala (lokalnog oscilatora u množačima) je ista kao i učestanost RF signala koji se emituje na izlazu predajnika. Izlazni signal sadži najmanje smetnji u poređenju sa ostalim arhitekturama i nema potrebe za pravljenjem frekvencijskog plana. Diferencijalna arhitektura je poželjna u RF aplikacijama. Značajna osobina diferencijalnih topologija jesu povratne putanje struja, koje su u ovom slučaju poznate i paraziti povratnih putanja struja mogu se simulirati sa velikom tačnošću. Ova arhitektura izbegava probleme povezane sa preslušavanjem supstrata, koji su izraženi u topologijama sa nebalansiranim signalom na izlazu. Drugi razlog je potreba za diferencijalnim signalom na ulazu dvostruko balansirano miksera.

Predajnici sa direktnom konverzijom zahtevaju PLL, koji radi na višim učestanostima u odnosu na predajnike sa višestrukou konverzijom. U drugom slučaju je potrebno bar dva LO (engl. *Local Oscillator*) signala. Korišćena tehnologija podržava UWB UB predajnike sa direktnom konverzijom.

Slika 29 prikazuje jednostavnu arhitekturu predajnika. Tabela 9 daje specifikacije blokova zasnovane na ostvarivim performansama u izabranom CMOS 130 nm procesu.

Detektor snage (engl. *Power Detector* - PD) kontroliše vrednost izlazne snage. Vreme reakcije detektora snage je 1 μs . Na osnovu izmerene snage detektor uključuje ili isključuje pojačavač snage (engl. *Power Amplifier* - PA). U slučaju emitovanja izlazne snage nekoliko nivoa, PD proverava da li je izlazna snaga dostigla željeni nivo.

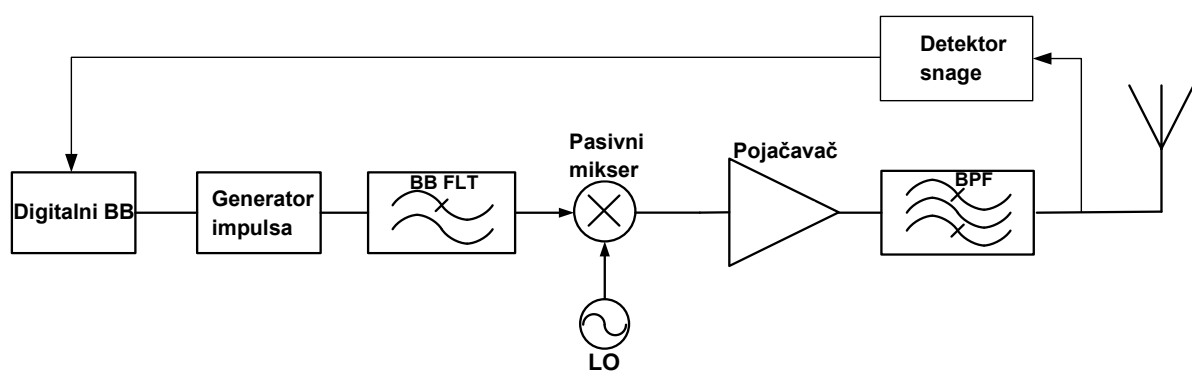
Niskopropusni filter u osnovnom opsegu (engl. *Base Band Filter* - BB FLT) otklanja visoko frekvencijski sadržaj signala na izlazu generatora impulsa. U fazi projektovanja na sistemskom nivou je pretpostavljeno da svi stepeni imaju prilagođene impedanse.

Pošto je zahtevani nivo izlazne snage nizak, pasivni mikser je izabran. Prednosti pasivnog miksera su nulta DC potrošnja, niži faktor šuma i bolja linearnost. Pasivni mikser je potrebno da bude dvostruko izbalansirani, kako bi potisnuo LO signal na svom izlazu. Pojačanje

pasivnog miksera je značajno određeno nivoom LO-a. Napomenimo da se slabljenje interkonekcija, a naročito između LO i miksera, mora detaljno optimizovati, i u skladu sa tim, pojačanje prilagoditi.

Razmatrana je amplituda impulsa od 250 mVpp na izlazu generatora impulsa na 150 Ω. U zavisnosti od generatora impulsa i realizacije aktivnog filtra, bafer na izlazu BB FLT se može dodati. Impedanse i naponski nivoi IF (engl. *Intermediate Frequency*) stepena mogu biti modifikovani u zavisnosti od potreba miksera.

Za sinusni signal uz gore navedene pretpostavke, snaga prvog harmonika na ulazu odgovara -13 dBm, odnosno -11 dBm na izlazu. Izlazni spektar signala sadrži 2 signala te amplitude oko nosioca, tako da ukupna izlazna snaga odgovara -8 dBm.



Slika 29 Predajni lanac na nivou blokova

Tabela 9 Performanse osnovnih blokova predajnog lanca

Funkcionalni blok	Impulsi generator	BB FLT	Mikser	PA	BPF
Pojačanje snage [dB]		0	-6	10	-2
Pout [dBm]	-13	-13	-19	-9	-11
Vout [Vp-p]	0,25@150 Ω				
NF [dB]		10	10	10	2
IIP3 [dBm]		10	10	7	

Prema jednačini (8.16) sa predloženom arhitekturom se postiže IIP3 od 6 dBm, odnosno OIP3 8 dBm, što je manje od gore zahtevane, ali dovoljno dobro, s obzirom na pretpostavke i to da će izlazni filter dalje potisnuti emisiju smetnji:

$$P_{IIP3} = \frac{1}{\frac{1}{P_{IIP3,1}} + \frac{g_1}{P_{IIP3,2}} + \frac{g_1 g_2}{P_{IIP3,3}} + \frac{g_1 g_2 g_3}{P_{IIP3,4}}} \text{ mW.} \quad (8.16)$$

Pošto je OP1dB manja od OIP3 približno 10 dB, dobija se da je $P_{1-dB} \approx -2$ dBm, što je značajno veće od maksimalne vršne izlazne snage (-8 dBm).

8.2.5. Šum

Spektralna gustina šuma na izlazu predajnika (P_{N_out}) se može izračunati na sledeći način, koristeći se Frisovom formulom za kaskadno vezane blokove u predajnom lancu [92]:

$$F_{Tx} = F_1 + \frac{F_2 - 1}{g_1} + \frac{F_3 - 1}{g_1 g_2} + \frac{F_4 - 1}{g_1 g_2 g_3}, \quad (8.17)$$

$$P_{N_out} = kT_0 \cdot g_{Tx} \cdot F_{Tx}, \quad (8.18)$$

gde je F_i faktor šuma i-tog stepena, g_i pojačanje i-tog stepena dok je F_{Tx} ekvivalentan faktor šuma predajnika.

8.2.6. Sveukupni odnos signala i šuma na izlazu predajnika- SNDR

Odnos signala i šuma u predajniku je određen:

- šumom komponenti,
- konačnom linearnošću,
- faznim šumom,
- curenjem LO signala usled konačne izolacije.

Šum lokalnog osilatora i LO curenje na izlazu miksera nisu razmatrani u ovoj fazi sistemskog projektovanja, pošto nisu poznati. Trebalo bi imati u vidu da LO curenje može predstavljati značajan problem, ali postoji nekoliko načina kako bi se prevazišlo. Sam problem je potrebno preispitati tokom realizacije.

Šum koji potiče od konačne linearnosti trećeg reda, može se izračunati pomoću jednačine (8.19). Jednačina se može predstaviti kao:

$$OIP3 = P_{out} - \frac{1}{2} (\text{Harmonijska izobličenja} - \text{Signal}), \quad (8.19)$$

Za $OIP3 = 8$ dBm i $P_{out} = -11$ dBm (-8dBm ukupna snaga signala) proračunati SNR (engl. *Signal to Noise Ratio*) samo usled nelinearnosti iznosi 38 dB, što je dominantan izvor šuma u predajniku.

Tabela 10 daje prikaz pojedinačnih izvora šuma koji utiču na parametar SNR. Uz navedene pretpostavke, sveukupni SNDR odnos odgovara 38 dB, što je bolje od zahtevanog (30 dB).

Tabela 10 Tx odnos signala i zbira šuma i harmonijskih izobličenja - SNDR

Naziv	Vrednost
Signal [dBm/Hz]	-95
Šum usled šuma samih komponenti [dBm/Hz]	$-174+2+17,4 = -154,6$
Šum usled konačne linearnosti [dBm/Hz]	$-95-38 = -133$
Ukupan šum [dBm/Hz]	-133
SNDR [dB]	38 (bez curenja LO)

8.2.7. Performanse predajnog lanca

Tabela 11 sumira sveukupne performanse predloženog Tx lanca.

Tabela 11 Performanse predloženog UWB UB predajnika

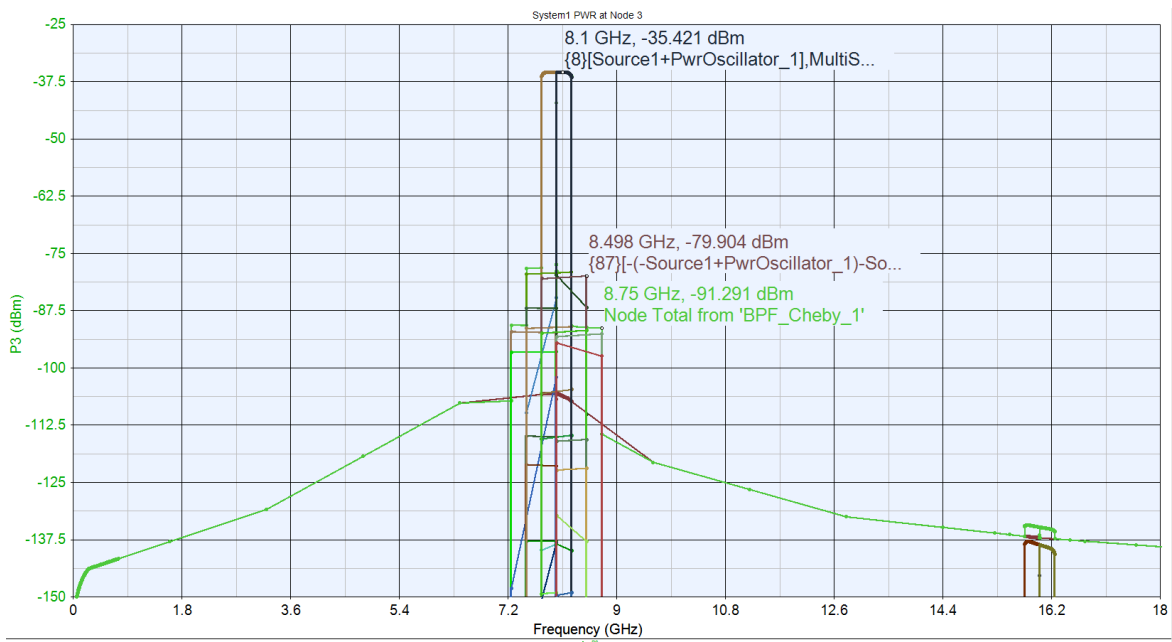
Naziv	Vrednost
Pojačanje [dB]	2
OIP3 [dBm]	8
NF [dB]	17,4
SNR usled šuma komponenti [dB]	59,6
SNR usled konačne linearnosti [dB]	38

Slika 30 i Slika 31 prikazuju dobijene rezultate predajnog lanca na sistemskom nivou. Simuliran je obavezan kanal Ch9 u višem opsegu na 8 GHz. Ulazni signal je snage -13 dBm i propusnog opsega 2 MHz do 250 MHz, što odgovara realnom slučaju. Neophodno je da spektar ulaznog signala bude u opsegu koji je ograničen sa obe strane (engl. *band pass*) kako bi mogao da se modeluje niskopropusnim kompleksnim ekvivalentima. LPF (engl. *Low Pass Filter*) je aktivan i stoga je modelovan kao Batervortov filter sa pojačanjem od 0 dB, konačne linearnosti i faktora šuma, Tabela 9.

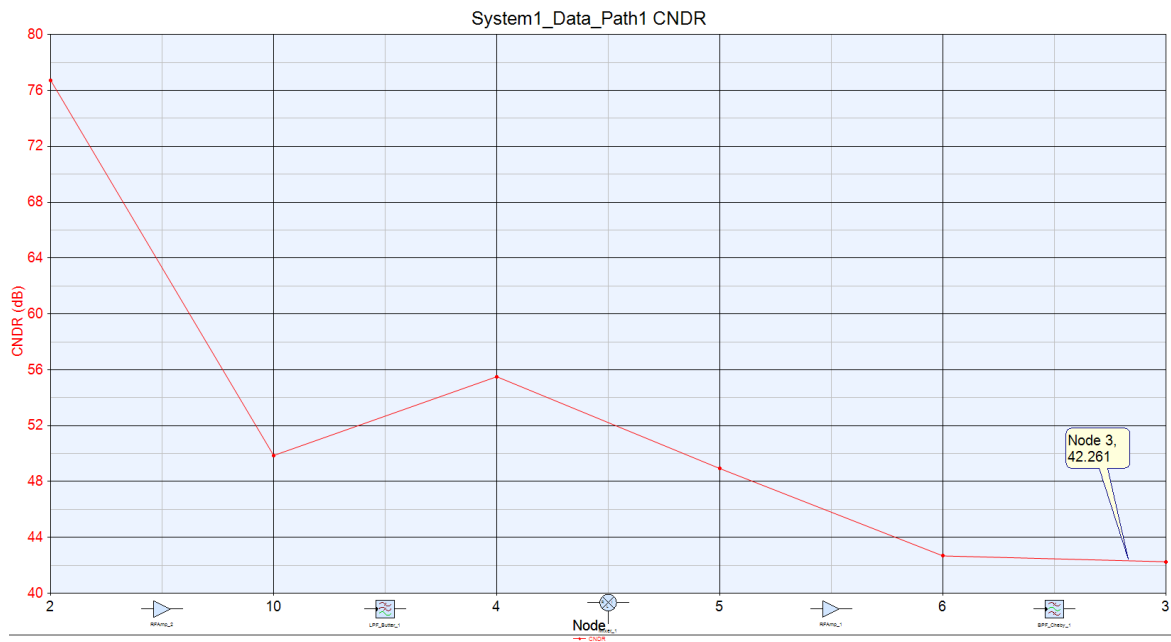
Lokalni oscilator je realizovan kao PLL i modelovan sa specificiranim faznim šumom od -95 dBc @ 10 kHz, -95 dBc @ 100 kHz i -115 dBc @ 10 MHz ofseta od učestanosti nosioca.

Slika 30 potvrđuje da spektar izlaznog signala odgovara zahtevanoj spektralnoj maski. Napomenimo da spektar odgovara izlaznoj vršnoj snazi. Srednja snaga je 6 dB manja pošto se signal prenosi samo u toku jedne četvrtine simbola.

Slika 31 prikazuje odnos signal šum uključujući distorziju. U SNDR nije uključena degradacija usled LO curenja. Simulirani SNDR je 42 dB, što opravdava predloženu ostvarivu nelinearnost, ostavljajući dovoljno margine za LO curenje.



Slika 30 Spektar signala na izlazu predajnika dobijenog (Propusni opseg merenja $BW = 1\text{MHz}$)



Slika 31 Odnos SNDR

9. Osnovna teorija pasivnih filtara

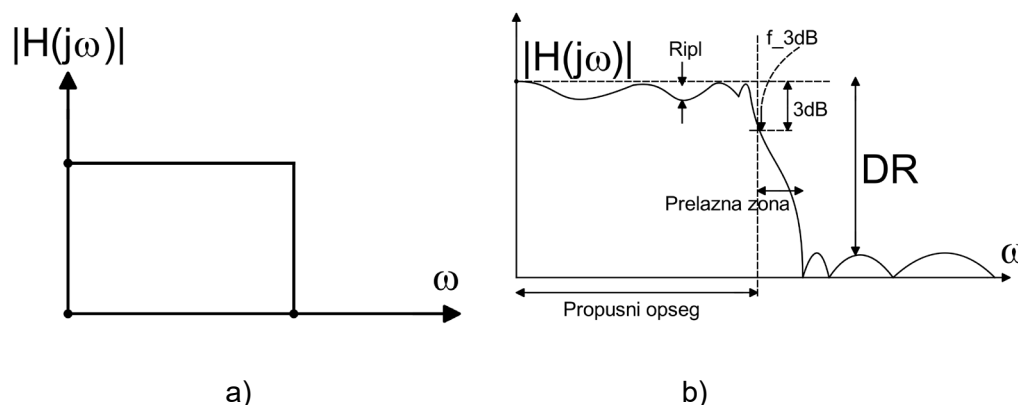
Filtri predstavljaju kola za frekvencijsku selekciju signala, a primenjuju se i kao kola za oblikovanje faze signala. Idealna karakteristika filtra propusnika opsega jeste:

$$H(f) = \begin{cases} e^{-j2\pi t_d f}, & f_l \leq |f| \leq f_h, \\ 0, & \text{inače} \end{cases} \quad (9.1)$$

gde je propusni opseg $BW = f_h - f_l$, pojačanje filtra 1, a t_d konstantno grupno kašnjenje filtra.

Filtri su nezamenjive komponente u komunikacionim sistemima. Njihove ključne uloge su:

- izdvajanje željenog kanala uz potiskivanje drugih kanala (primer FM radio, DSL (engl. *Digital Subscriber Line*) komunikacije),
- izdvajanje željenog signala iz šuma (primer niskopropusni filtar na ulazu prijemnika koji omogućuje specificirani BER potiskivanjem šuma),
- eliminacija neželjenih signala na visokim učestanostima koji bi se preslikali u osnovni opseg signala prilikom AD konverzije,
- ekvilizatori ili korektori faze izjednačavanju fazu signala,
- filtri za ograničenje propusnog opsega pojačavača (npr. u operacionim pojačavačima).



Slika 32 a) Idealna i b) realna amplitudska karakteristika niskopropunog filtra

Slika 32 a) prikazuje karakteristiku idealnog niskopropusnog filtra, koja je savršeno ravna u propusnom opsegu i ima beskonačno strmu prelaznu zonu. Karakteristika realnog filtra ima konačni nagib u prelaznoj zoni, kao i talasnost u propusnom i nepropusnom opsegu, Slika 32 b). Prelazna zona filtra je određena redom filtra. Što je red filtra veći, prelazna zona filtra je strmija. Povećanje reda filtra se određuje kroz povećanje broja reaktivnih komponenti pasivnih filtara (kalema i kondenzatora), odnosno površine i disipacije kod aktivnih filtara.

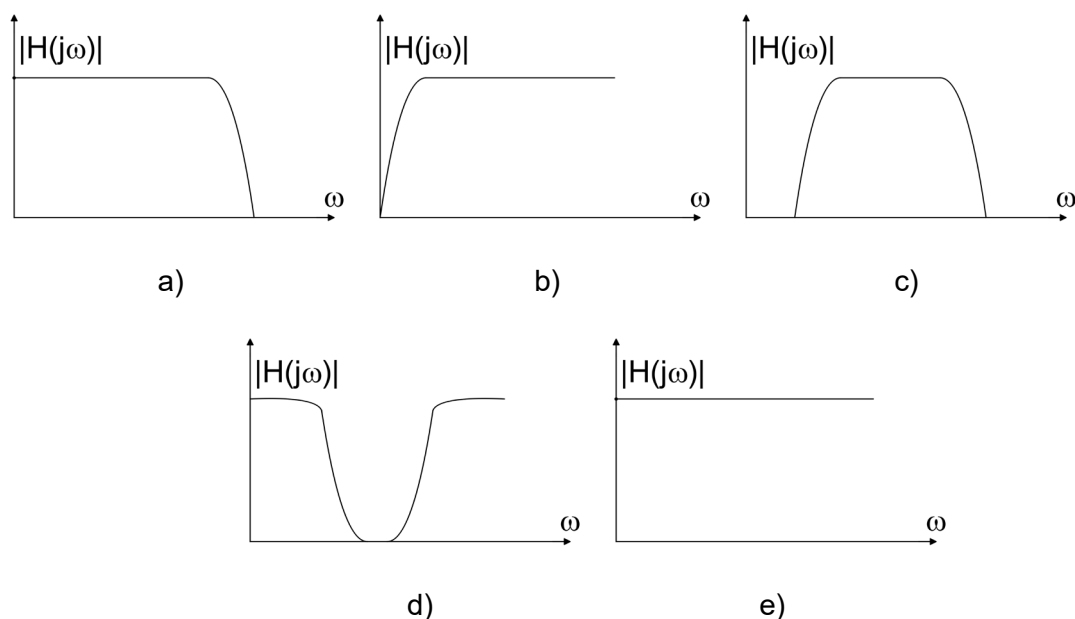
Na osnovu zahteva za strminu prelazne zone, talasnosti u propusnom opsegu i potiskivanja neželjenih signala u nepropusnom opsegu, određuje se tip i red filtra, kao optimalan kompromis za datu aplikaciju.

9.1. Tipovi i osnovne karakteristike filtra

Osnova podela filtara prema amplitudskoj karakteristici je na sledeće tipove:

- niskopropusni filtri,
- visokopropusni filtri,
- filtri propusnici opsega,
- filtri nepropusnici opsega i
- filtri svepropusnici opsega.

Slika 33 prikazuje amplitudske karakteristike ovih tipova filtara. Filtri na a) – d) oblikuju spektar signala propuštajući, odnosno potiskujući energije signala od interesa. Npr. niskopropusni filtri se koriste u mobilnim uređajima, gde propuštaju osnovni opseg signala i obično se realizuju aktivno preko prekidačko-kapacitivnih kola. Primeri visokopropusnih filtara su potiskivači DC ofseta i talasovodi. Filtri propusnici opsega su jako česti u elektronskim kolima i koriste se između ostalog za izdvajanje kanala u FM radiju i ćelijskim mrežama. Filtri nepropusnici opsega imaju zadatak da potiskuju jake interferencije problematičnih učestanosti. Filtri svepropusnici opsega imaju konstantnu amplitudsku karakteristiku i koriste se za oblikovanje faze ili kao ekvilizatori.



Slika 33 Tipovi filtra a) niskopropusni, b) visokopropusni, c) propusnik opsega, d) nepropusnik opsega i e) svepropusnik opsega

Osnovne karakteristike niskopropusnih filtara su:

- -3 dB granična učestanost filtra,
- pojačanje,
- talasnost u propusnom opsegu,

- potiskivanje signala u nepropusnom opsegu,
- grupno kašnjenje,
- sveukupan odnos signala i šuma (*SNDR*),
- dinamički opseg,
- linearnost (harmonijska distorzija, IM3 intermodulaciona distorzija, IIP3 i OPI3 tačke preseka),
- površina po broju polova i snaga po broju polova.

Slika 32 b) naznačava neke od osnovnih parametara filtra.

9.2. Q faktor – definicija faktora dobrote

Ovo poglavlje daje definicije Q faktora za reaktivne komponente (kalemovne i kondenzatore), za polove, kao i za filter propusnik opsega.

9.2.1. Q faktor reaktivnih komponenti

Pretpostavimo da je admitansa posmatrane komponente data funkcijom:

$$H(j\omega) = \frac{1}{R(\omega) + jX(\omega)}. \quad (9.2)$$

Za datu komponentu Q faktor se definiše kao:

$$Q = \frac{X(\omega)}{R(\omega)} \rightarrow \frac{\text{Uskladištena (reaktivna) energija}}{\text{Srednja snaga disipacije (rezistivna)}} \text{ u jedinici vremena.} \quad (9.3)$$

U slučaju kalema i kondenzatora dobija se:

$$Q_L = \frac{\omega L}{R_S}, \quad (9.4)$$

$$Q_C = \omega C R_P, \quad (9.5)$$

gde su R_S i R_P , redna i paralelna parazitna otpornost kalema i kondenzatora, respektivno. Što je Q faktor komponente veći, ona je bliža idealnom modelu.

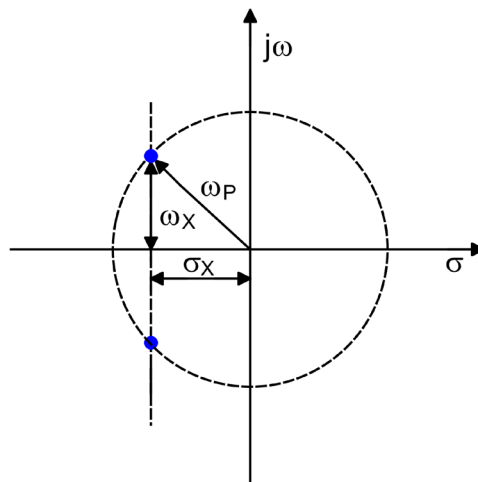
9.2.2. Q faktor polova

Q faktor para konjugovano-kompleksnih polova (Slika 34) se definiše kao:

$$Q_{pole} = \frac{\omega_P}{2\sigma_X}. \quad (9.6)$$

gde je ω_P modul kompleksne kružne učestanosti pola, dok je σ_X realni deo kompleksne kružne učestanosti pola.

U slučaju oscilatora, polovi se nalaze na y osi, dakle imaju beskonačan Q faktor.



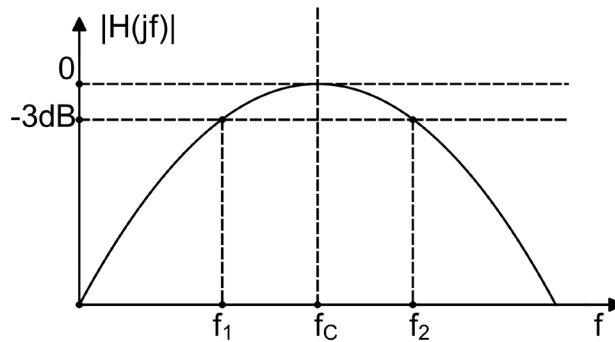
Slika 34 Konjugovano-kompleksni polovi u S-ravni

Broj polova filtra odgovara redu filtra, i kod realnih sistema je veći ili jednak broju nula.

9.2.3. Q faktor filtra propusnika opsega

Q faktor filtra propusnika opsega (Slika 35) se definiše kao:

$$Q_{BPF} = \frac{f_c}{f_2 - f_1}. \quad (9.7)$$



Slika 35 Prenosna karakteristika filtra propusnika opsega

Q faktor filtra se koriste kao indikacija kvaliteta filtra i kompleksnosti njegove implemntacije na čipu. Q faktor pasivnih komponenti na čipu ograničava sam Q faktor filtra, što je naročito izraženo na višim učestanostima.

Posledice gubitaka u komponentama na čipu su slabljenje signala u propusnom opsegu filtra, kao i smanjenje potiskivanja signala u nepropusnom opsegu i ograničenje minimalne širine filtra propusnika opsega.

9.3. Grupno i fazno kašnjenje

Za kontinualni filter sa prenosnom karakteristikom $H(j\omega)$:

$$H(j\omega) = |H(j\omega)| \cdot e^{j\theta(\omega)}, \quad (9.8)$$

definišu se fazno i grupno kašnjenje, koja imaju jedinicu vremena. Fazno kašnjenje se definiše kao:

$$\tau_P = -\frac{\theta(\omega)}{\omega}. \quad (9.9)$$

Grupno kašnjenje se definiše kao brzina promene faznog odziva u odnosu na učestanost:

$$\tau_G = -\frac{d\theta(\omega)}{d\omega}. \quad (9.10)$$

Filter sa linearnom fazom je filter koji ne unosi faznu distorziju signala, odnosno koji na svakoj učestanosti unosi konstantno kašnjenje signala. Za filtre sa linearnom fazom važi:

$$\theta(\omega) = k \cdot \omega \rightarrow \tau_G = \tau_P. \quad (9.11)$$

U slučaju idealnog filtra, opisanog jednačinom (9.1), prenosna karakteristika uz konstantnu amplitudsku karakteristiku takođe ima i linearnu fazu. To znači da za ovaj filter izlazni signal u propusnom opsegu odgovara replici ulaznog signala, koja je zakašnjena u vremenu.

Ukoliko se na ulaz filtra primeni Hevisajdova (*step*) funkcija, izlaz će zavisiti od linearnosti filtra. Filtri sa polovima bližim imaginarnoj osi, imaju veći Q faktor, tako da njihov *step* odziv ima bržu uzlaznu ivicu ali i veći preskok. Ovi filtri imaju strmiju prelaznu zonu, po cenu veće talasnosti u propusnom opsegu i nelinearnije fazne karakteristike. Kod njih se vreme smirivanja izlaznog prethodnog simbola može preklopiti sa narednim simbolom, što dovodi do tzv. međusimbolske interferencije (engl. *Inter Symbol Interference* - ISI). Moguća posledica toga je greška u detekciji signala.

9.4. Tipovi filtra u odnosu na frekvencijski odziv

U ovom poglavlju je dat pregled osnovne podele niskopropusnih filtera u odnosu na oblik frekvencijskog odziva. Na isti način se mogu klasifikovati i filtri propusnici opsega, kao i visokopropusni filtri.

9.4.1. Batevortov filter

Batevortov filter zadovoljava sledeći uslov:

$$\frac{d^N |H(j\omega)|}{d\omega} = 0, \text{ za } \omega = 0, \quad (9.12)$$

čime se postiže maksimalno ravan odziv u propusnom opsegu.

Ovi filtri imaju dobru faznu karakteristiku, dok je amplitudska karakteristika u propusnom opsegu prihvatljiva. Međutim karakteristika filtra oko 3 dB granične učestanosti je lošija.

Kod Batevortovog filtra, polovi se nalaze na jediničnom krugu i ravnomerno raspoređeni u levoj poluravni. Nule ovog filtra su u beskonačnosti.

9.4.2. Čebiševljev I filter

Prednost Čebiševljevog I filtra, u odnosu na Batevortov, jeste značajno strmija prelazna zona i značajno bolji odziv blizu 3 dB granične učestanosti. Sa druge strane, ovi filtri imaju izraženiju talasnost u propusnom opsegu.

Funkcija slabljenja ovog filtra je data narednom jednačinom:

$$A = 10 \log \left(1 + \varepsilon^2 C_N^2(\Omega) \right), \quad (9.13)$$

gde je $\Omega = \omega/\omega_c$ normalizovana učestanost koja je normalizovana sa graničnom učestanošću filtra, $C_N(\Omega)$ Čebiševljev polinom n -tog reda, a ε talasnost u propusnom opsegu, koja se može izraziti kao:

$$\varepsilon = \sqrt{10^{0,1A_{max}} - 1}, \quad (9.14)$$

gde je A_{max} maksimalno slabljenje signala u propusnom opsegu ($|\omega| < \omega_c$).

Polovi ovog filtra se nalaze na elipsi, i imaju veći Q faktor od polova Batervortovog filtra, dok su nule u beskonačnosti. Zbog većeg Q faktora polova, odnosno veće talasnosti u propusnom opsegu filtra, fazna karakteristika Čebiševljevog I filtra u propusnom opsegu je lošija u odnosu na Batervortov filter.

9.4.3. Čebiševljev II filter

Čebiševljev II filter n -tog reda u prenosnoj karakteristici ima n polova i $n-1$ konačnih nula, koje rezultiraju nulama u nepropusnom opsegu filtra. Između ovih nula karakteristike u nepropusnom opsegu, potiskivanje signala je manje. Polovi ovog filtra se nalaze unutra i izvan jediničnog kruga.

Za razliku od Čebiševljevog I filtra, ovi filteri nemaju talasnost u propusnom opsegu i fazna karakteristika im je linearnija. Čebiševljev II filter ima strmiju prelaznu zonu u odnosu na Batervortov filter.

9.4.4. Eliptični filter

Eliptični filteri imaju $n-1$ konačnih nula i n polova. U odnosu na Batervortov, Čebiševljev I i II filter, ovi filteri imaju polove sa najvećim Q faktorom i najužu prelaznu zonu ali i najlošiju faznu karakteristiku. Eliptični filteri imaju talasnost i u propusnom i u nepropusnom opsegu, gde postoje i nule.

9.4.5. Beselov filter

Beselov filter je filter sa najboljim vremenskim odzivom, odnosno maksimalno ravnom faznom karakteristikom. Sa druge strane, ovi filteri imaju jako loše slabljenje u nepropusnom opsegu. Polovi ovog filtra se nalaze izvan jediničnog kruga i imaju relativno mali Q faktor.

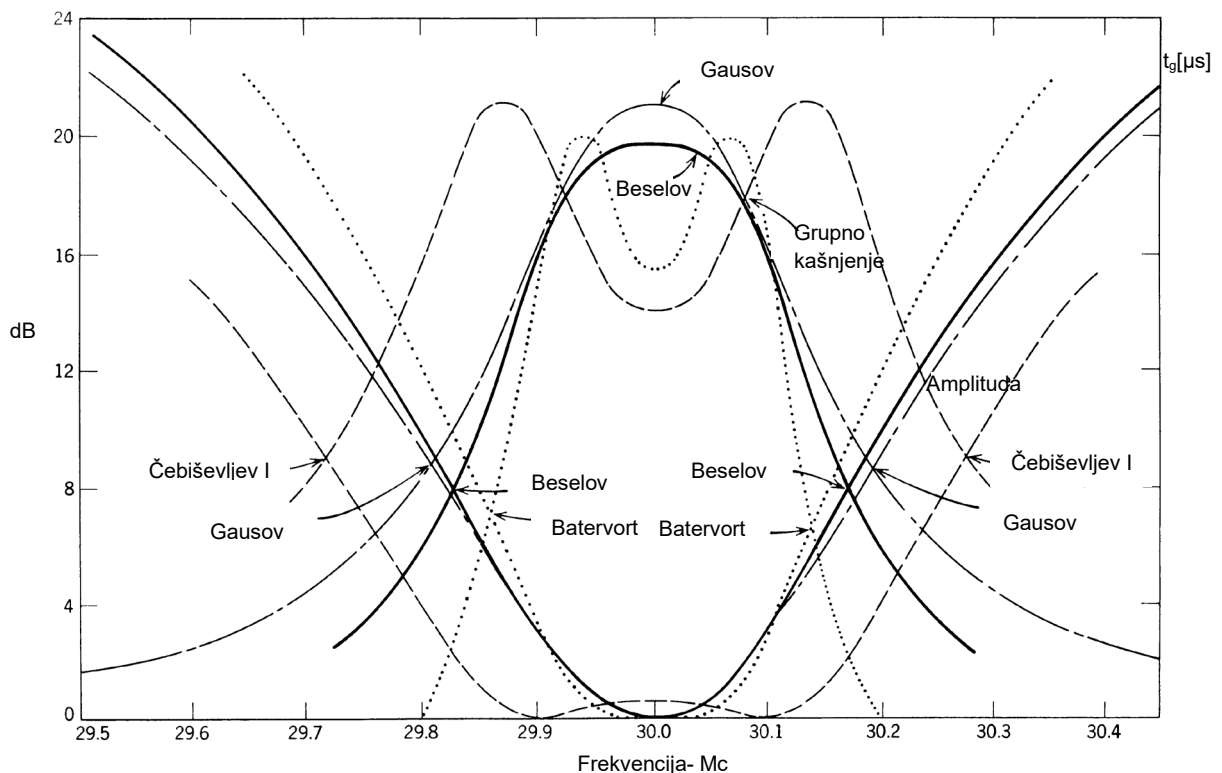
Slika 36 prikazuje poređenje grupnog kašnjenja i slabljenja Beselovog, Gausovog, Čebiševljev I i Batervortovog filtra, drugog reda. Primitimo da Beselov filter ima konstantno grupno

kašnjenje oko centralne učestanosti, Gausov strmije, dok su Batervortov i Čebiševljev sa izraženim pikom.

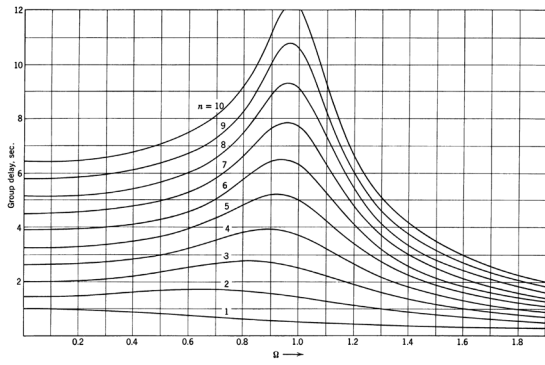
Slika 37 prikazuje karakteristiku grupnog kašnjenja za različite tipove i redove filtera. X osa predstavlja učestanost koja je normalizovana na graničnu učestanost filtra. Kao što se vidi sa slike, Beselov filter reda većeg od 3, ima ravno grupno kašnjenje u propusnom opsegu, za razliku of Batervortovog filtra, dok je Čebiševljev I filter sa prilično nelinearnim grupnim kašnjenjem.

Na osnovu specifikacije za potiskivanje signala bira se optimalan kompromis reda filtra i fazne linearnosti u konkretnoj aplikaciji. Filtri manjeg reda u slučaju pasivne implementacije zahtevaju manji broj pasivnih komponenti, odnosno manju površinu, dok u slučaju aktivne implementacije zahtevaju i manju disipaciju. Stoga je poželjno da filter bude što manjeg reda.

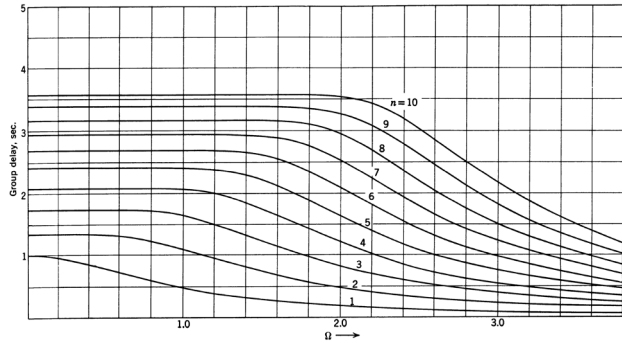
Nekada je moguće kompenzovati izobličenje faze u digitalnim ekvilajzerima u DSP-iju, što omogućuje korišćenje nelinearnijih filtera manjeg reda. Ovaj pristup se koristi na primer za potiskivanje neželjenih signala na ulazu AD konvertora u mobilnim telefonima. Međutim, taj pristup se ne može primeniti za signale širokog propusnog opsega, jer je tada kompenzacija fazne distorzije u digitalnom domenu neisplativa. U tom slučaju je praktičnije koristiti linearnije filtre višeg reda.



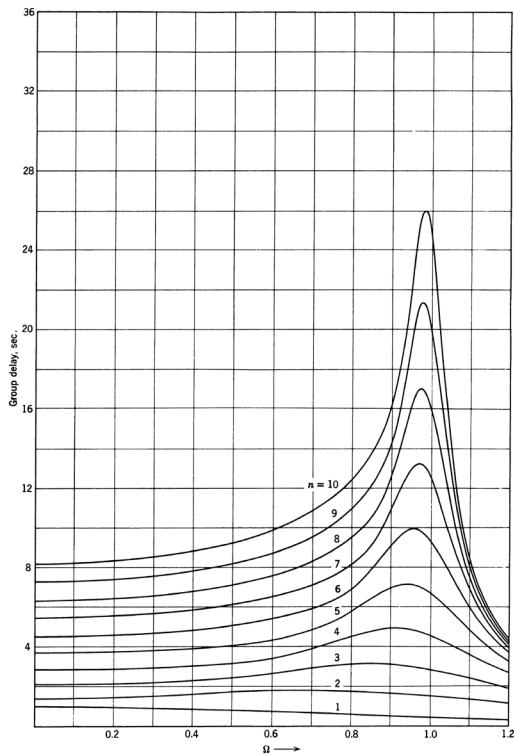
Slika 36 Amplitudski odziv i grupno kašnjenje Beselovog _____, Gausovog _____, Čebiševljevog I 5dB talasnost _____ i Batervortovog filtra [97]



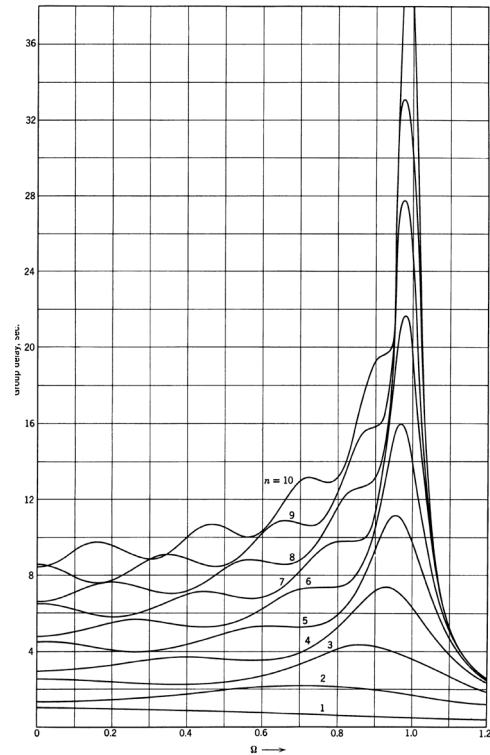
a)



b)



c)



d)

Slika 37 Karakteristika grupnog kašnjenja za različite redove a) Batervortovog, b) Beselovog, c) Čebiševljevog filtra I 0,01 dB talasnost i d) Čebiševljevog I filtra 0,5 dB talasnost [97]

10. Projektovanje UWB LB niskopropusnog filtra

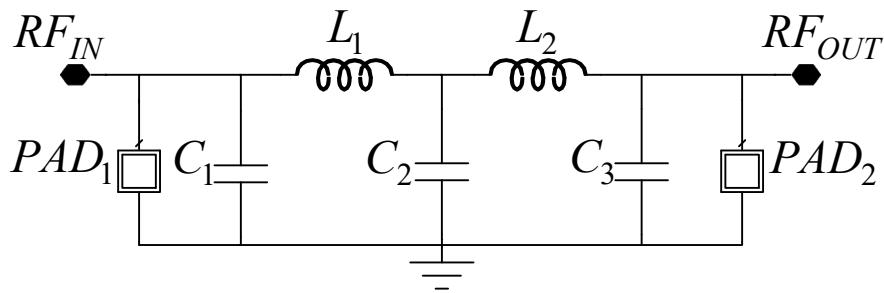
U okviru ovog rada je projektovan Čebiševljev I filtar za niži opseg UWB sistema kao najbolji kompromis za datu aplikaciju između talasnosti u propusnom opsegu, koja degradira grešku amplitude vektora modulacije (engl. *Error Vector Magnitude* - EVM), i same selektivnosti filtra.

Tabela 12 prikazuje specifikacije Čebiševljevog filtra petog reda. Specifikacije su izabrane na osnovu snage predajnika i njegove linearnosti, kao i procenjenog nivoa neželjenih signala i interferencija u opsegu signala slike prijemnika.

Tabela 12 Specifikacije filtra

Parametar	Vrednost	Opis
Zin	50 Ω	
Zout	50 Ω	
S11	< -10 dB	
S22	< -10 dB	
Gubici (<i>Inserion Loss</i>)	< 1 dB	Cilj
Red	5	Čebiševljev
Talasnost	±0,5 dB	
fc	4,8 GHz	3 dB tačka
Selektivnost	-15 dB	@6,4 GHz
	-30 dB	@8,53 GHz
	-40 dB	@10,67 GHz

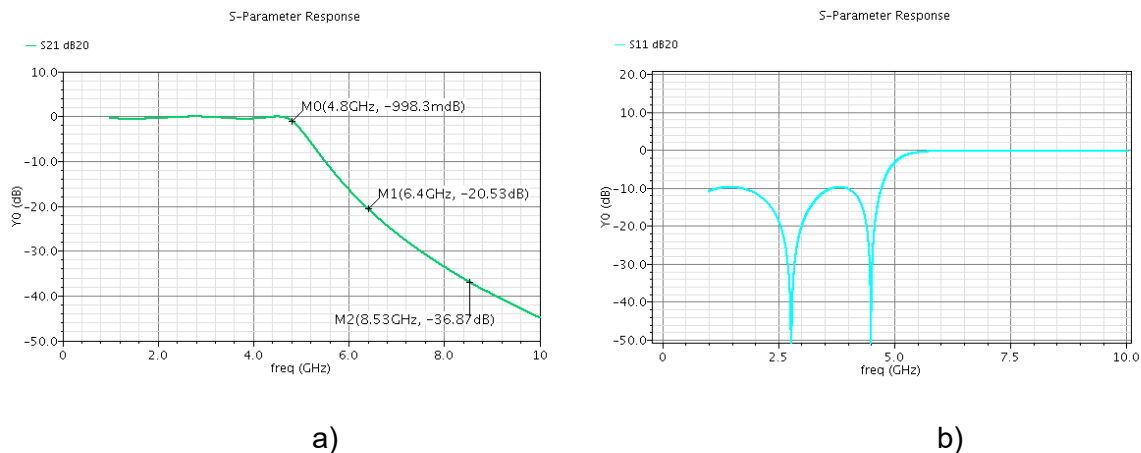
U prvoj iteraciji projektovanja, filtar je sintentisan korišćenjem idealnih vrednosti komponenti iz [98]. Idealni Čebiševljev filtar sa koncentrisanim parametrima, petog reda je projektovan tako da ima 0,5 dB talasnost u propusnom opsegu i slabljenje od 1 dB na učestanosti od 4,8 GHz. Tabela 13 daje vrednosti idealnih komponenti filtra (Slika 38). Slika 39 prikazuje rezultate simulacija filtra sa idealnim komponentama.



Slika 38 Niskopropusni filtar – šema

Tabela 13 Vrednosti proračunatih idealnih komponenti Čebiševljevog filtra petog reda

Komponenta	Vrednost
L1 = L2	2,07 nH
C1 = C3	1,15 pF
C2	1,71 pF

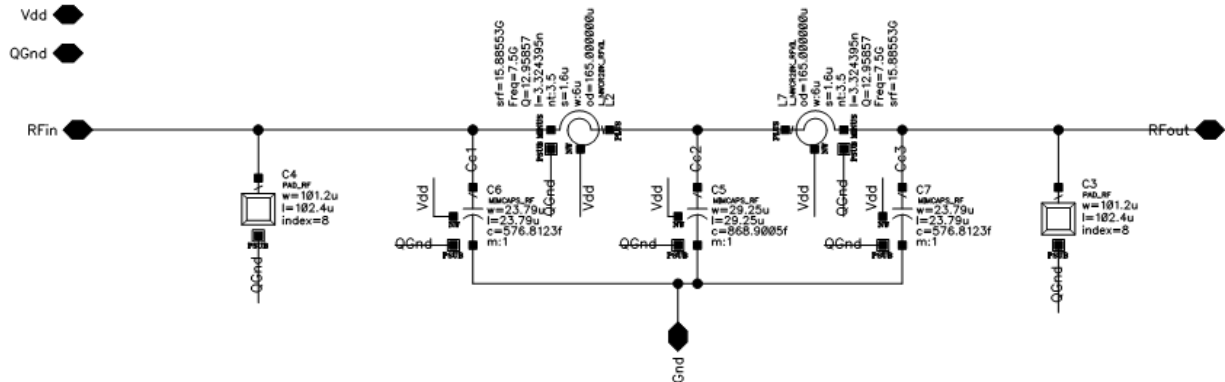


Slika 39 Idealni Čebiševljev filtar petog reda a) S21 i b) S11 - rezultati simulacija

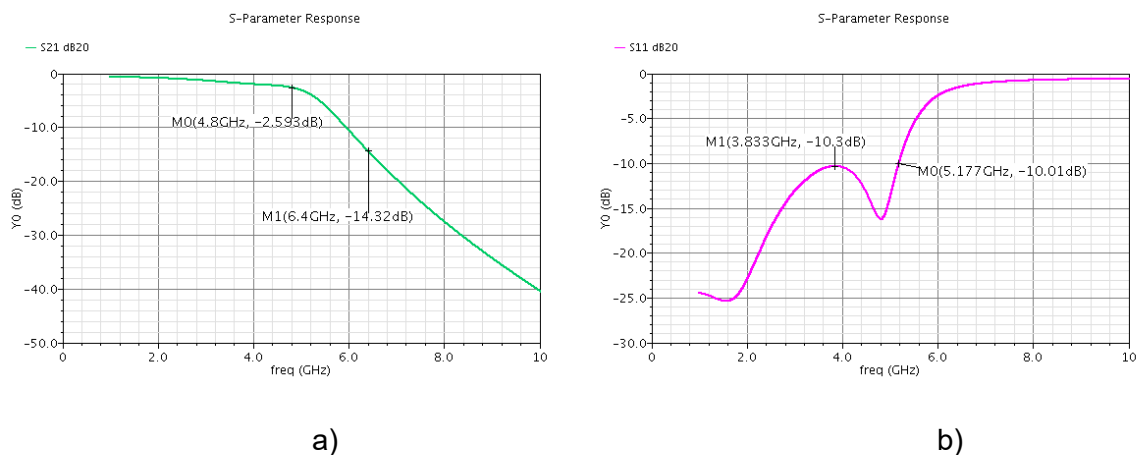
Realni filtar je realizovan sa MIM kondenzatorima i planarnim spiralnim kalemovima, čiji su modeli verifikovani u poglavlju 7. Korišćeni model u simulacijama izabranih realnih komponenti je RF, validan do 20 GHz. Slika 38 prikazuje šemu filtra. MIM kondenzatori su najpogodniji za RF aplikacije, obzirom da su najlinearniji i imaju najveći Q-faktor, kao i najveću samorezonantnu učestanost (engl. *Self Resonant Frequency* - SRF) od svih tipova kondenzatora na čipu. Stoga, MIM kondenzator je izabrani tip za projektovanje filtra.

Usled uticaja konačnog Q faktora realnih komponenti i kapacitivnosti stopica na ulazu i izlazu filtra, performanse idealnog filtra su značajno promenjene. Imajući to u vidu, kao i da će

parazitne otpornosti i kapacitivnosti veza uneti dodatno slabljenje ($\approx 0,5$ dB), primenjeno je odgovarajuće trimovanje vrednosti idealnih komponenti u cilju zadovoljenja željenih performansi. Optimizacija komponenti filtra je izvršena za nominalne vrednosti procesa korišćenjem optimizacionih algoritama u ADS simulatoru. Slika 41 prikazuje rezultate simulacije filtra sa realnim modelima komponenti u nominalnom korneru, na nivou šeme



Slika 40 Električna šema filtra



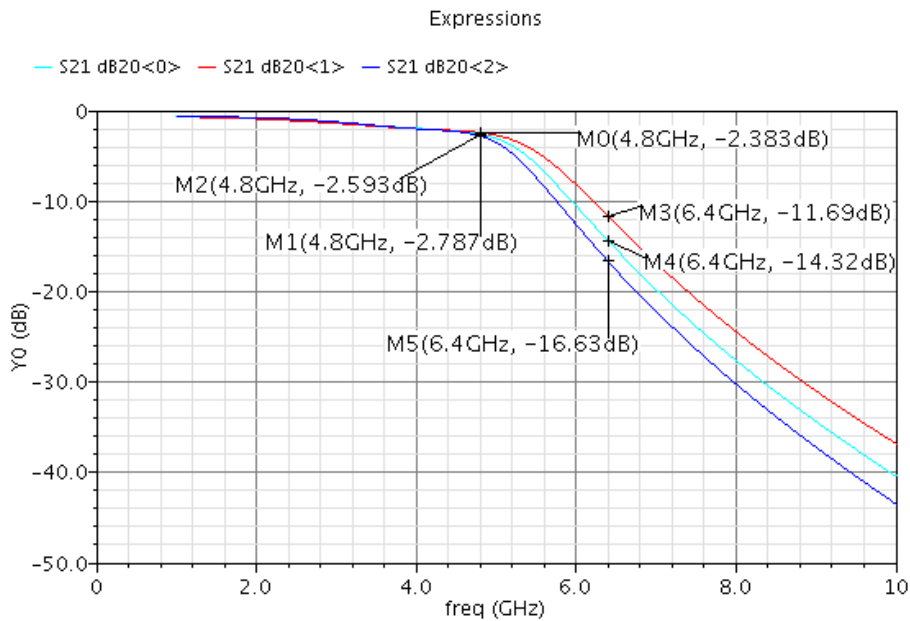
Slika 41 Čebiševljevi filter petog reda sa realnim komponentama u nominalnim procesu a) S21 i b) S11

Korišćeni spiralni kalemovi i kondenzatori imaju duboku N-jamu, koja obezbeđuje izolaciju. Promena vrednosti induktivnosti na čipu je vrlo mala ($\approx \pm 1 - 2\%$) pošto je induktivnost određena površinom koja se relativno malo menja sa procesom. Litografska tehnologija je dovoljno tačna tako da su relativne dimenzije kalema na čipu skoro neosetljive na varijaciju procesa. Veličina potrebnog kalema se značajno smanjuje sa povećanjem učestanosti rada. Parazitna kapacitivnost kalema ka substratu može se menjati sa procesom, ali DC vrednost induktivnosti ne zavisi od vrednosti procesa.

U slučaju MIM kondenzatora maksimalna varijacija kapacitivnosti u izabranoj tehnologiji je $\pm 15\%$. Glavni uzrok varijacije vrednosti kapacitivnosti MIM kondenzatora jeste varijacija debljine oksida, a ne temperatura ili primenjeni napon.

Slika 42 prikazuje rezultate simulacija na nivou šeme za tri ganične vrednosti procesa, nominalnu, brzu i sporu. U brzom procesu vrednosti induktivnosti i kapacitivnosti imaju

najmanju vrednost, dok su u sporoj te vrednosti najveće. U ovom radu je razmatrana procesna varijacija komponenti od $\pm 3\sigma$.



Slika 42 Prenosna karakteristika filtra u sporom (plava), nominalnom (zelena) i brzom (crvena) korneru

Nažalost, apsolutna varijacija vrednosti kapacitivnosti degradira performase kola izvan željenih. Specifikacije filtra nisu ispunjene za sve vrednosti procesa, što pokazuju Tabela 12 i Slika 42. Razlika između S_{21} u brzom i sporom korneru je oko 5 dB na učestanosti od 6,4 GHz. Jedno od mogućih rešenja bi bilo povećati red filtra. Međutim, to bi dovelo do značajnog povećanja površine čipa, kao i do dodatne degradacije gubitaka u propusnom opsegu filtra. Drugo rešenje jeste kalibracija vrednosti kapacitivnosti.

Varijacija performansi kola zavisi od osetljivosti na samu varijaciju parametara komponenti kola. U [99] je pokazano da je dvostruko terminisana LC mreža bez gubitaka najmanje osetljiva na varijaciju komponenti u frekvencijskim opsegu od interesa. Dakle, kalibracija u slučajevima ostalih topologija filtara igra još značajniju ulogu.

U ovom radu je predložen kalibracioni koncept koji kompenzuje varijaciju vrednosti kapacitivnosti MIM kondenzatora i može biti primenjen na bilo koje kolo, čije su karakteristike narušene promenom vrednosti MIM kondenzatora.

11. Kalibracija UWB LB niskopropusnog filtra

Referentna komponenta za kalibraciju procesa može biti unutrašnja ili spoljašnja. Veličine spoljašnjih komponenti su uporedive sa veličinom čipa. Ukoliko se čip proizvodi u velikom broju primeraka, spoljašnje komponente su nepoželjan izbor, kako zbog površine koju zauzimaju, tako i zbog povećanja cene proizvoda.

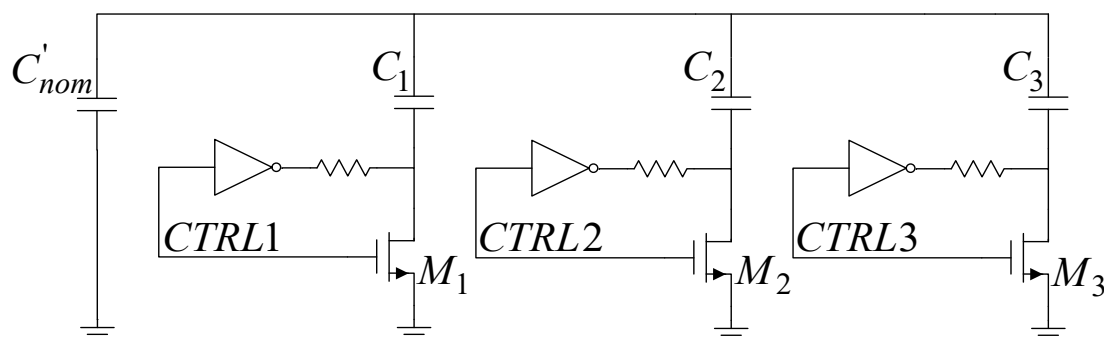
Druga opcija jeste korišćenje internih referenci. DC vrednost induktivnosti i debljina oksida MOS tranzistora imaju prihvatljivo malu varijaciju sa procesom. U CMOS tehnologijama kontrola procesa je optimizovana tako da parametri tranzistora koji dominantno utiču na rad i ponašanje kola, uključujući i debljinu oksida, što manje variraju sa procesom i temperaturom.

U predstavljenom konceptu, korišćene su MOS kapacitvosti kao najpogodnija interna referenca za kalibraciju vrednosti kapacitivnosti kondenzatora.

Tabela 4 pokazuje da je varijacija kapacitivnosti MOS kondenzatora sa temperaturom i promenama parametara procesa prihvatljivih $\pm 4\%$. MOS kondenzatori imaju jako veliku gustinu, ali su jako nelinearni sa primenjenim naponom i samim tim se ne mogu koristiti u kolu bez odgovarajuće polarizacije. Za svrhe kalibracije, MOS kondenzator je polarizovan u oblasti gde je njegovo nelinearno ponašanje zanemarljivo.

11.1. Koncept

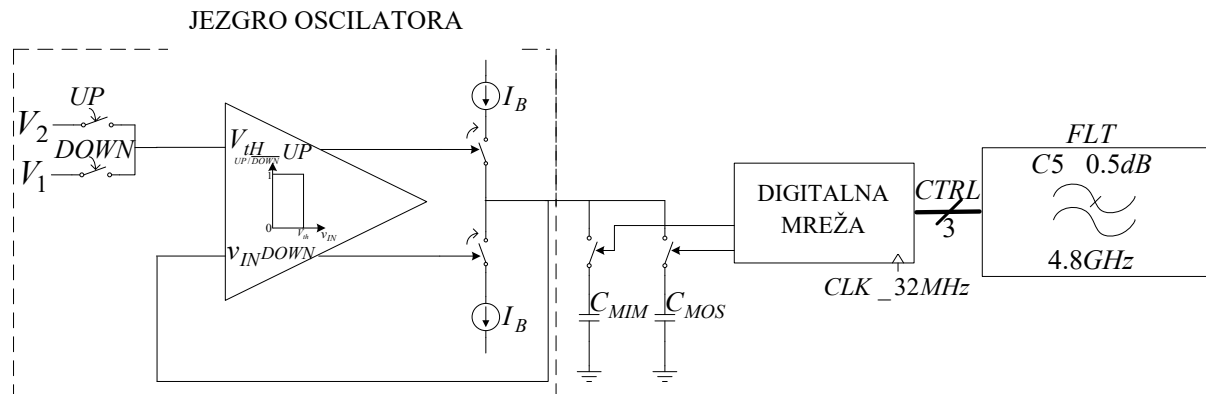
Svaki od tri osnovna kondenzatora (Slika 38) je zamenjen bankom nekoliko kompenzacionih kondenzatora. U zavisnosti od efekta varijacije procesa na vrednost kapacitivnosti, odgovarajući kompenzacioni kondenzator je uključen, odnosno isključen iz funkcije kola preko RF prekidača, Slika 43. Time je efektivna kapacitivnost podešena na nominalnu vrednost za svaku vrednost parametara procesa. Prekidači su kontrolisani digitalnim kolom koje procenjuje varijaciju kapacitivnosti sa parametrima procesa.



Slika 43 Banka kondenzatora sa trobitnom mrežom prekidača

Slika 44 prikazuje koncept procene vrednosti MIM kondenzatora. Isto jezgro oscilatora generiše oscilacije najpre sa MIM, a potom i MOS kondenzatorom, naizmenično puneći i

prazneći kondenzatore konstantnom strujom. Vrednost kapacitivnosti MIM kondenzatora se određuje u digitalnom domenu na osnovu odnosa učestanosti oscilacija, koji odgovara obrnutom odnosu MIM i MOS vrednosti kapacitivnosti kondenzatora.



Slika 44 Blok dijagram analogno-digitalnog kola za procenu vrednosti kapacitivnosti

Velika prednost predloženog koncepta jeste poništavanje PVT varijacija svih komponenti korišćenih za određivanje odnosa učestanosti, pošto isto jezgro oscilatora generiše oscilacije u oba slučaja (sa MIM i MOS kondenzatorima).

Vrednost kapacitivnosti kondenzatora u kompenzacionoj banci i vrednost procesa za koji se isti uključuje u funkciju kola su izabrane na osnovu rada [18].

Nova vrednost osnovnog kondenzatora je:

$$C'_{nom} = C_{nom} \cdot \frac{1 + \varepsilon}{k_{max}}, \quad (11.1)$$

gde je C_{nom} nominalna vrednost kapacitivnosti, ε je maksimalna dozvoljena greška uzrokovana diskretnom prirodom kompenzacije, k_{max} je maksimalna vrednost procesa – $k_{max} = 1 + 3 \cdot \sigma$, gde je σ normalizovana standardna devijacija varijacije procesa MIM kondenzatora.

Dodatni, n -ti kompenzacioni kondenzator (11.2) je uključen u funkciju kola kada vrednost procesa odgovara (11.3). Pretpostavljeno je da je $C_{nom} = 1$. Primitimo da je za vrednost procesa k_n , samo C_n uključen u funkciju kola.

$$C_n = \frac{\varepsilon \cdot (1 + \varepsilon)}{1 + 3 \cdot \sigma} \frac{2^n}{(1 - \varepsilon)^n}, \quad (11.2)$$

$$k_n = \frac{1 - \varepsilon}{\frac{1 + \varepsilon}{k_{max}} + \sum_{i=1}^{n-1} C_i}, \quad (11.3)$$

Zadovoljavajuća tačnost od $\varepsilon = 2\%$, može se postići pomoću tri kompenzaciona kondenzatora. Tabela 14 prikazuje normalizovane vrednosti kapacitivnosti kompenzacionih kondenzatora. Sve vrednosti kapacitivnosti, date u tabeli, su normalizovane sa C_{nom} .

Tabela 14 Normalizovane vrednosti kompenzacionih kondenzatora u banci kondenzatora (Slika 43)

Ime kondenzatora	Normalizovana vrednost kapacitivnosti
C'_{nom}	0,8872
C_{C1}	0,0368
C_{C2}	0,0751
C_{C3}	0,1534

11.2. Projektovanje prekidača

Kompenzacioni kondenzatori su uključeni u kolo pomoću RF prekidača, Slika 43. Prekidači su optimizovani tako da je postignut najbolji kompromis za datu aplikaciju između gubitaka (kada je prekidač uključen) i izolacije (kada je isključen).

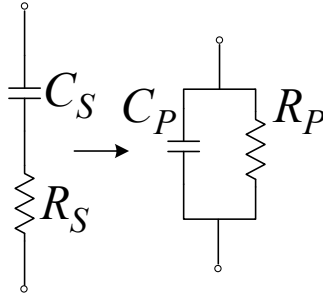
Kada je prekidač uključen u kolo napon na gejtju odgovara naponu napajanja V_{DD} , dok je $V_D \approx V_S \approx 0$. Impedansa koja se vidi između drejna i sorsa tranzistora određena je r_{ds} otpornošću:

$$Z_{ON} \approx \frac{L}{W \cdot \mu \cdot C_{ox} \cdot (V_{DD} - V_{th})}. \quad (11.4)$$

Za minimalnu dužinu kanala tranzistora u izabranoj tehnologiji i datu polarizaciju, važi $R_{ON} \approx K_R/W$, gde je $K_R^{-1} = \mu \cdot C_{ox} \cdot (V_{DD} - V_{th})/L$ konstanta. Ova aproksimacija je dovoljno tačna u datom slučaju.

Kako bi se izračunao doprinos konačne otpornosti prekidača na gubitke filtra, potrebno je transformisati impedanse, jednačina (11.5), Slika 45:

$$R_p = R_s \cdot (Q^2 + 1), C_p = C_s \cdot \frac{Q^2}{Q^2 + 1}, Q = \frac{1}{\omega \cdot R_s \cdot C_s}. \quad (11.5)$$



Slika 45 Transformacija serijske impedanse u paralelnu

Za $Q > 10$, važi:

$$R_P \approx R_S \cdot Q^2, C_P \approx C_S. \quad (11.6)$$

Pošto postoje tri prekidača u kolu, ukupan doprinos otpornosti prekidača u čvoru impedanse, može se predstaviti ekvivalentnom paralelnom otpornošću (11.7):

$$R_{eq} = R_1 \cdot Q_1^2 \parallel R_2 \cdot Q_2^2 \parallel R_3 \cdot Q_3^2. \quad (11.7)$$

Uticaj otpornosti prekidača na performanse filtra se može odrediti pomoću faktora dobrote, Q faktora. Ekvivalentni Q faktor u posmatranom čvoru ima najnižu vrednost kada su svi prekidači uključeni. Ovaj slučaj odgovara "brzom" korneru ($k = k_{min}$). U tom slučaju, ekvivalentni Q faktor se može izraziti kao:

$$Q = \frac{r_0 + r_1 + r_2 + r_3}{\omega \cdot k_{min} \cdot C_{nom} \cdot K_R \cdot \left(\frac{r_1^2}{W_1} + \frac{r_2^2}{W_2} + \frac{r_3^2}{W_3} \right)}, \quad (11.8)$$

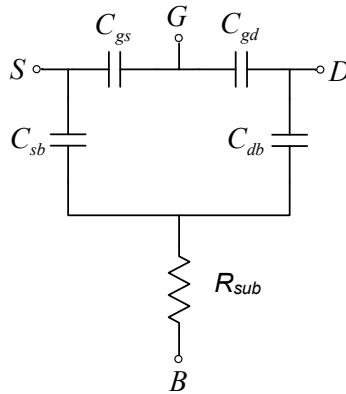
gde r_i odgovara odnosu C_{C_i}/C_{nom} za $i = 1, 2, 3$ i $r_0 = C_{nom}/C_{nom}$. Tabela 14 daje ove vrednosti. U jednačini (11.8), ω je ugaona učestanost, k_{min} je minimalna vrednost procesa, C_{nom} je nominalna vrednost kapacitivnosti kondenzatora, K_R je konstanta prekidača, izvedena na osnovu (11.4), i W_i je širina i -tog prekidača koji uključuje kompenzacioni kondenzator C_{C_i} u funkciju kola.

Slika 46 i Slika 47 prikazuju parazitne kapacitivnosti prekidača u isključenom stanju. Kapacitivnosti C_{gd} i C_{gs} potiču od preklapanja elektrode gejta, koja je od polisilicijuma (koji se ponaša kao metal), i oblasti drejna/sorsa i mogu se približno izraziti kroz $C_{gd} = C_{gs} = C_{ov} = W \cdot L_{ov} \cdot C'_{ox}$, dok su C_{db} i C_{sb} kapacitivnosti spojeva između drejna/sorsa i supstrata. Ova kapacitivnost je sačinjena od kapacitivnosti donje ploče spoja (engl. *bottom plate*), C_j i kapacitivnosti bočnog zida po obimu spoja, C_{jsw} . Pri tom su C_j i C_{jsw} kapacitivnosti po jedinici površine i jedinici dužine (obima), respektivno. Obe se mogu izraziti kao:

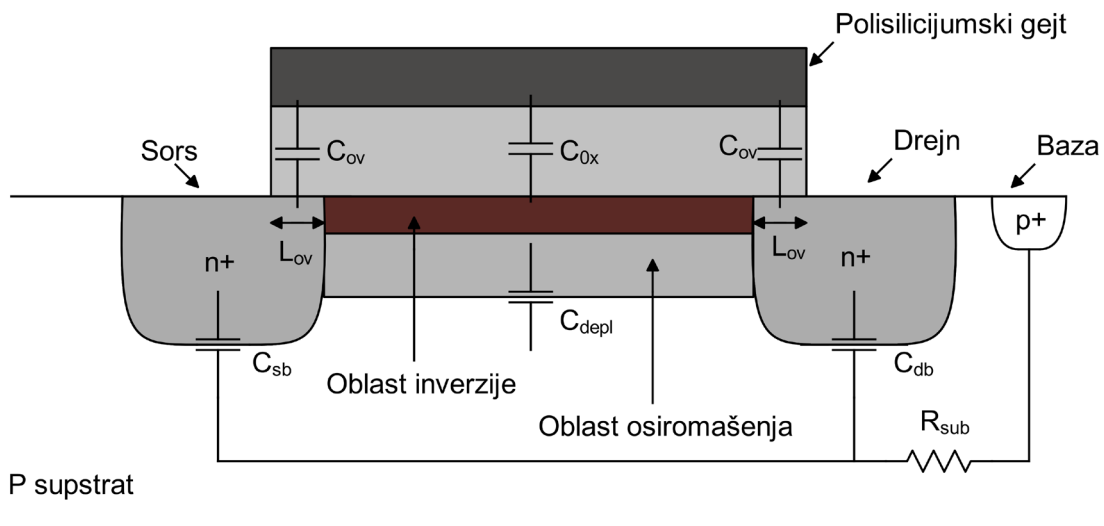
$$C_j = \frac{C_{j0}}{\left(1 + \frac{V_R}{\Phi_B}\right)^m}, \quad (11.9)$$

gde je V_R inverzni napon spoja, ϕ_B je tzv. ugrađeni potencijal spoja (engl. *built-in junction potential*), dok je m obično u opsegu između 0,3 i 0,4 [100].

Kako bi se ova kapacitivnost učinila najmanjom mogućom, usvojena je struktura sa više prstiju i napon napajanja je primenjen na drejn isključenog tranzistora. Prekidač je polarisan preko invertora i otpornika velike vrednosti, Slika 43.



Slika 46 Model prekidača u isključenom stanju



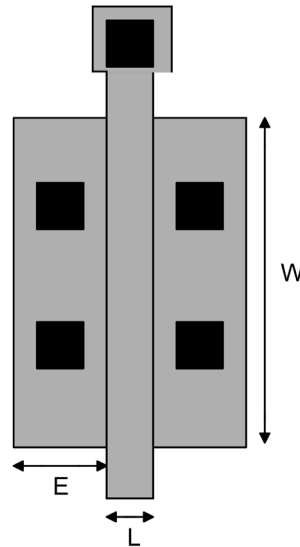
Slika 47 Ilustracija kapacitivnosti u modelu MOSFET tranzistora

Otpornost supstrata R_{sub} u izabranoj tehnologiji zavisi od veličine i rastojanja kontakata supstrata, veličine tranzistora i broja prstiju gejta, kao i od ostalih kola na čipu [101].

Usvajajući strukturu sa dva prsta ($n_{finger} = 2$), i polarišući prekidač preko invertora (Slika 43), i zanemarujući R_{sub} , impedansa koja se vidi iz terminala drejna isključenog prekidača je uglavnom kapacitivnog karaktera i data je sledećom formulom:

$$C_{drain} \approx C_{db} + C_{dg} = \frac{W}{2} \cdot E \cdot C_j + 2 \cdot \left(\frac{W}{2} + E \right) \cdot C_{jsw} + W \cdot L_{ov} \cdot C'_{ox}, \quad (11.10)$$

gde je W širina tranzistora, E je širina difuzije kod drejn priključka, L_{ov} je određeno tehnologijom i predstavlja dužinu oblasti preklapanja između polija gejta i drejn difuzije, dok je C_{ox}' kapacitivnost oksida po jedinici površine, Slika 48.



Slika 48 Ležaj MOSFET tranzistora (pogled odozgo)

Sa usvojenom polarizacijom, aproksimativno se može zaključiti da je kapacitivnost drejna određena tehnološkim parametrima i širinom tranzistora, $C_{drejn} \approx K_C \cdot W$. Primitimo da u frekvencijskom opsegu od značaja (do 10 GHz) i dobrim tehnikama ležajta možemo zanemariti R_{sub} u datoj tehnologiji. Takođe važi i $W/2 \gg E$.

Greška vrednosti kapacitivnosti kondenzatora (ε_p) usled parazitne kapacitivnosti prekidača je najveća kada su svi prekidači isključeni i kada je vrednost procesa spora ($k = k_{max}$):

$$\varepsilon_p = \frac{k_{max} \cdot r_1}{1 + \frac{k_{max} \cdot r_1 \cdot C_{nom}}{K_C \cdot W_1}} + \frac{k_{max} \cdot r_2}{1 + \frac{k_{max} \cdot r_2 \cdot C_{nom}}{K_C \cdot W_2}} + \frac{k_{max} \cdot r_3}{1 + \frac{k_{max} \cdot r_3 \cdot C_{nom}}{K_C \cdot W_3}} \quad (11.11)$$

Bez kompenzacije, gubici filtra su određeni Q faktorom kalemova. Uvođenjem kompenzacije, prekidači mogu značajno povećati gubitke (engl. *Insertion Loss* - IL). Kako se to ne bi desilo, ekvivalentan Q faktor kondenzatora trebalo bi da bude dovoljno visok u frekvencijskom opsegu od interesa. Prema jednačini (11.8) ekvivalentni Q faktor kondenzatora se sa povećanjem učestanosti smanjuje, što utiče na povećanje gubitaka. Dakle, gubici će najviše biti degradirani na najvišoj učestanosti u propusnom opsegu, a to je granična (engl. *cut-off*) učestanost ($f = f_c = 4,8$ GHz). Na osnovu rezultata simulacije gubitaka u zavisnosti od ekvivalentnog Q faktora kondenzatora, pokazuje se da ukoliko je ekvivalentan Q faktor kondenzatora veći od 40 na f_c , degradacija gubitaka će biti manja od 0,5 dB.

Iz jednačine (11.8) se može zaključiti da se sa povećanjem širine tranzistora povećava i ekvivalentan Q faktor. Sa druge strane, širina tranzistora trebalo bi da bude minimalna za minimalnu grešku, (11.11). Dakle, postoji kompromis između gubitaka i greške kapacitivnosti. Predloženi proračun daje optimalan odnos širina tranzistora za izabrani Q faktor.

Cilj je minimizovati ε_p za željenu vrednost Q. Za optimizaciju, korišćena je Jensenova nejednakost [102],[103]:

$$\forall x_1, x_2, x_3: t_1 \cdot f(x_1) + t_2 \cdot f(x_2) + t_3 \cdot f(x_3) \geq f(t_1 \cdot x_1 + t_2 \cdot x_2 + t_3 \cdot x_3), \quad (11.12)$$

gde je f konveksna funkcija, x_1, x_2, x_3 pripadaju domenu funkcije, a t_1, t_2, t_3 pozitivni koeficijenti za koje važi $t_1 + t_2 + t_3 = 1$. Jednakost se primenjuje akko $x_1 = x_2 = x_3$ ili f je linearna funkcija [102]. Za $f = 1/x$ $f = 1/x$, dobija se:

$$\begin{aligned} \frac{r_1}{t} \cdot f\left(1 + \frac{k_{max} \cdot r_1 \cdot C_{nom}}{K_C \cdot W_1}\right) + \frac{r_2}{t} \cdot f\left(1 + \frac{k_{max} \cdot r_2 \cdot C_{nom}}{K_C \cdot W_2}\right) + \frac{r_3}{t} \cdot f\left(1 + \frac{k_{max} \cdot r_3 \cdot C_{nom}}{K_C \cdot W_3}\right) \\ \geq f\left(\frac{r_1}{t} \cdot \left(1 + \frac{k_{max} \cdot r_1 \cdot C_{nom}}{K_C \cdot W_1}\right) + \frac{r_2}{t} \cdot \left(1 + \frac{k_{max} \cdot r_2 \cdot C_{nom}}{K_C \cdot W_2}\right) + \frac{r_3}{t} \cdot \left(1 + \frac{k_{max} \cdot r_3 \cdot C_{nom}}{K_C \cdot W_3}\right)\right), \end{aligned} \quad (11.13)$$

$$\frac{r_1}{t} + \frac{r_2}{t} + \frac{r_3}{t} = 1. \quad (11.14)$$

Iz (11.11), (11.13) i (11.14) dobija se:

$$\frac{\varepsilon_p}{t} \geq k_{max} \cdot \frac{1}{1 + \frac{k_{max} \cdot C_{nom}}{t \cdot K_C} \cdot \left(\frac{r_1^2}{W_1} + \frac{r_2^2}{W_2} + \frac{r_3^2}{W_3}\right)}. \quad (11.15)$$

Koristeći se jednačinom (11.8), jednačina (11.15) se svodi na:

$$\varepsilon_p \geq t \cdot k_{max} \cdot \frac{1}{1 + \frac{k_{max}}{k_{min} \cdot t \cdot K_C} \cdot \frac{r_0 + r_1 + r_2 + r_3}{\omega \cdot K_R \cdot Q}}. \quad (11.16)$$

Za fiksno Q na f_c , izraz sa desne strane nejednakosti (11.16) je konstantan. Takođe primetimo da se u izrazu frekvencijska zavisnost poništava.

Minimalna greška se dobija u slučaju kada su leva i desna strana nejednakosti (11.16) jednake. To će biti slučaj akko je ispunjen sledeći uslov:

$$1 + \frac{k_{max} \cdot r_1 \cdot C_{nom}}{K_C \cdot W_1} = 1 + \frac{k_{max} \cdot r_2 \cdot C_{nom}}{K_C \cdot W_2} = 1 + \frac{k_{max} \cdot r_3 \cdot C_{nom}}{K_C \cdot W_3}. \quad (11.17)$$

Jednačina (11.17) se može preformulisati u sledeći uslov:

$$\frac{r_1}{W_1} = \frac{r_2}{W_2} = \frac{r_3}{W_3}. \quad (11.18)$$

Sa specificiranim Q faktorom na f_c i pomoću (11.18) i (11.8) , dobija se širina prekidača za sva tri kondenzatora.

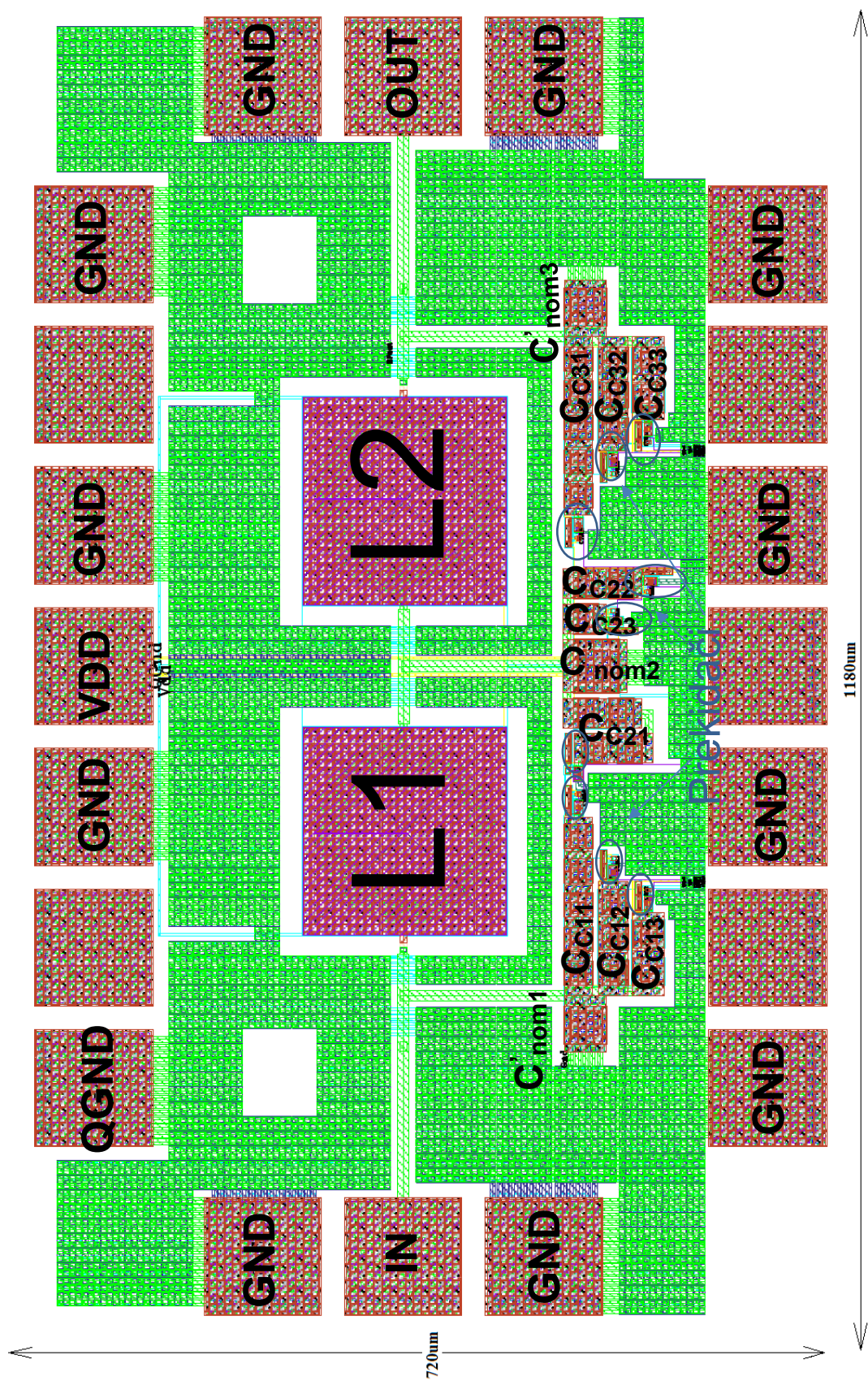
Primetimo da je izborom vrednosti Q faktora na f_c , određena i greška kapacitivnosti. Ukoliko za izabrani Q faktor greška nije zadovoljavajuća, ona se može smanjiti po cenu većih gubitaka. Za $Q_C = 40$, maksimalna greška iznosi $\varepsilon_p \approx 2\%$, što je u ovom slučaju prihvatljiv kompromis. Za C_2 , prekidači su dimenzionirani za navedene vrednosti. Za C_1 i C_3 ograničenje postoji usled minimalne dozvoljene širine RF tranzistora u izabranoj tehnologiji. U ovom slučaju, $Q_C = 35$ dok je $\varepsilon_p \approx 2\%$. Prinetimo da najviša vrednost gubitaka i maksimalna greška nastaju u slučaju suprotnih vrednosti procesa. Za izabranu širinu prekidača, degradacija gubitaka na f_c je ispod 0,6 dB.

11.3. Realizacija kompenzovanog filtra

Tabela 15 i Slika 49 prikazuju opis ulaza i izlaza (pinova) kola i ležaut implementiranog filtra sa kompenzacionim kondenzatorima, respektivno. Dimenzije ležauta filtra su određene na osnovu raspoloživih sondi za merenje čipa. Ležaut integrisanog sistema sa kalibracionim kolom prikazan je u poglavlju 12. Kao što se može videti sa slike, kompenzacioni kondenzatori su povezani u seriju. Ovo je bilo potrebno usled ograničene minimalne vrednosti MIM kondenzatora u korišćenoj tehnologiji.

Tabela 15 Numeracija pinova projektovanog filtra

#	Ime	Tip	Opis
1.	Vdd	<i>Power</i>	1,2 V napon napajanja
2.	Gnd	<i>Power</i>	Masa
3.	QGnd	<i>Power</i>	Mirna masa (<i>quiet ground</i>)
4.	RF_FLT_IN	<i>Input</i>	RF ulaz
5.	RF_FLT_OUT	<i>Output</i>	RF izlaz
6.	RF_FLT_TUNING<2:0>	<i>Digital</i>	Kontrola prekidača za podešavanje banke kondenzatora pomoću kalibracionog kola



Slika 49

Lejaut filtra sa bankom kompenzacionih kondenzatora

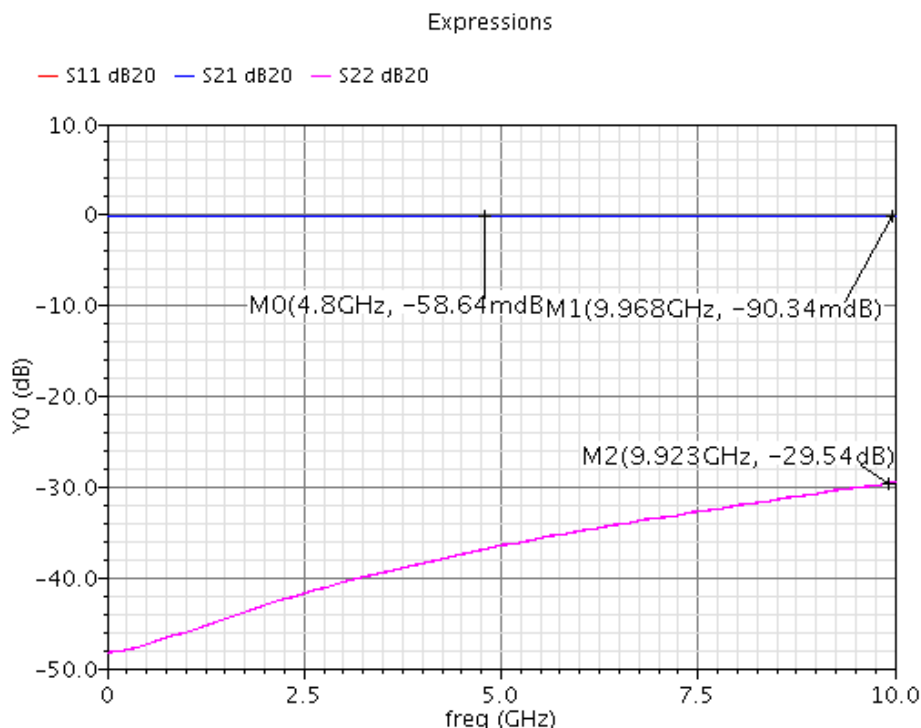
Napomenimo da su linije veza filtra realizovane kao koplanarni vodovi (*coplanar waveguide*) i karakterisane elektromagnetski. Slika 50 prikazuje S parametre projektovanog voda dužine 155 μm .

Prenosna karakteristika filtra je simulirana na nivou šeme i lejauta sa ekstrahovanim parazitnim RC elementima kola. Slika 51 i Slika 52 a) prikazuju simulirane rezultate S21 parametra na nivou šeme i lejauta, respektivno. Simulirana su različita podešavanja kompenzacione banke za tri granična slučaja vrednosti procesa, nominalnu (na graficima zelena), sporu (plava) i brzu (crvena). Za nominalnu vrednost procesa, u kompenzacionu banku, odnosno u funkciju kola, su uključeni C_{C1} i C_{C2} kompenzacioni kondenzatori u svakom od osnovnih kondenzatora filtra. Za brzu vrednost procesa, sva tri kompenzaciona kondenzatora (C_{C1} , C_{C2} , C_{C3}) su uključena u funkciju kola, dok su u slučaju spore vrednosti procesa, sva tri kompenzaciona kondenzatora isključena iz banke, kako bi za svaku vrednost procesa specifikacije filtra bile ispunjene.

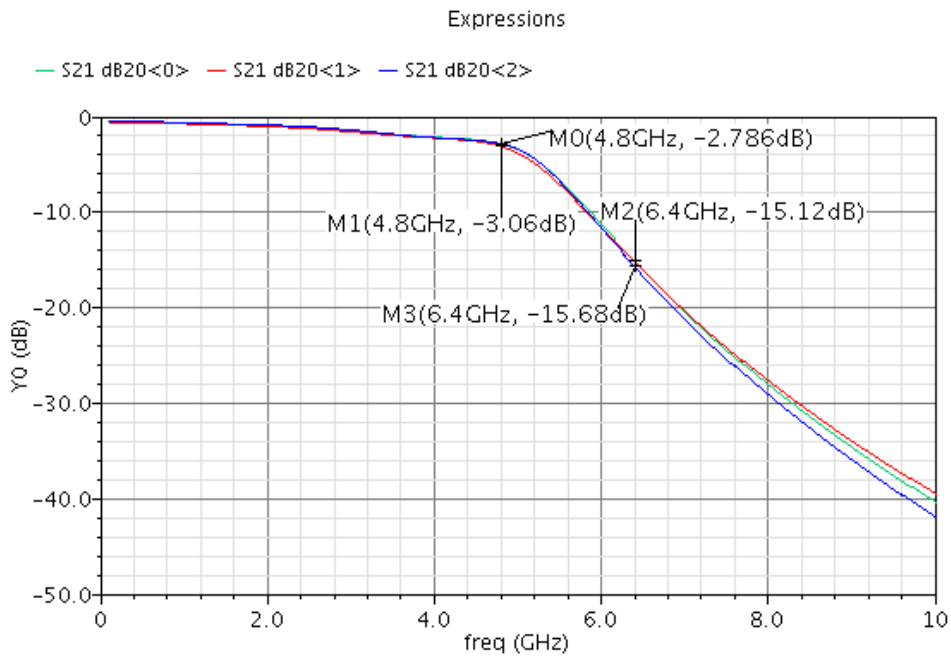
Kao što se iz prikazanih rezultata S parametara vidi, razlika u prenosnoj karakteristici između rezultata na nivou šeme i lejauta na graničnoj učestanosti filtra iznosi do $\sim 0,6$ dB, usled gubitaka na linijama veza.

Ukoliko uporedimo rezultate kompenzovanog filtra na nivou lejauta, sa rezultatima nekompensovanog filtra, Slika 42, možemo zaključiti da je varijacija prenosne karakteristike filtra na kritičnoj učestanosti od 6,4 GHz smanjena sa 5 dB na samo 0,6 dB.

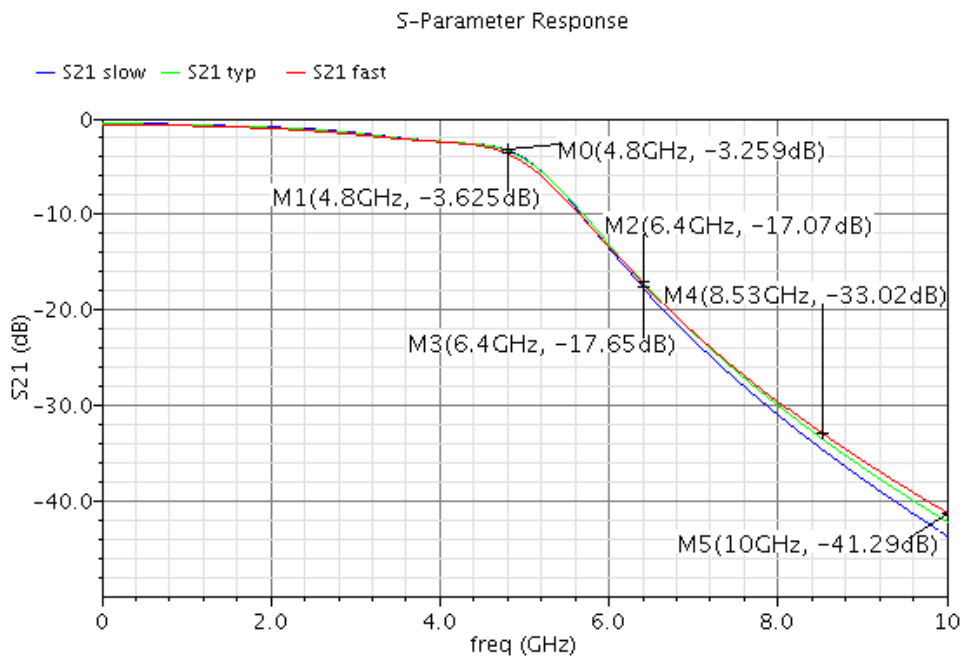
Slika 52 b) prikazuje S11 parametre simulacija na ekstrahovanom nivou.



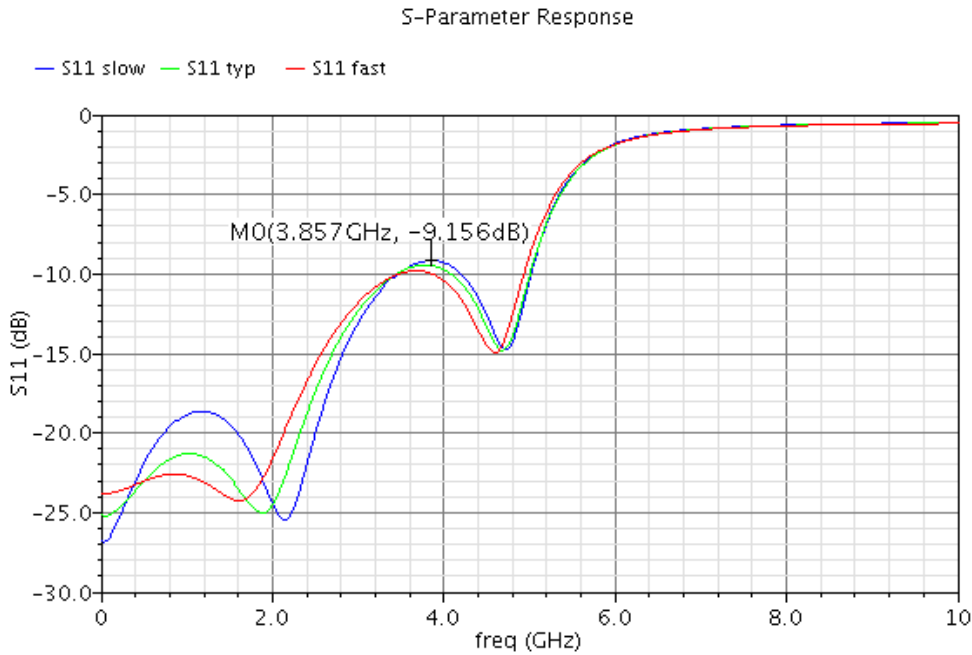
Slika 50 S parametri koplanarnog voda dužine 155 μm



Slika 51 S21 kompenzovanog filtra u sporom (plava), nominalnom (zelena) i brzom (crvena) korneru na nivou šeme



a)



b)

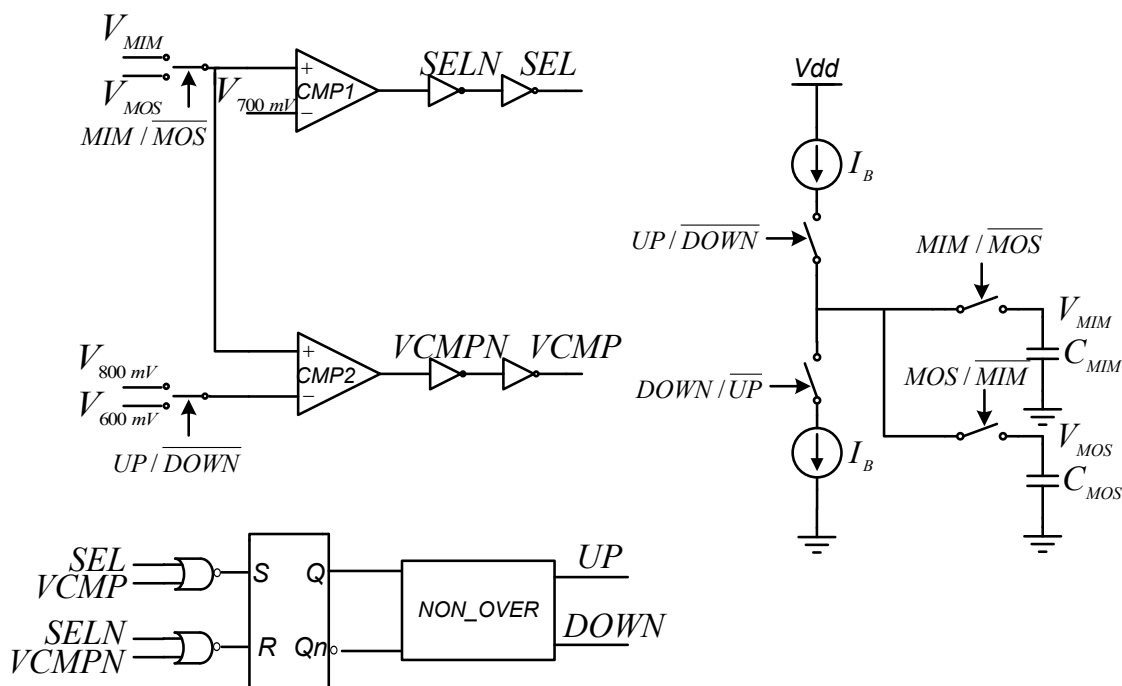
Slika 52 S-parametri kompenzovanog filtra u sporom (plava), nominalnom (zeleni) i brzom (crveni) korneru – a) S21 b) S11 – na ekstrahovanom nivou

11.4. Procena vrednosti kapacitivnosti kondenzatora

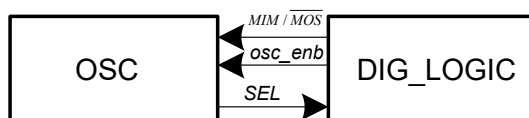
U ovom poglavlju je opisana realizacija analogno-digitalnog dela kalibracionog kola, koje procenjuje varijaciju vrednosti kapacitivnosti MIM kondenzatora. Ta varijacija se procenjuje na osnovu odnosa učestanosti oscilovanja kalibracionog oscilatora sa MIM i sa referentnim MOS kondenzatorom. Na osnovu procenjene varijacije generišu se kontrolni biti kompenzacione banke filtra.

11.4.1. Oscillator

Slika 53 prikazuje koncept referentnog oscilatora, dok ga rad [18] detaljno opisuje. Asimetrični oscilator generiše oscilacije sa oba kondenzatora. Iako je topologija kola oscilatora veoma slična topologiji predstavljenoj u [18], optimizacija dizajna je različita. Kao što je objašnjeno, procedura u ovom radu ima značajne prednosti jer koristi kapacitivnost referentnog kondenzatora realizovanog na samom čipu. Samim tim je tačnost procene vrednosti kapacitivnosti kondenzatora nezavisna od temperature, napona napajanja, vrednosti procesa i neuparenosti komponenti, kao i od uticaja parazita linijskih veza.



Slika 53 Oscilator – koncept

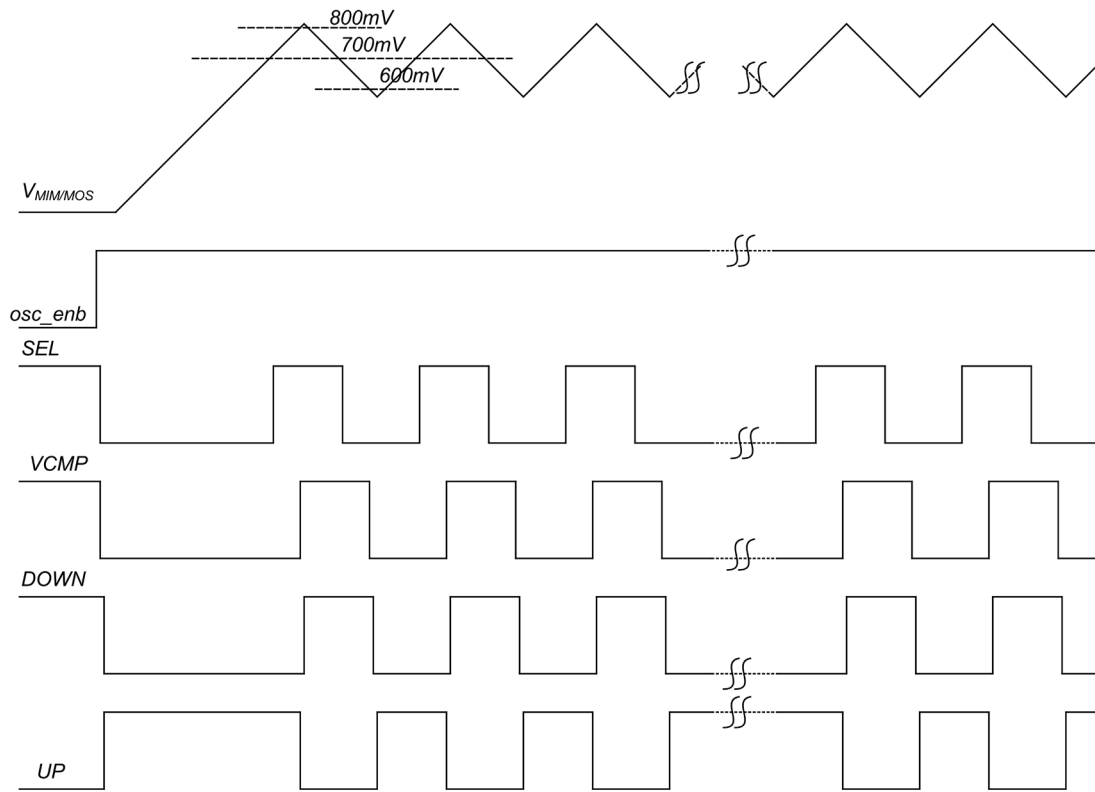


Slika 54 Kontrolni signali između oscilatora i digitalne logike

Digitalna logika upravlja oscilatorom, Slika 54. Digitalni signal osc_enb postavlja oscilator u početno stanje i omogućuje njegovo pokretanje. MIM/\overline{MOS} signal određuje da li se oscilacije uspostavljaju sa MIM ili MOS kondenzatorom. SEL signal oscilatora ima pravougaoni oblik. Njegova učestanost odgovara učestanosti oscilovanja i određuje se u digitalnom domenu.

Slika 55 prikazuje vremenski dijagram oscilatora. U početnom stanju $osc_enb = 0$ usled čega su izlazi oba komparatora (CMP1 i CMP2, Slika 53) postavljeni na V_{dd} , odnosno signal $DOWN/\overline{UP}$ odgovara logičkoj "1". Posmatrani kondenzator (C_{MIM} ili C_{MOS}) na početku procesa je ispražnjen na masu. Po postavljanju osc_enb na "1", izlaz oba komparatora odgovara logičkoj "0", kao i signal $DOWN/\overline{UP}$. Dakle, posmatrani kondenzator se puni od 0 do 700 mV (V_{700mV}). Po dostizanju ove vrednosti izlaz komparatora 1 (CMP1) se prebacuje na "1", čime se S_n ulaz S_nR_n leča postavlja na logičku "0". Drugim rečima, lečom će da upravlja signal VCMPN. Ovaj signal se menja na "0" po dostizanju napona na kondenzatoru jednakom 800 mV. Ova promena će da prouzrokuje promenu signala $DOWN/\overline{UP}$ na "1". Sada se menjaju uslovi u kolu, odnosno posmatrani kondenzator se prazni do vrednosti napona od 700 mV. Pri ovoj vrednosti napona, signal SELN dobija vrednost "1", odnosno vrednost signala $DOWN/\overline{UP}$ je određena sa VCMP. Ovaj signal se postavlja na "0" kada napon kondenzatora dostigne drugu kritičnu vrednost koja iznosi 600 mV. Od ovog trenutka, ciklus se ponavlja na opisan način. Signal $DOWN/\overline{UP}$ ponovo dobija vrednost "0", tj. kondenzator ponovo nastavlja da se puni do 800 mV. Dakle, komparator CMP1 služi za pripremu promene stanja, sprečava pojavu

zabranjenog stanja na ulazu S_nR_n leća ($S_n="1"$, $R_n="1"$) u trajanju od jednog kašnjenja kroz inverter.



Slika 55 Oscilator - vremenski dijagram

Napomenimo da su pragovi komparatora izabrani na osnovu analize nelinearnosti MOS reference, detaljno predstavljene u nastavku ovog poglavlja.

Period oscilacija je proporcionalan merenoj kapacitivnosti, (11.19):

$$T_{MIM/MOS} = \frac{2 \cdot C_{MIM/MOS} \cdot \Delta V_C}{I_B} = \frac{2 \cdot C_{MIM/MOS} \cdot (V_2 - V_1)}{I_B}, \quad (11.19)$$

gde su V_1 i V_2 naponi praga komparatora u oscilatoru, koji su u nastavku teksta optimizovani za linearni režim rada MOS reference.

U digitalnom domenu, broj oscilacija sa oba kondenzatora se meri u okviru predefinisano vreme, $T_{measure}$:

$$COUNT_{MIM/MOS} = \frac{T_{measure}}{T_{MIM/MOS}}, \quad (11.20)$$

$$\frac{COUNT_{MOS}}{COUNT_{MIM}} = \frac{T_{MIM_ideal} \cdot (1 + \alpha_{MIM})}{T_{MOS_ideal} \cdot (1 + \alpha_{MOS})} = \frac{C_{MIM}}{C_{MOS}} \cdot \frac{1 + \alpha_{MIM}}{1 + \alpha_{MOS}} \approx \frac{C_{MIM}}{C_{MOS}}. \quad (11.21)$$

Digitalna logika je sinhronizovana sa standardnim eksternim referenentnim taktnim signalom od 32 MHz.

U (11.21) α_{MIM} and α_{MOS} modeluju devijacije perioda oscilovanja od nominalnog, izazvane neidealnostima poput greške strujnog izvora na čipu, neidealnog preslikavanja struje, ofseta operacionog pojačavača, varijacije napona V_1 i V_2 , parazitnih kapacitivnosti i otpornosti linija veze. Pošto su neidealnosti skoro identične u oba slučaja oscilacija, zbog fizički istog jezgra oscilatora, sledi da je $\alpha_{MIM} \approx \alpha_{MOS}$.

Potrebno je da naponi V_1 i V_2 budu dovoljno visoki, kako nelinearno ponašanje MOS kondenzatora ne bi uticalo na tačnost kalibracije. Sa druge strane, potrebno je da pomenuti naponi budu i dovoljno niski, kako bi "P" strana strujnih ogledala zadržala visoku izlaznu impedansu. Drugim rečima, potrebno je da PMOS tranzistori u strujnom ogledalu izvora za punjenje kondenzatora budu u saturaciji.

Uticaj napona V_1 i V_2 na grešku kalibracije usled nelinearnosti MOS kondenzatora je analitički analiziran i modelovan u nastavku teksta.

Prema ACM (engl. *Advanced Compact MOSFET*) modelu tranzistora, kapacitivnost gejta za $V_{DS} = 0$, može se predstaviti jednačinom (11.23) [59]:

$$C_{gate} = C_{gs} + C_{gd} + C_{gb}, \quad (11.22)$$

$$C_{gate} = \frac{n-1}{n} \cdot C_{ox} + \frac{1}{n} \cdot C_{ox} \cdot \frac{\sqrt{1+IF} - 1}{\sqrt{1+IF}}, \quad (11.23)$$

$$\frac{V_G - V_{th}}{n} - V_{S,D} = \phi_t \cdot [\sqrt{1+IF} - 2 + \ln(\sqrt{1+IF} - 1)], \quad (11.24)$$

$$n = n(V_G), C_{ox} = W \cdot L \cdot C'_{ox}, \phi_t \approx 26mV(T = 27^\circ C). \quad (11.25)$$

U (11.23) C_{ox} je kapacitivnost oksida gejta, n je faktor nagiba i funkcija je primenjenog napona na gejtu, IF je faktor inverzije, koji se može izračunati korišćenjem jednačine (11.24). U (11.24), V_{th} je napon praga, ϕ_t je termički napon, dok su V_G , V_S i V_D napon gejta, sorsa i drejna tranzistora.

Korišćenjem procedure opisane u [59], možemo izračunati parametre V_{th} i $n(V_G)$. Za $V_D = V_S = 0$ iz jednačine (11.24) može se izraziti IF i zameniti u jednačinu (11.23). Time se dobija gejta kapacitivnost kao funkcija gejta napona, $C_{gate} = C_{gate}(V_G)$. Ovim izrazom, možemo izraziti devijaciju odnosa T_{MIM}/T_{MOS} od idealnog ($T_{MIM}/T_{MOS}=1$) u nominalnim uslovima kao funkciju napona gejta.

Koristeći se jednačinom (11.26), možemo izraziti gejta napon preko MOS tranzistora kao vremensku funkciju. Pretpostavka je da se kondenzator puni od napona V_1 izvorom konstantne struje, I_B :

$$I_B = C_{gate}(v_C) \cdot \frac{dv_C}{dt}, v_C(0) = V_1. \quad (11.26)$$

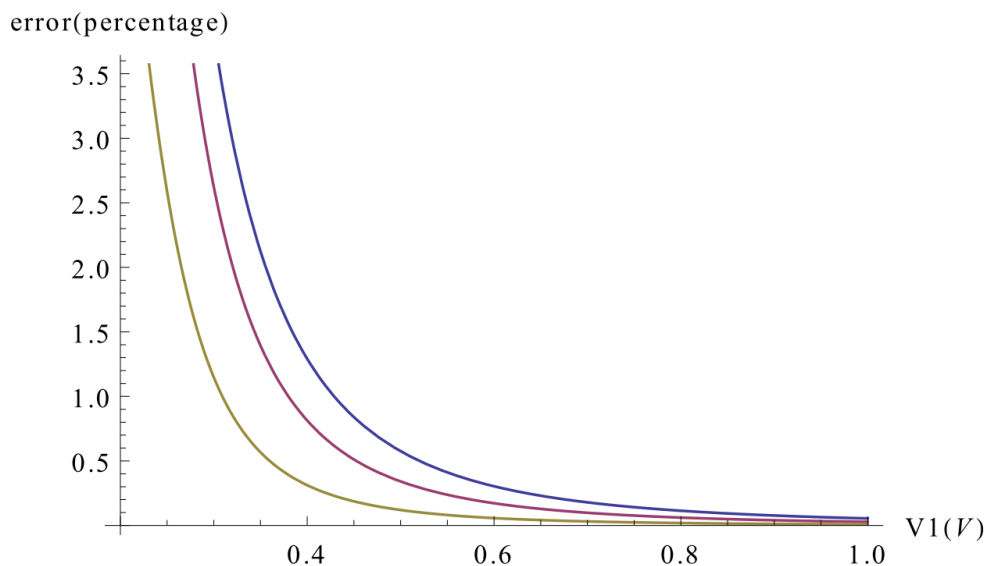
Iz (11.27) možemo naći vreme $T_{MOS}(V_1, V_2)$ potrebno da se kondenzator napuni od napona V_1 do V_2 :

$$v_C(t) = V_2 \rightarrow T_{MOS}(V_1, V_2). \quad (11.27)$$

Kako bi imali idealan odnos $T_{MIM}/T_{MOS} = 1$ u nominalnim uslovima, bira se:

$$C_{MIM} = \frac{C_{gate}(V_1) + C_{gate}(V_2)}{2}. \quad (11.28)$$

Kombinovanjem (11.19) i (11.28), može se izraziti $T_{MIM} = T_{MIM}(V_1, V_2)$. Dodatno uz (11.27), može se izraziti greška $(T_{MIM}/T_{MOS} - 1) \cdot 100\%$ kao funkcija napona V_1 i V_2 . Slika 56 prikazuje apsolutnu grešku, kao funkciju napona V_1 za $V_2 = V_1 + 0,1V$, $V_2 = V_1 + 0,2V$ i $V_2 = V_1 + 0,3V$.



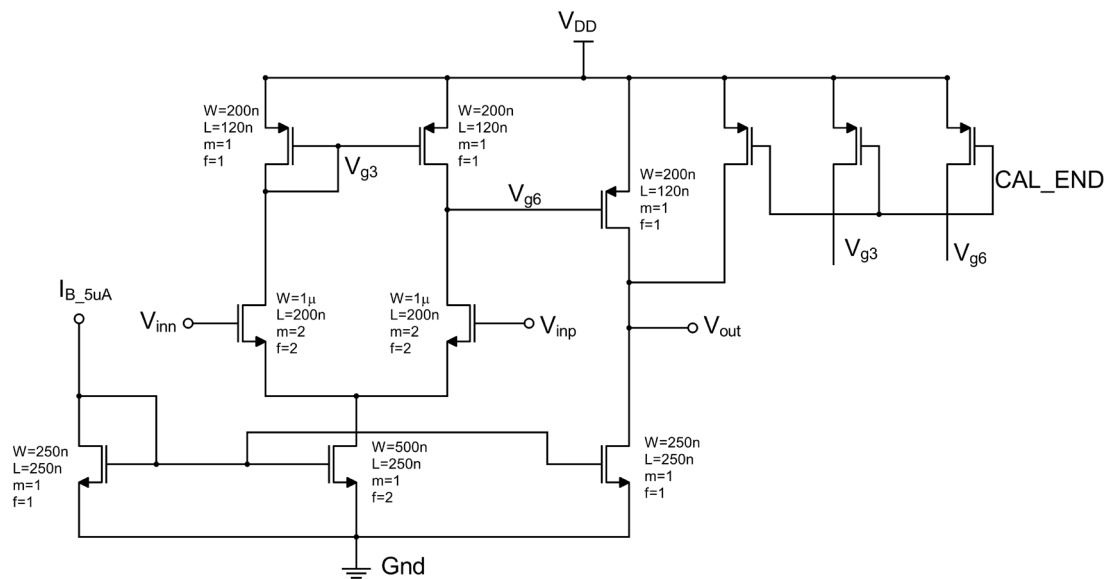
Slika 56 Greška vrednosti procene kapacitivnosti MIM kondenzatora usled konačne linearnosti MOS kondenzatora u zavisnosti od napona V_1 , za $V_2 = V_1 + 0,1V$ (zeleni), $V_2 = V_1 + 0,2V$ (ljubičasti) and $V_2 = V_1 + 0,3V$ (plavi)

Kao što se može videti sa grafika, greška koja potiče od nelinearnosti MOS kondenzatora je zanemarljiva u slučaju $V_1 > 0,6$ i $V_2 - V_1 \leq 0,2V$.

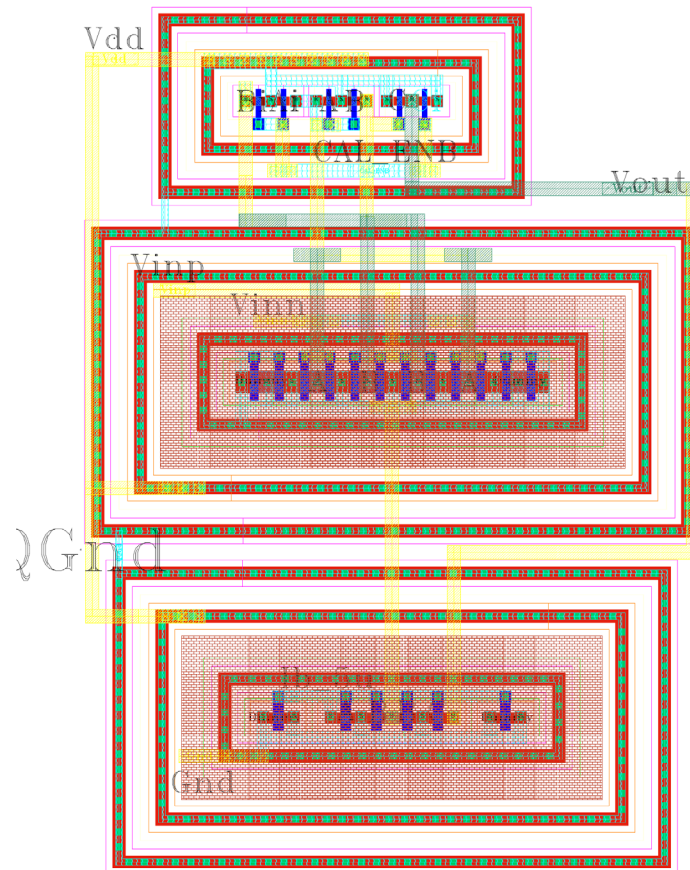
U korišćenim analizama se pretpostavlja punjenje i pražnjenje kondenzatora konstantnim strujnim izvorom. Dakle, strujni izvori moraju imati visoku izlaznu impedansu. Takođe $T_{osc}/2$ bi trebalo da bude veće od perioda signala takta digitalne logike u svim PVT uslovima kako bi se oscilacije mogle sinhronizovati i brojati u digitalnom domenu. Nominalne vrednosti od $C_{MIM/MOS} = 30$ pF, $I_B = 100$ μ A, $V_1 = 0,6$ V i $V_2 = 0,8$ V ispunjavaju potrebne uslove uz prihvatljivu površinu oscilatora.

Oscilator sa strujnim izvorom je u potpunosti implementiran. Dva strujna izvora su projektovana, jedan za polarizaciju korišćenih komparatora, drugi u svrhu punjenja i pražnjenja kondenzatora kroz strujna ogledala. Strujni izvori su samopolarizovani i zasnovani su na principu pozitivne povratne sprege. Za svaki od izvora, Šmitov triger je projektovan kako bi se osigurao siguran start kroz sve PVT varijacije.

Slika 57 prikazuju šemu (bez lažnih (engl. *dummy*) tranzistora koji se koriste za uparivanje osnovnih tranzistora) i ležaut komparatora. Ofset komparatora neće uticati na tačnost merenja, ali njegova brzina hoće, tako da su projektovani da budu brzi, da imaju malu potrošnju i da zauzimaju malu površinu. Izabrana topologija komparatora je bez povratne sprege, odnosno realizovan je kao operacioni pojačavač bez kompenzacije.



a)



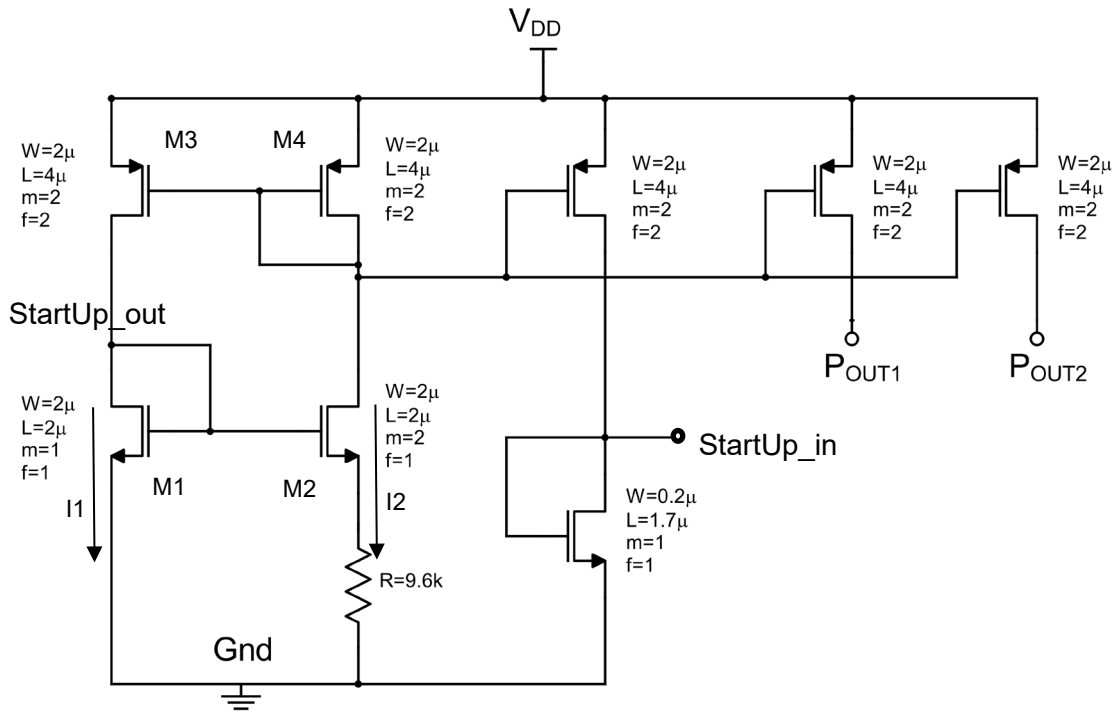
b)

Slika 57 Komparator a) šema i b) leljaut

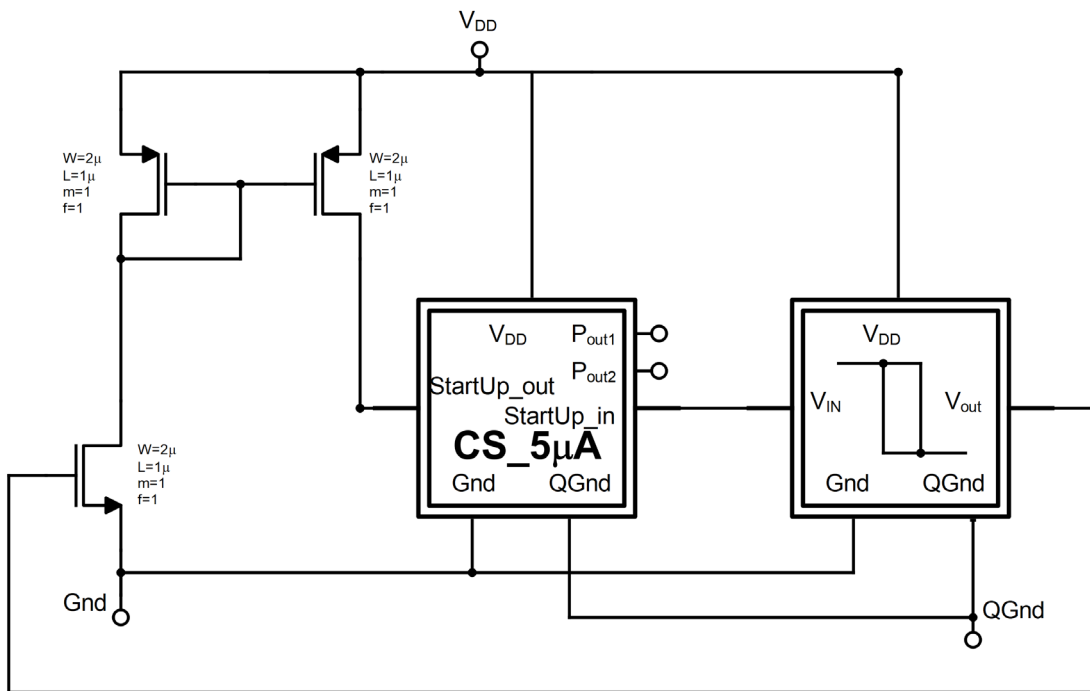
Slika 58 prikazuje realizaciju strujnog izvora koji napaja oba komparatora (*dummy* tranzistori nisu prikazani). Izabrana topologija je nezavisna od napona napajanja.

U većini kola sa sopstvenom polarizacijom, koja funkcionišu pomoću pozitivne povratne sprege, postoje dve radne tačke [59]. Strujni izvor (Slika 58 a)) se sastoji od strujnog ogledala M3-M4 i degenirasnog strujnog ogledala M1-M2-R. Postoje dve zajedničke radne tačke ova dva strujna ogledala, A i B (Slika 59). Tačka B odgovara nultim strujama, dok se tačka A projektuje da odgovara željenoj struji. Kolo se može „samostartovati“ dok god je struja curenja M2, veća od struje curenja tranzistora M1 [59],[104]. Drugim rečima, tačka B je tada nestabilna. Čak i ako je ovo slučaj, kolu može biti potrebno jako puno vremena (reda sekundi) kako bi sistem konvergirao ka tački A pošto su struje u kolu po uključenju napajanja jako male, što rezultira sporim punjenjem kapacitivnosti internih čvorova kola [59]. Iz navedenih razloga, projektovano je kolo za pouzdano startovanje, Slika 58 b) i c), dok Slika 58 d) prikazuje leljaut integrisanog strujnog izvora i kola za pouzdano startovanje.

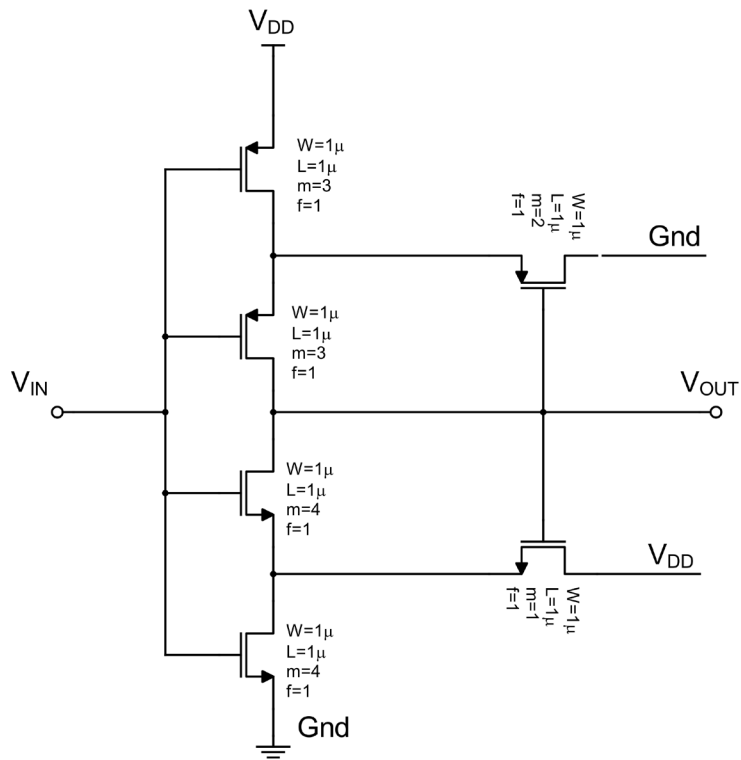
Kolo za pouzdano startovanje je kolo sa histerezisom, koje prilikom uključenja strujnog izvora, ubrizgava struju u čvor *StartUp_out*, dok god je izlazna struja izvora manja od zadatog praga.



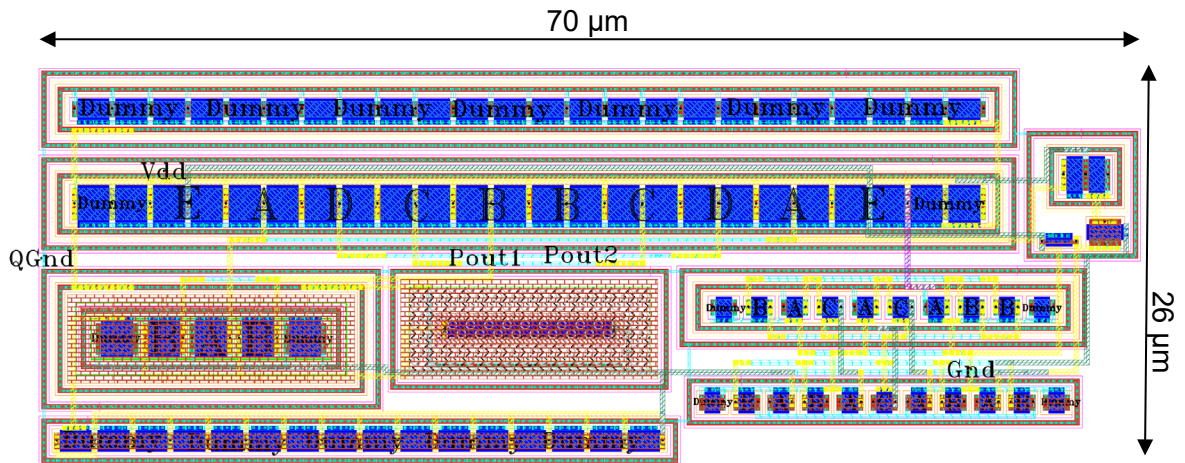
a)



b)



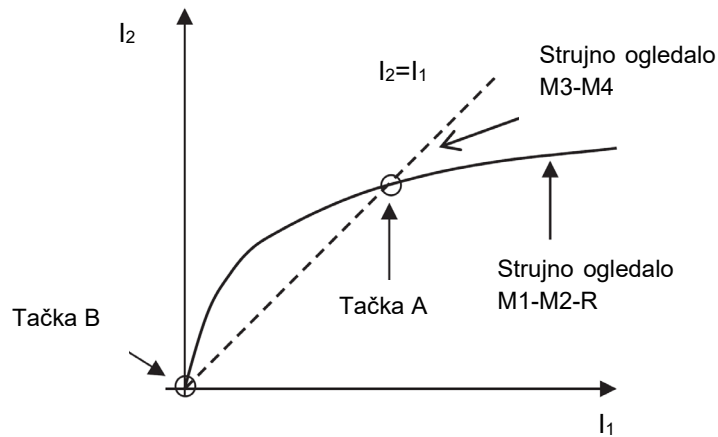
c)



d) lejaut

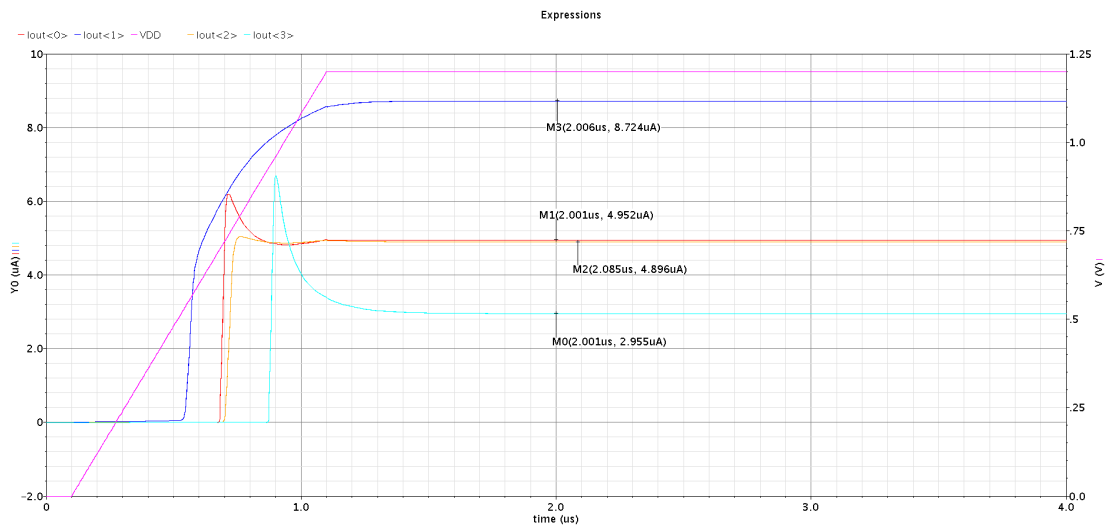
Slika 58

Strujni izvor 5 μ A – realizacija sa Šmitovim trigerom

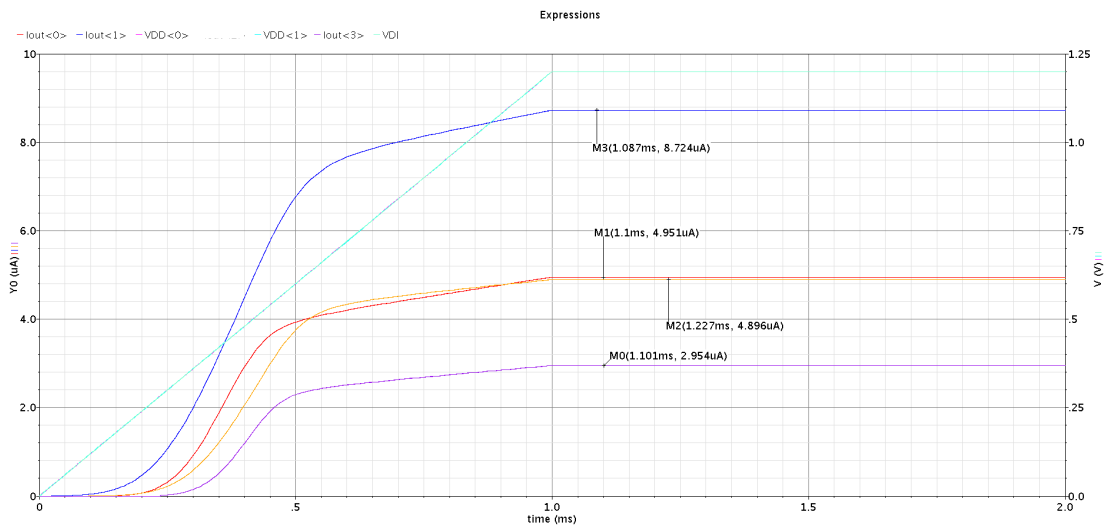


Slika 59 Radne tačke strujnog izvora [59],[105]

Slika 60 i Slika 61 prikazuju rezultate simulacija struje polarizacije komparatora za kritične slučajevne vrednosti procesa i temperature, za brz i spor slučaj uključivanja napajanja, respektivno.

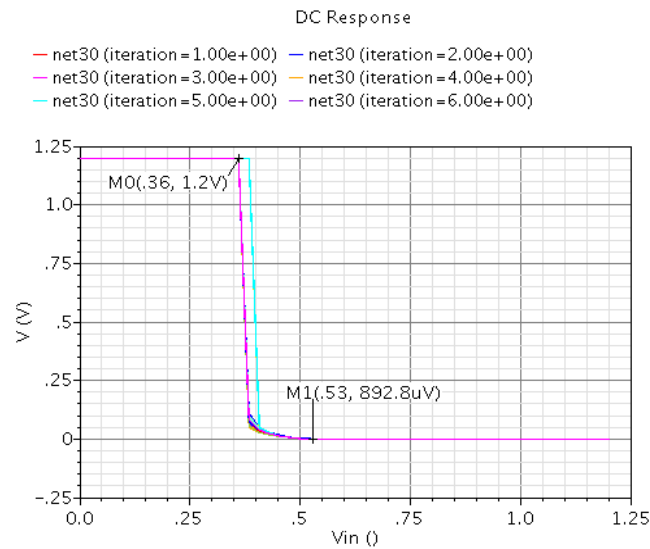


Slika 60 Uključivanje strujnog izvora komparatora kroz kornere za uključivanje napajanja u trajanju od 1 μ s: crvena = brz proces i $T = -40$ °C; plava = brz proces i $T = 90$ °C; narandžansta = spor proces i $T = 90$ °C; svetlo plava = spor proces i $T = -40$ °C

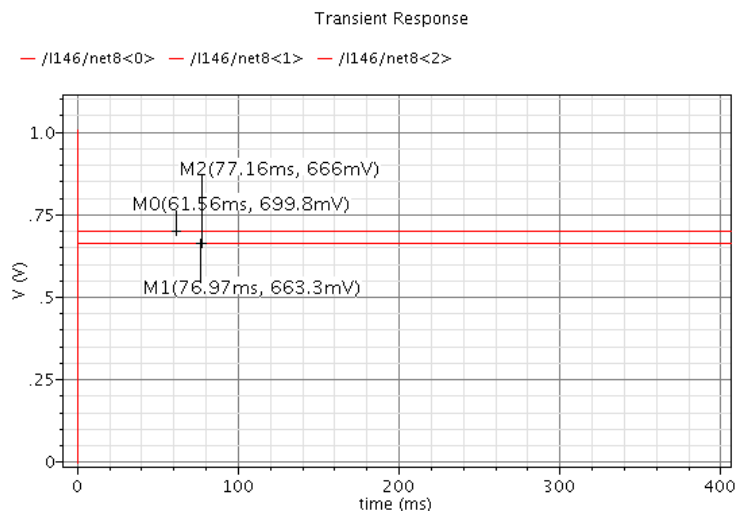


Slika 61 Uključivanje strujnog izvora komparatora kroz kornere za uključivanje napajanja u trajanju od 1 ms: crvena = brz proces i $T = -40\text{ }^{\circ}\text{C}$; plava = brz proces i $T = 90\text{ }^{\circ}\text{C}$; narandžansta = spor proces i $T = 90\text{ }^{\circ}\text{C}$; svetlo plava = spor proces i $T = -40\text{ }^{\circ}\text{C}$

Slika 62 prikazuje prenosnu karakteristiku ($V_{IN} - V_{OUT}$) Šmitovog trigeru (kojeg prikazuje Slika 58), na nivou lejauta. Rezultati su dobijeni iz Monte Carlo simulacije sa $\pm 3\sigma$ varijacijom procesa i neuparenosti komponenti.



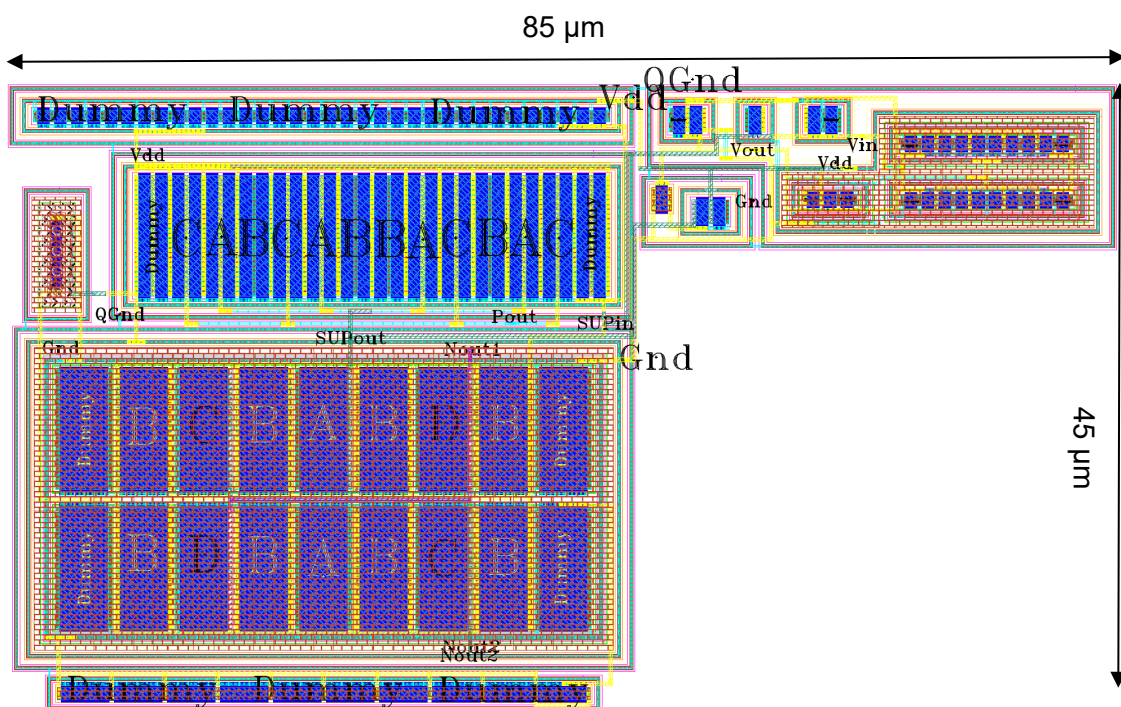
Slika 62 Promena izlaznog signala Šmitovog trigeru sa ulaznim, Monte Carlo



Slika 63 Ulaz u Šmitov trigger, signal *StartUp_in* (Slika 58) kroz kornere

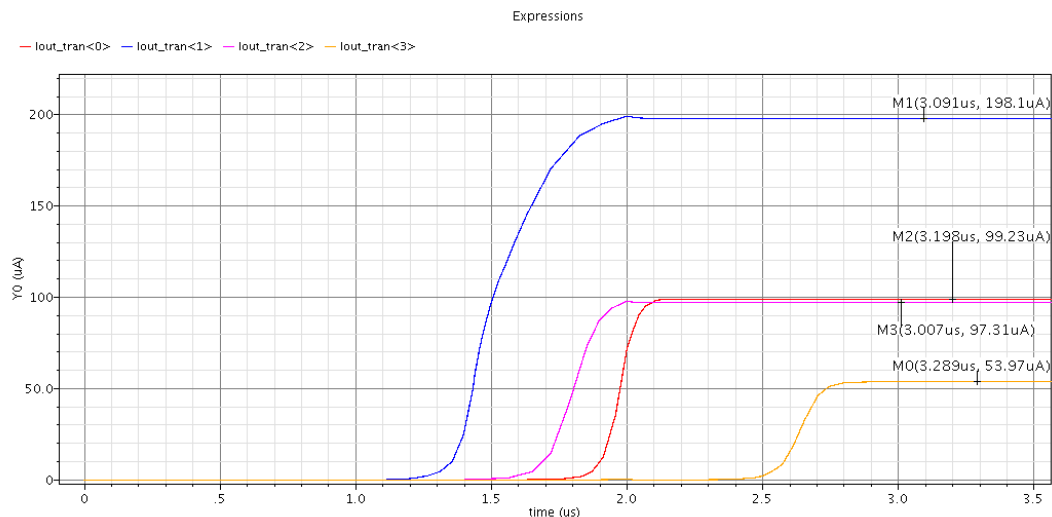
Pri normalnom radu kola, minimalni ulazni signal u Šmitovo kolo (663 mV) je veći od maksimalnog napona pri kojem se Šmitov triger isključuje (530 mV).

Slika 64 prikazuje ležaj I_B strujnog izvora za generisanje oscilacija (Slika 53). Nominalna struja ovog strujnog izvora iznosi 100 μA . I_B je realizovan i verifikovan na isti način kao strujni izvor od 5 μA , uz odgovarajuće skaliranje tranzistora.

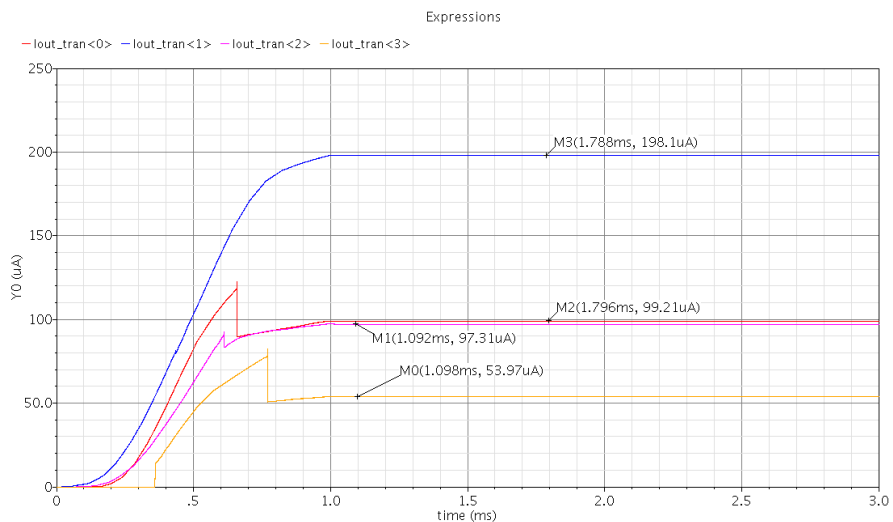


Slika 64 Ležaj strujnog izvora sa kolom za pouzdano startovanje

Slika 65 i Slika 66 prikazuju rezultate simulacija struje I_B za kritične slučajeve vrednosti procesa i temperature, za brz i spor slučaj uključivanja napajanja, respektivno.

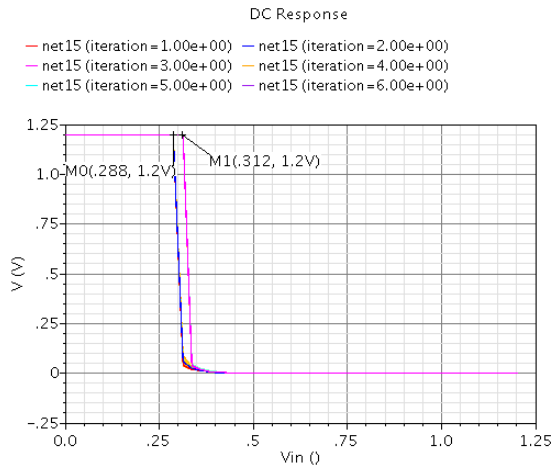


Slika 65 Uključivanje strujnog izvora $I_B = 100 \mu\text{A}$ kroz kornere za uključivanje napajanja u trajanju od $1 \mu\text{s}$: crvena = brz proces i $T = -40 \text{ }^\circ\text{C}$; plava = brz proces i $T = 90 \text{ }^\circ\text{C}$; roze = spor proces i $T = 90 \text{ }^\circ\text{C}$; narandžansta = spor proces i $T = -40 \text{ }^\circ\text{C}$

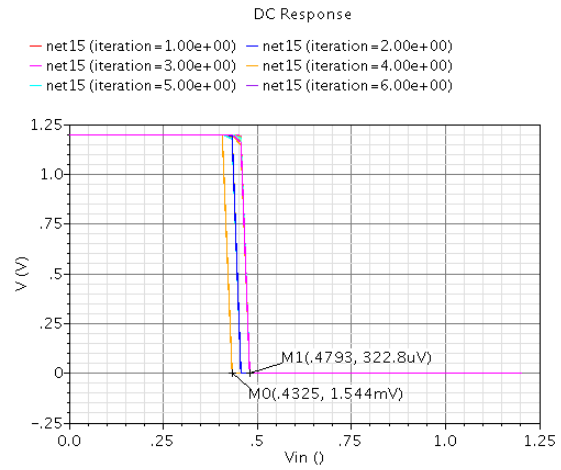


Slika 66 Uključivanje strujnog izvora $I_B = 100 \mu\text{A}$ kroz kornere za uključivanje napajanja u trajanju od 1ms : crvena = brz proces i $T = -40 \text{ }^\circ\text{C}$; plava = brz proces i $T = 90 \text{ }^\circ\text{C}$; narandžansta = spor proces i $T = 90 \text{ }^\circ\text{C}$; svetlo plava = spor proces i $T = -40 \text{ }^\circ\text{C}$

Slika 67 i Slika 68 prikazuju prenosnu karakteristiku Šmitovog trigera i V_{IN} napona na ulazu Šmitovog trigera. Rezultati su dobijeni iz Monte Carlo simulacije sa $\pm 3\sigma$ varijacijom procesa i neuparenosti komponenti.

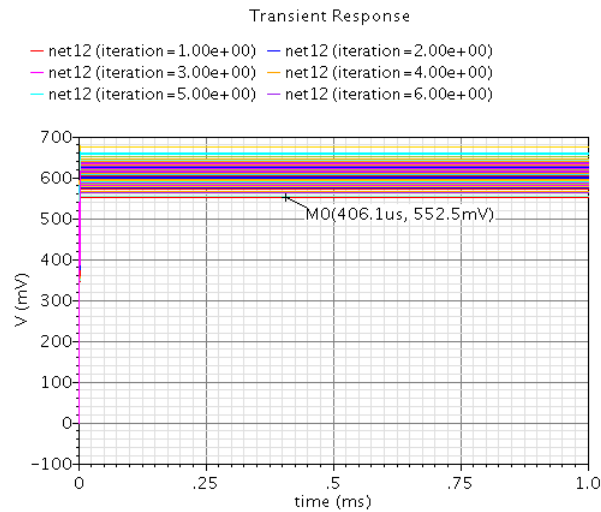


a)



b)

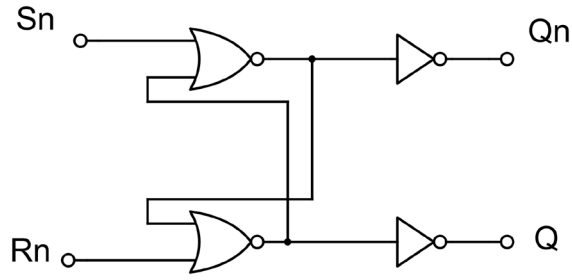
Slika 67 Prenosna karakteristika Šmitovog trigera za $I_B=100 \mu\text{A}$ Monte Carlo a) ulazni napon se smanjuje b) ulazni napon se povećava



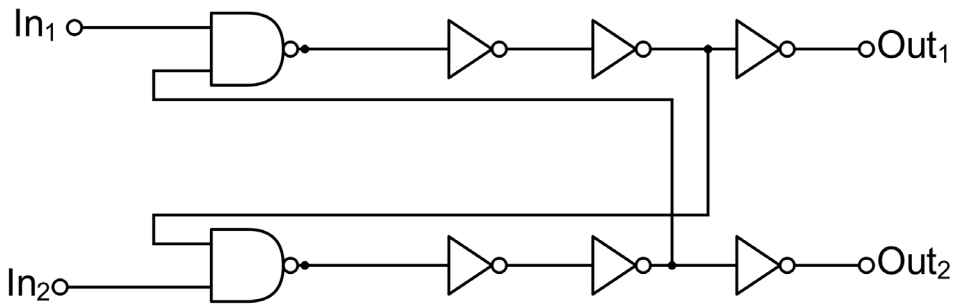
Slika 68 Ulaz u Šmitov triger kroz kornere $I_B=100 \mu\text{A}$

Pri normalnom radu kola, minimalni ulazni signal u Šmitovo kolo (552 mV) je veći od maksimalnog napona pri kojem se Šmitov triger isključuje (479 mV).

Slika 69 i Slika 70 prikazuju SnRn leč i kolo koje onemogućuje preklapanje logičkih "1" na izlazu, na nivou šeme.

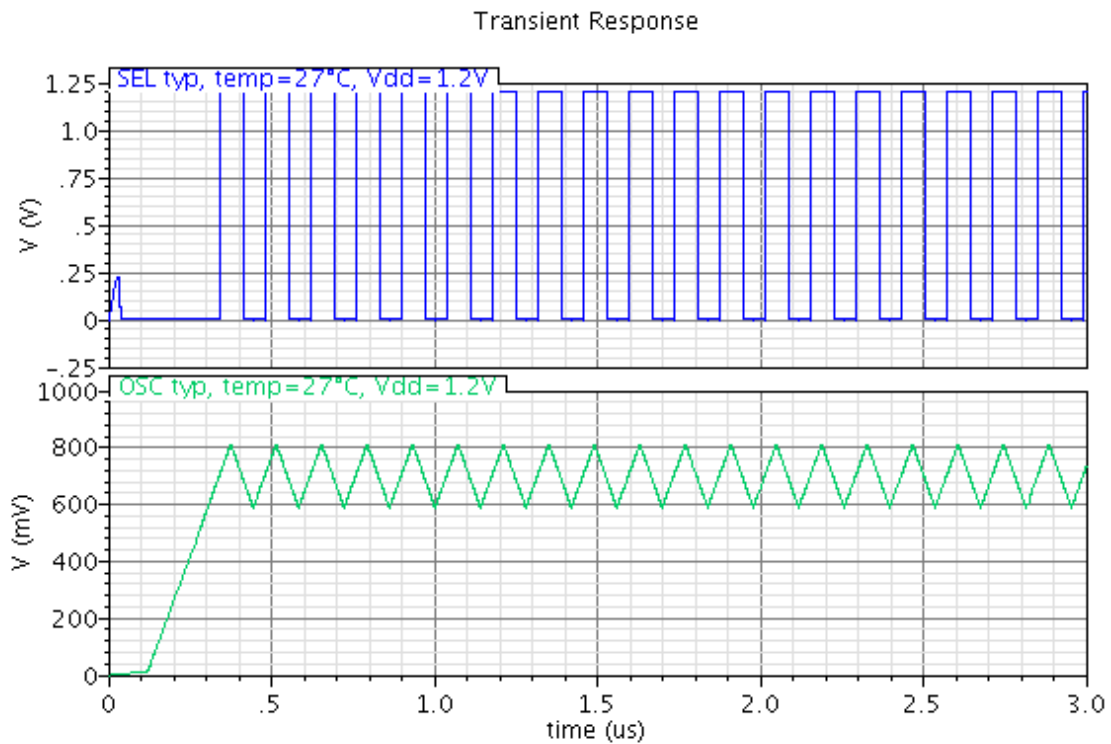


Slika 69 SnRn leč



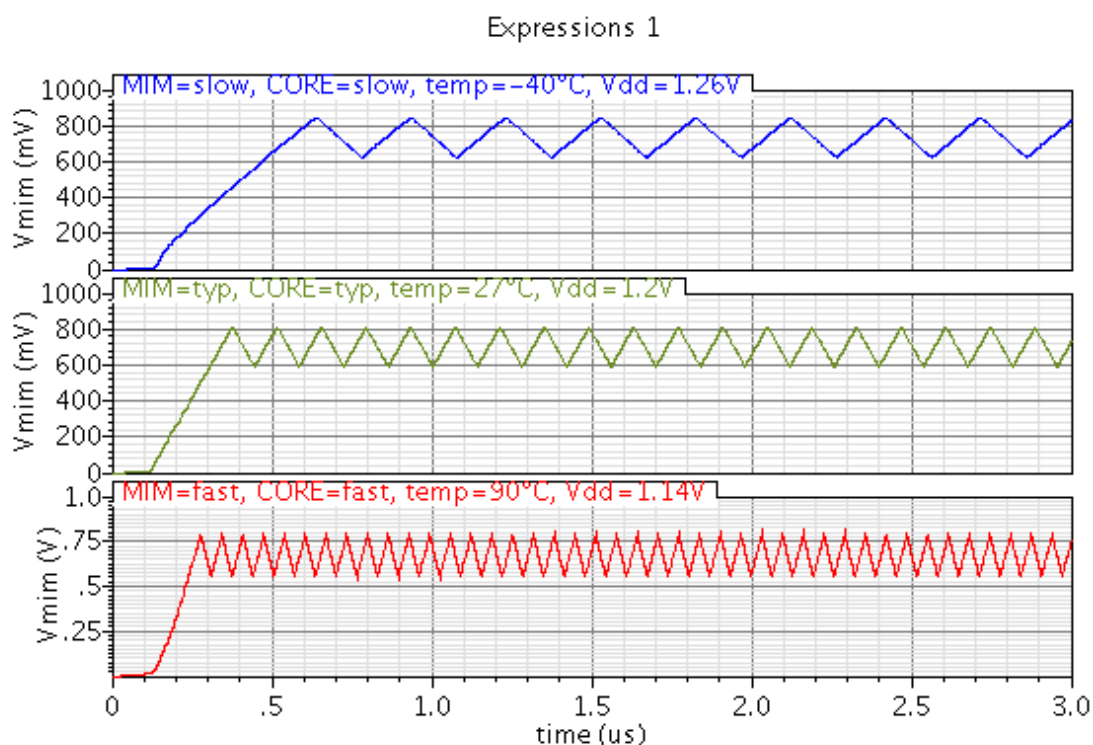
Slika 70 Kolo za onemogućavanje preklapanja logičke "1" na izlazu

Slika 71 prikazuje SEL signal (Slika 53) i signal na izlazu iz oscilatora u vremenskom domenu, u nominalnim uslovima.



Slika 71 Signal SEL i izlaz oscilatora u nominalnim uslovima

Slika 72 prikazuje oscilacije u vremenskom domenu u najsporijem, nominalnom i najbržem PVT slučaju sa MIM kondenzatorom.



Slika 72 Oscilacije u najsporijem, nominalnom i najbržem slučaju, V_{MIM} signal

Učestanosti oscilovanja sa MOS i MIM kondenzatorom su simulirane kroz 81 različitu graničnu PVT kombinaciju. Apsolutna promena učestanosti se menja značajno sa PVT usled potpuno integrisane implementacije. Varijacija se kreće od 3,37 MHz do 15,41 MHz.

Tabela 16 C_{MIM}/C_{MOS} odnos za različite PVT vrednosti na ekstrahovanom nivou

Parametar	Vdd = 1,14 V			Vdd = 1,2 V			Vdd = 1,26 V		
	-40	27	90	-40	27	90	-40	27	90
Proces vrednost jezgra oscilatora	MIM kondenzator u sporij vrednosti procesa (1,15*nominalna)								
spora	1,17	1,17	1,18	1,16	1,17	1,17	1,16	1,16	1,17
nominalna	1,13	1,14	1,14	1,13	1,14	1,14	1,12	1,13	1,14
brza	1,10	1,11	1,11	1,09	1,10	1,11	1,09	1,10	1,10
	MIM kondenzator u nominalnoj vrednosti procesa								
spora	1,03	1,04	1,04	1,02	1,03	1,04	1,02	1,03	1,04
nominalna	1,00	1,01	1,01	0,99	1,00	1,01	0,99	1,00	1,01
brza	0,97	0,98	0,99	0,97	0,98	0,98	0,96	0,97	0,98
	MIM kondenzator u brzij vrednosti procesa (0,85*nominalna)								
spora	0,89	0,90	0,91	0,89	0,90	0,90	0,88	0,89	0,90
nominalna	0,87	0,88	0,89	0,86	0,87	0,88	0,86	0,87	0,88
brza	0,84	0,85	0,86	0,84	0,85	0,86	0,83	0,84	0,86

Tabela 17 Greška procene C_{MIM} za različite PVT vrednosti na ekstrahovanom nivou

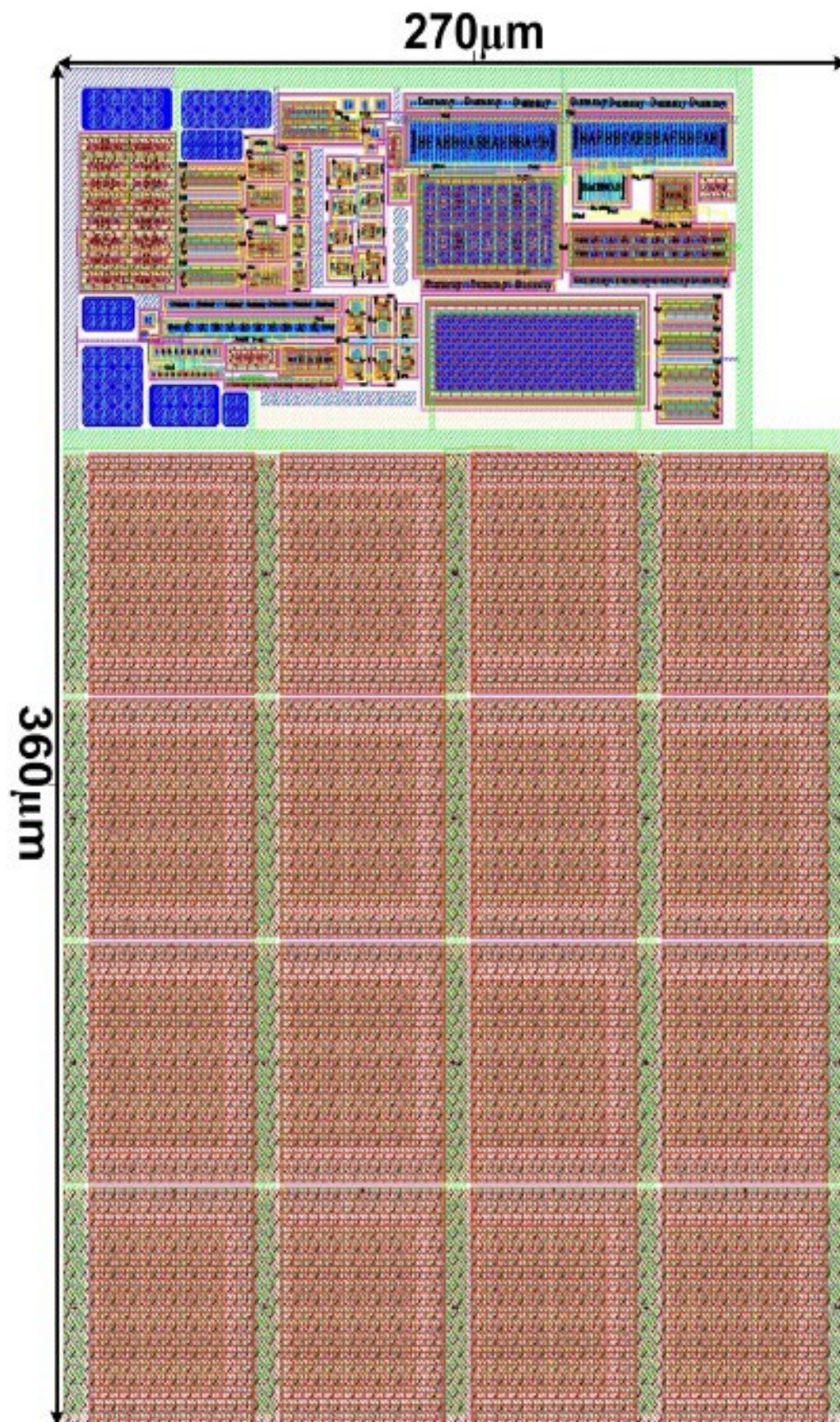
Parametar	Vdd = 1,14 V			Vdd = 1,2 V			Vdd = 1,26 V		
T[°C]	-40	27	90	-40	27	90	-40	27	90
Proces vrednost jezgra oscilatora	MIM kondenzator u sporoj vrednosti procesa(1,15*nominalna)								
spora	2	2	3	1	2	2	1	1	2
nominalna	-2	-1	-1	-2	-1	-1	-3	-2	-1
brza	-5	-4	-4	-6	-5	-4	-6	-5	-5
	MIM kondenzator u nominalnoj vrednosti procesa								
spora	3	4	4	2	3	4	2	3	4
nominalna	0	1	1	-1	0	1	-1	0	1
brza	-3	-2	-1	-3	-2	-2	-4	-3	-2
	MIM kondenzator u brznoj vrednosti procesa(0,85*nominalna)								
spora	4	5	6	4	5	5	3	4	5
nominalna	2	3	4	1	2	3	1	2	3
brza	-1	0	1	-1	0	1	-2	-1	1

Tabela 16 sumira procenjenu vrednost MIM kondenzatora za različite vrednosti procesa, napona napajanja i temperatura. Devet različitih vrednosti kornera su razmatrane – kada su svi parametri osim C_{MIM} u jednom korneru, tzv. *core* korneru, dok je C_{MIM} u drugom, nekorelisanom korneru. Uračunata varijacija vrednosti procesa C_{MIM} i jezgra oscilatora je $\pm 3\sigma$. Jezgru oscilatora, Slika 53, pripadaju svi elektronski blokovi sa slike izuzev MIM (*DUT*) i MOS referentnog kondenzatora.

Primetimo da najveća greška nastaje u slučajevima kada su C_{MIM} i *core* elektronika u suprotnim vrednostima procesa. Ovo je i očekivano obzirom da je korišćena interna referenca. Varijacija greške sa napajanjem i temperaturom je značajno manja od procesne varijacije, a sa promenom napona napajanja (1,2V $\pm 5\%$) je najmanja.

Tabela 17 sumira greška procene MIM kapacitivnosti. Greška je uvek manja ili jednaka 6%, dok je u 96,3% slučajeva manja od 5%.

Slika 73 daje prikaz lejauta oscilatora sa MIM i MOS kondenzatorom.

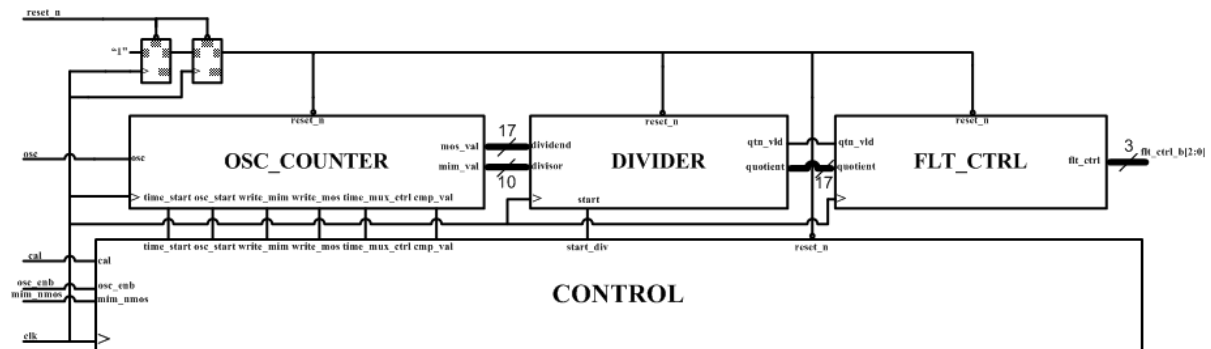


Slika 73 Lejaut oscilatora

11.4.2. Digitalna logika

Pošto se kalibracija vrednosti kapacitivnosti izvodi samo jednom nakon primenjivanja napona napajanja, njena brzina i potrošnja nisu primarni zahtevi. Sa druge strane, zahvaljujući niskoj složenosti potrebne digitalne logike i visokom stepenu integracije, površina digitalne logike takođe nije kritična.

Slika 74 prikazuje blok dijagram digitalne logike. Logika je sinhronizovana sa spoljašnjim takt signalom od 32 MHz.



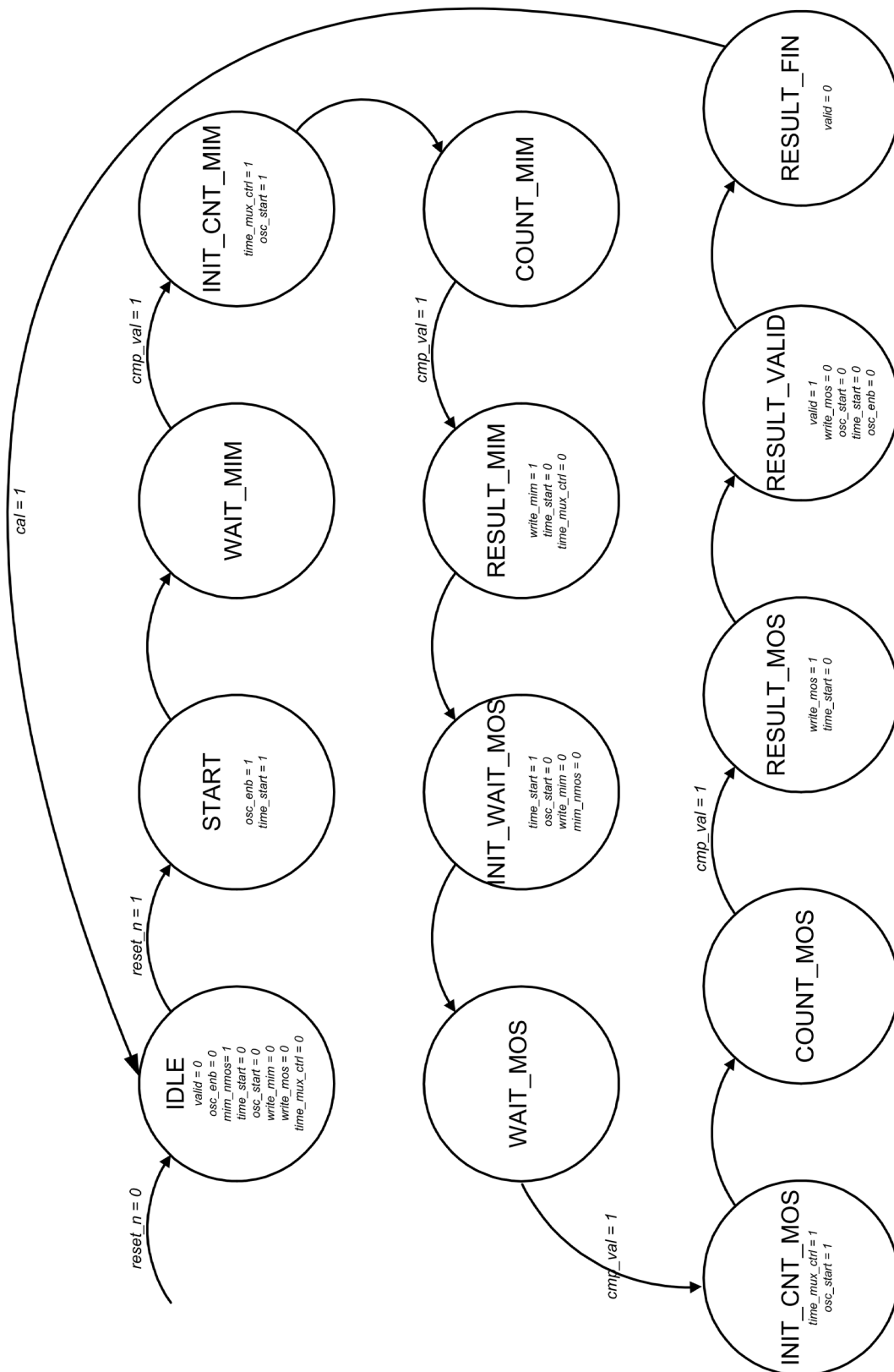
Slika 74 Digitalna mreža za generisanje kontrolnih bita filtra

Digitalna logika koordinira rad oscilatora, određuje odnos učestanosti oscilacija sa referentnom i sa kalibrisanom kapacitivnošću i na osnovu vrednosti odnosa postavlja kontrolne bite u banci kondenzatora filtra.

Ulazni signal *reset_n* postavlja digitalnu logiku u početno stanje. Svi ulazni signali su sinhronizovani sa taktom kako ne bi narušili *setup* i *hold* vremena korišćenih flip flopova i da bi se izbeglo neodređeno stanje. Odabrane oscilacije, čiji broj perioda je potrebno meriti, se povezuju sa portom *osc* digitalne logike. Pomoću ulaznog signala *cal* se pokreće proces kalibracije iznova. Izlazni signali *flt_ctrl_b[2:0]* kontrolišu prekidače u podesivoj banci kondenzatora filtra.

Digitalni deo dizajna se sastoji od četiri osnovna bloka opisana Verilog kodom:

- *CONTROL* – jezgro digitalne logike realizovano kao konačna mašina stanja – FSM (engl. *Finite State Machine*), Slika 75,
- *OSC_COUNTER* – blok koji broji periode oscilacije u predefinisanim vremenskim periodu $T_{measure}$, jednačina (11.20),
- *DIVIDER* – blok koji deli $COUNT_{MIM}$ sa $COUNT_{MOS}$, jednačina (11.21),
- *FLT_CTRL* – blok koji generiše kontrolne bite filtra na osnovu rezultata deljenja.



Slika 75

Kontrolni blok – FSM

Slika 75 predstavlja konačnu mašinu stanja koja koordinira digitalnom logikom. Po uspostavljanju napajanja, signal *reset_n* bi trebao biti postavljen na logičku "0", što postavlja logiku u inicijalno *IDLE* stanje. U tekstu ispod su opisana stanja digitalne logike:

- *IDLE*: Kontrolni biti su postavljeni u početno stanje. Po postavljanju *reset_n* u neaktivno stanje "1", *IDLE* stanje prelazi u *START* stanje.
- *START*: Pokreće se oscilator i *time_counter* brojač (Slika 76), koji broji vreme potrebno da se oscilacije uspostave.
- *WAIT_MIM*: FSM čeka na uspostavljanje oscilacija sa MIM kondenzatorom u predefinisanim vremenu T_{wait_MIM} :

$$T_{wait_MIM/MOS} \geq \frac{C_{MIM/MOS} \cdot V_1}{I_B}. \quad (11.29)$$

Pošto vreme čekanja istekne, signal *cmp_val* se postavlja na logičku "1" i stanje se menja u *INIT_CNT_MIM*.

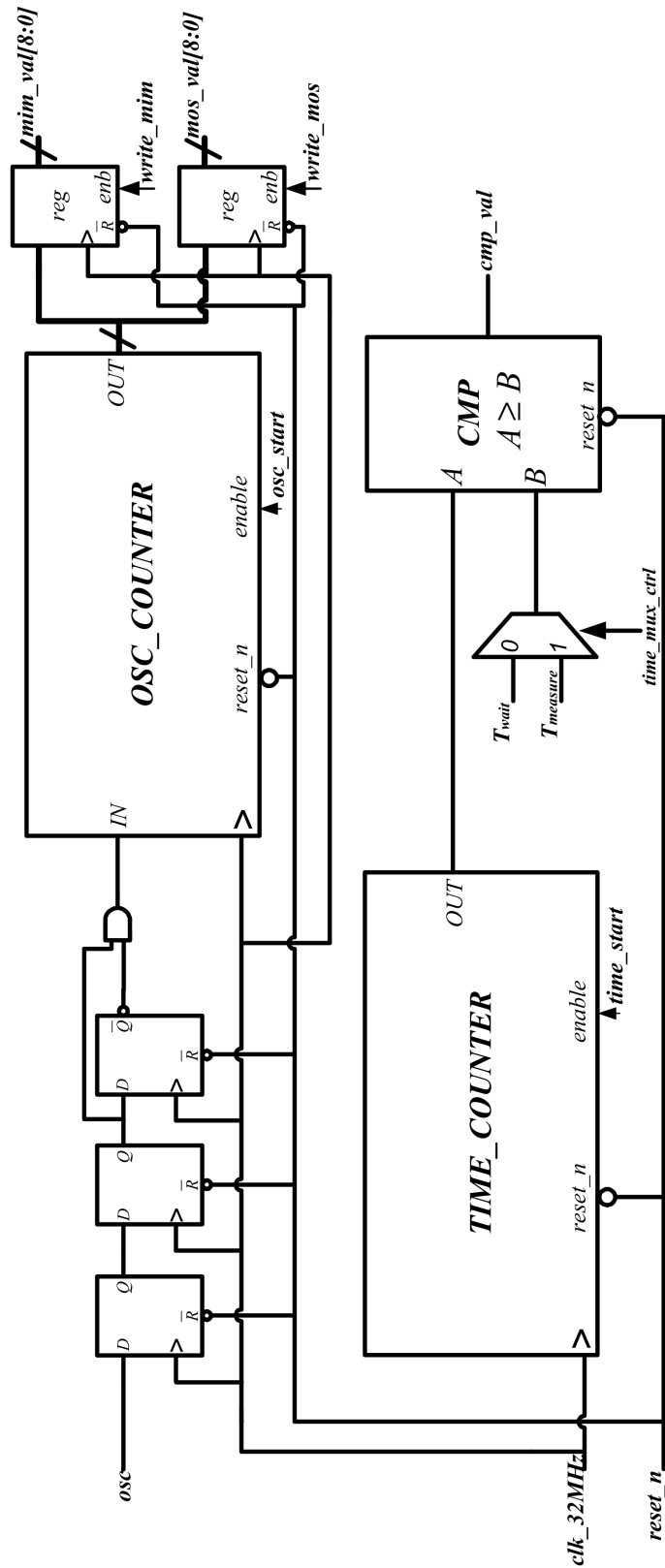
- *INIT_CNT_MIM*: U ovom stanju se pokreće brojač perioda oscilacija. Posle jednog takta, stanje se bezuslovno menja u *COUNT_MIM* stanje.
- *COUNT_MIM*: Broje se periodi oscilacija u predefinisanim vremenu, $T_{measure}$.
- *RESULT_MIM*: Nakon brojanja, vrednost izlaza *osc_counter* je sačuvana. Naredno stanje je *INIT_WAIT_MOS*.
- *INIT_WAIT_MOS*: MOS kondenzator je selektovan i *time_counter* je pokrenut iznova.
- *WAIT_MOS*: FSM čeka na uspostavljanje oscilacija sa MOS kondenzatorom.
- *INIT_CNT_MOS*: Brojač perioda oscilacija se pokreće i posle jednog takta, stanje se menja u *COUNT_MOS*.
- *COUNT_MOS*: Broje se periodi oscilacija sa MOS kondenzatorom u okviru predefinisanih vremena, $T_{measure}$.
- *RESULT_MOS*: Izlaz *osc_counter* se čuva u novom registru.
- *RESULT_VALID*: Ovde se bit validnosti rezultata (*start_div*) postavlja na logičku "1". To je znak deliocu da su ulazni signali validni i da deljenje treba da počne. Sa narednim taktim signalom, FSM prelazi u stanje *RESULT_FIN*.
- *RESULT_FIN*: U ovom stanju je signal *start_div* ponovo resetovan. Kontrolni biti filtra su izračunati po setovanju bita *qtn_vld*, koji nosi informaciju o validnosti količnika. Digitalna logika ostaje u ovom stanju sve do startovanja nove kalibracije setovanjem eksternog kontrolnog signala *cal* ili resetovanja logike signalom *reset_n*.

Tabela 18 Opis kontrolnih signala digitalne logike

Kontrolni bit	Opis
<i>osc_enb</i>	Pokreće oscilator
<i>mim_nmos</i>	Selektuje MIM ili MOS kondenzator
<i>time_start</i>	Pokreće <i>time</i> brojač koji računa vreme potrebno da se oscilacije uspostave – T_{wait} , kao i period u toku kojeg se oscilacije broje – $T_{measure}$
<i>time_mux_ctrl</i>	Kontroliše da li <i>time</i> brojač broji do T_{wait} ili do $T_{measure}$
<i>cmp_val</i>	Izlaz komparatora koji poredi da li je vrednost <i>time</i> brojača veća od $T_{wait}/T_{measure}$
<i>osc_start</i>	Pokreće <i>osc</i> brojač koji broji oscilacije u predefinisanom vremenskom period – $T_{measure}$
<i>write_mim</i>	Pamti rezultat koji odgovara broju oscilacija sa MIM kondenzatorom
<i>write_mos</i>	Pamti rezultat koji odgovara broju oscilacija sa MOS kondenzatorom
<i>valid</i>	Odgovara signalu <i>start_div</i> koji pokreće deljenje

Brojač

Asinhroni *osc* signal je sinhronizovan sa taktom preko tri D flip flopa, Slika 76. U ovakvoj konstelaciji, greška u broju oscilacija u najnepovoljnijem slučaju je jednaka 1. Kako bi se njen uticaj na $COUNT_{MIM}/COUNT_{MOS}$ poništio, potrebno je da su navedeni brojevi dovoljno veliki za bilo koju PVT vrednost. Drugim rečima, $T_{measure}$ bi trebalo da bude dovoljno veliko kako bi se greška smanjila značajno ispod 1%, kada su oscilacije najsporije. Takođe broj bita brojača bi trebalo da bude dovoljno veliki tako da ne bi došlo do prebacivanja maksimalne vrednosti brojača za najbržu PVT vrednost.



Slika 76 Brojač oscilacija i brojač vremena

Delitelj učestanosti

Arhitektura delitelja je serijska, sa generisanjem jednog bita količnika po taktu. Ova arhitektura je izabrana zbog jednostavnosti i činjenice da nije zahtevana velika brzina deljenja. Pre deljenja, brojlac $COUNT_{MOS}$ je pomnožen sa 2^7 (prvim stepenom dvojke većim od 100) kako bi se dobila informacija o količniku na dve decimale, pošto je to tačnost od interesa.

Implementacija

Navedeni digitalni blokovi su opisani u Verilog kodu i implementirani su u silicijumu. Sinteza digitalnih blokova na nivou električne šeme i projektovanje fizičke realizacije su izvršeni pomoću standardnih digitalnih ćelija firme *Faraday* korišćenjem alata *Encounter RTL Compiler* i *SoC Encounter RTL-to-GDSII System tool* programskog paketa *Cadence*.

Verilog kod opisanih digitalnih blokova dat je u prilogu. Implementacija digitalne logike na silicijumu se sastoji iz dva koraka – RTL (engl. *Register Transfer Level*) sinteze i leljaut faze.

RTL sinteza se sastoji od elaboracije – konverzije koda u tehnološki nezavisnu netlistu na nivou osnovnih logičkih kola i njeno mapiranje na ćelije biblioteke korišćene tehnologije. Oba ova koraka se izvode pod optimizacionim ograničenjima koja zadaje korisnik i koja se odnose na vremenske parametre, površinu i potrošnju. Ograničenja se zadaju pomoću komandi specifičnih za softverski alat, navedenih u Tcl skripti. Ova skripta pokreće sintezu sa ograničenjima u *Cadence*-ovom alatu *Encounter RTL Compiler*.

Sinteza koda se vrši mapiranjem na osnovna logička kola iz *Faraday* biblioteke za CMOS UMC 130 nm tehnologiju. Postavljena su samo vremenska ograničenja, pošto kolo nije veliko i potrošnja nije relevantna.

Izlazi sinteze, Verilog netlista na nivou osnovnih logičkih kola u korišćenoj tehnologiji i SDC (engl. *Synopsis Design Constraint*) fajl koji sadrži vremenska ograničenja, su ulazni fajlovi za *Encounter Place and Route* alat.

Po završetku sinteze, urađene su vremenske verifikacije kola kako bi bilo potvrđeno da dizajn ima pozitivan *slack* (engl. $slack = required_time - arrival_time$, odnosno vreme za koje se može ubrzati takt, a da to ne utiče na rad kola). Pošto je takt relativno spor (32 MHz), *slack* je pozitivan.

Opisani moduli su realizovani sa oko 450 osnovnih logičkih kola koja je potrebno postaviti i povezati u silicijumu pomoću *Encounter Place and Route* alata.

Place and Route postupak se sastoji iz sledećih faza:

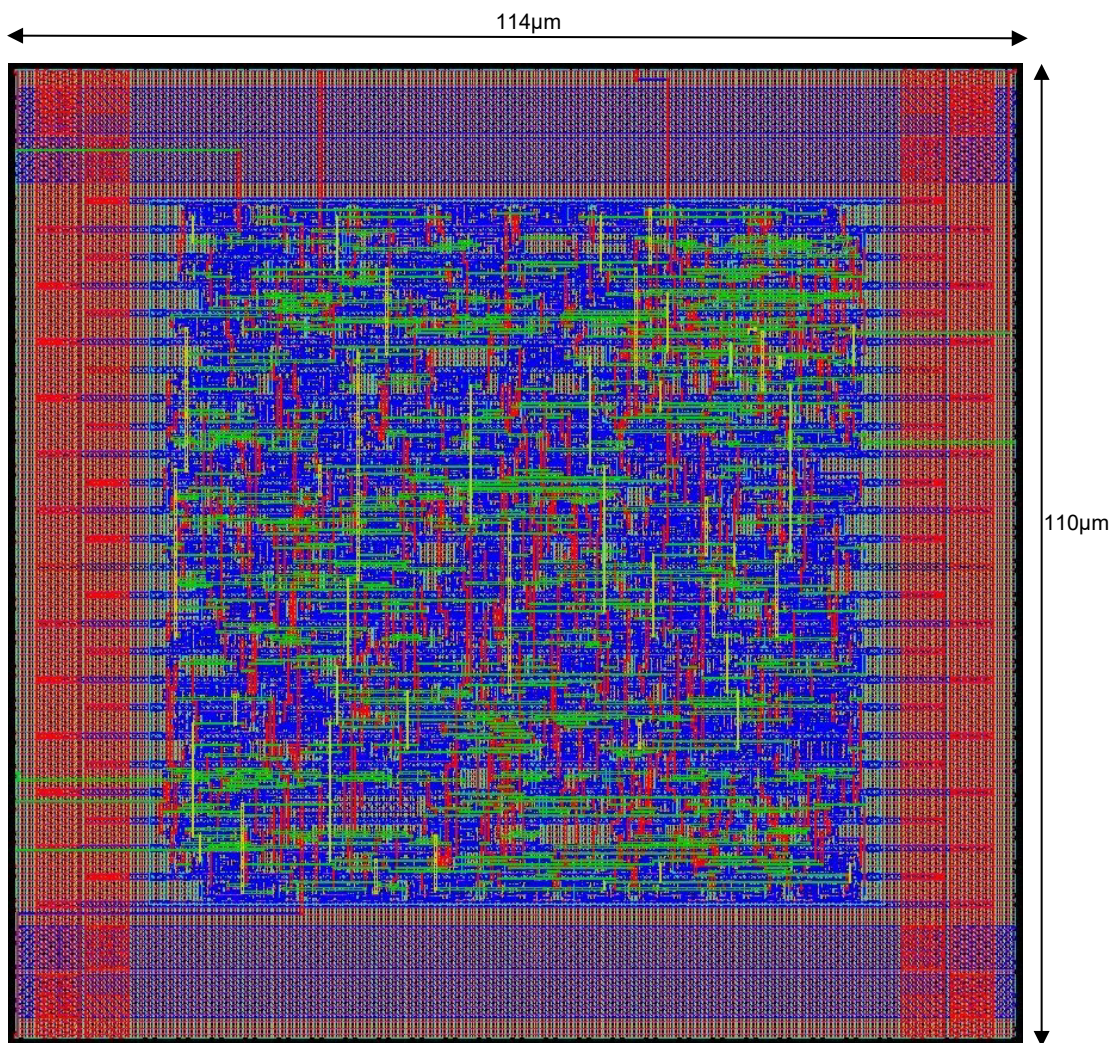
- uvoženje dizajna,
- specifikacija rasporeda pojedinih blokova,
- kreiranje prstenova za napajanje i masu,
- povezivanje napajanja i mase standardnih ćelija na globalno napajanje i masu,
- definisanje radnih uslova za *setup* i *hold* analizu,
- postavljanje standardnih ćelija sa optimizacijom,

- sinteza stabla taktnog signala uz pomoć ograničenja zadatih u SDC fajlu kako bi taktni signal bio balansiran,
- postavljanje ćelija koje popunjavaju prazan prostor i mogu da doprinesu stabilnijem napajanju,
- rutiranje dizajna sa vremenskom optimizacijom,
- verifikacija dizajna,
- ekstrakcija parazitnih RC komponenti,
- vremenska analiza dizajna,
- izvoženje GDSII (engl. *Graphic Database System Information Interchange*) fajla.

Navedeni koraci se pokreću automatski pomoću predefinisanih skripti. Kao rezultat nakon opisane procedure u *Encounter-u*, logika je implementirana u silicijumu i zauzima ukupnu površinu od 114 μm x 110 μm , Slika 77.

Po završetku *place and route* faze, u SoC Encounter RTL-to-GDSII System alatu urađena je vremenska analiza dizajna kako bi se osiguralo da su *setup* i *hold* vremena svih logičkih kola u svim uslovima zadovoljena. Izlaz iz *Encounter* alata je *Verilog* netlista koja se razlikuje od ulazne pošto su ubačene dodatne ćelije za kreiranje balansiranog stabla taktnog signala i po potrebi su neke ćelije automatski zamenjene sa više odgovarajućih ćelija. Ova *Verilog* izlazna lista uključuje vremenske i funkcionalne modele korišćenih digitalnih ćelija. Funkcionalna analiza je ponovo izvedena simulacijama sa novom netlistom u *NC Launch* alatu.

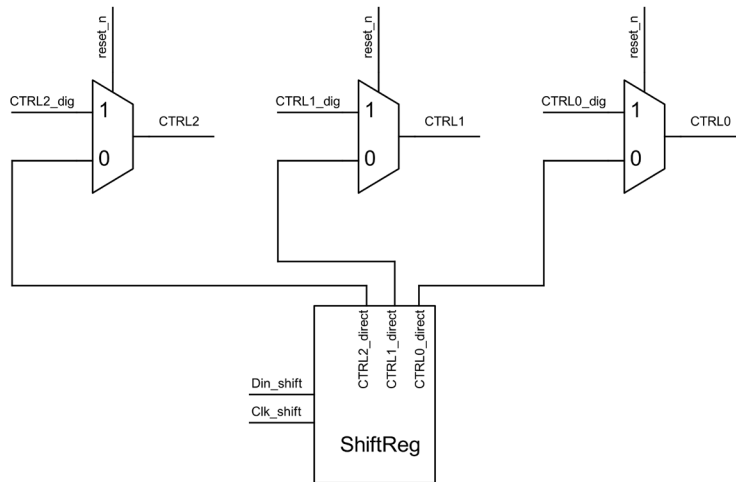
Dizajn iz *Encounter-a* je izvežen u *Virtuoso* u gds formatu. Pošto su digitalne ćelije iz biblioteke firme *Faraday* zaštićene kao IP, šeme, lejaut i analogni simulacioni modeli ćelija nisu vidljivi korisniku, te stoga nije bilo moguće simulirati dizajn analognim simulacijama u *Virtuoso* alatu.



Slika 77 Digitalna mreža – ležaut

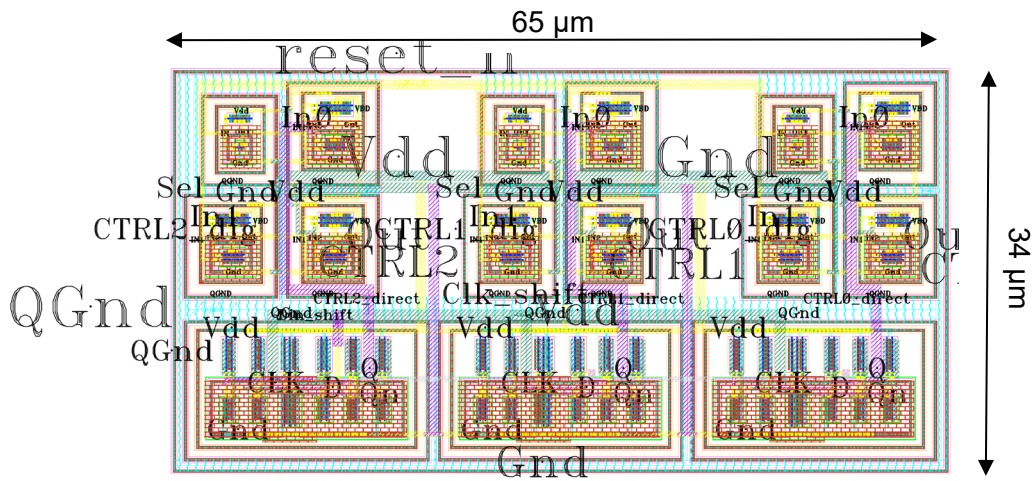
11.4.3. Manuelna kalibracija

Kako bi se ostavila i mogućnost spoljašnje kalibracije, implementirano je dodatno kolo, Slika 78. Kolo se sastoji od tri multipleksera kontrolisana *reset_n* signalom, koji određuje da li će kalibracija biti unutrašnja ili spoljašnja. Takođe, implementirani su i pomerački registri radi upisa tri kontrolna bita putem dva spoljašnja signala.



Slika 78 Kolo za manuelnu kalibraciju

Slika 79 prikazuje lejaout kola za manuelnu kalibraciju.

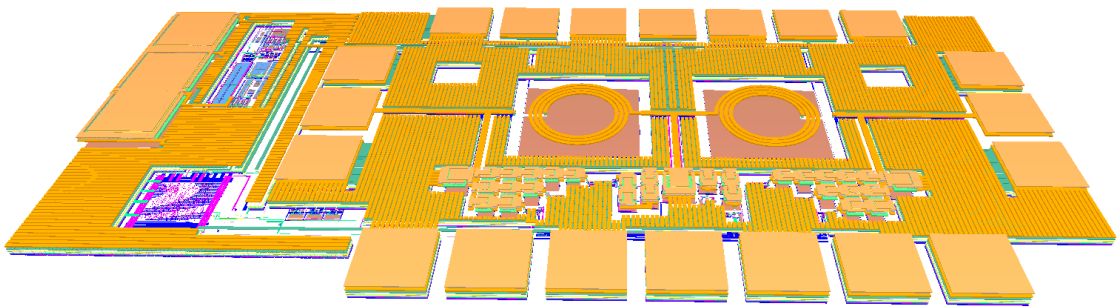


Slika 79 Lejaout kola za manuelnu kalibraciju

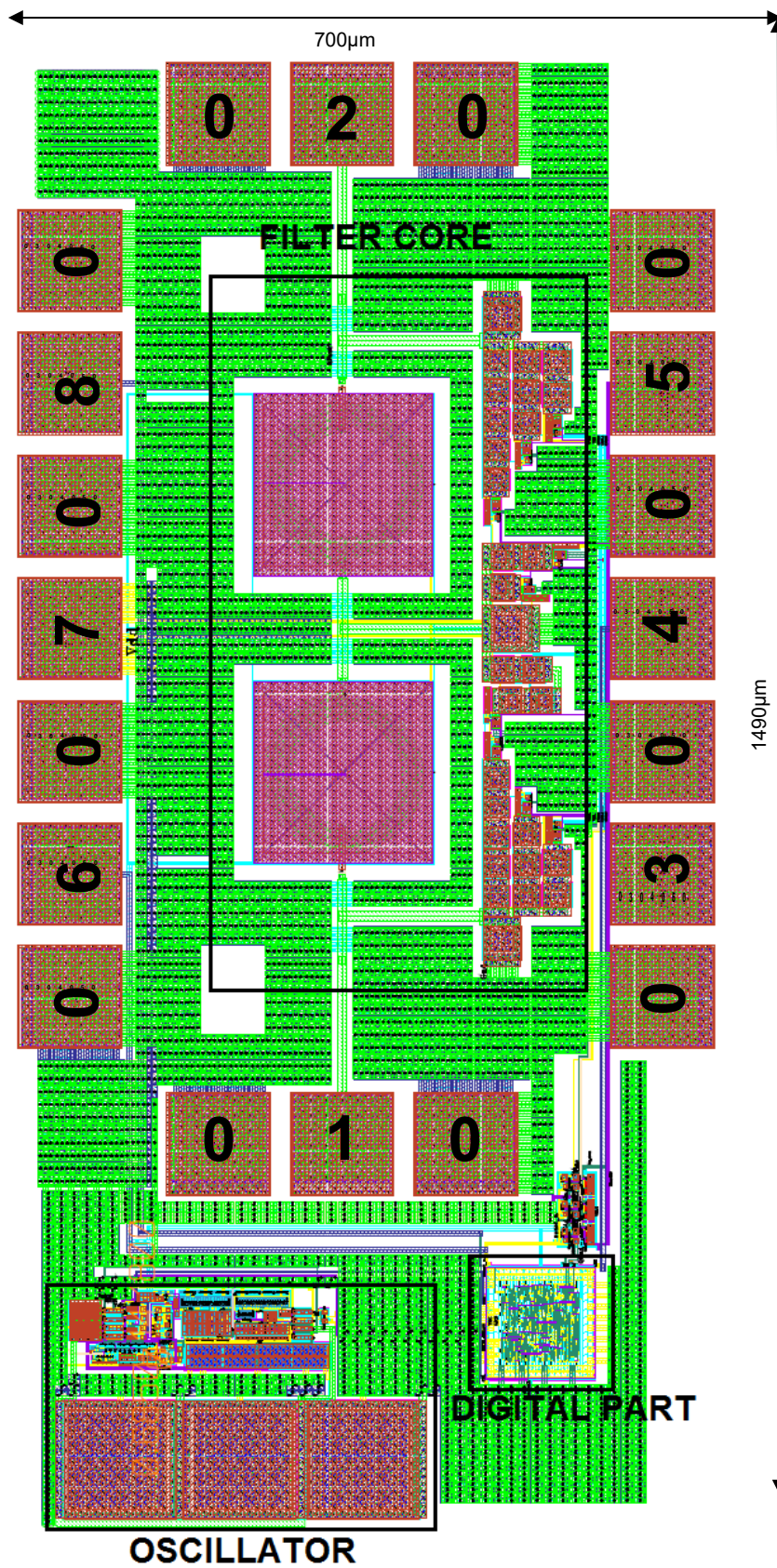
12. Rezultati eksperimentalnih merenja

Filtar sa kompenzacionim kondenzatorima, oscilatorom i digitalnom mrežom su integrisani. Slika 80 i Slika 81 prikazuju ležaut integrisanih kola. Efektivna površina kola je značajno manja od korišćene. Veličina i oblik čipa su dodatno određeni dostupnom mernom opremom za karakterizaciju neupakovanih integrisanih kola. Čip je fabrikovan kao deo MPW, koji omogućuje fabrikaciju više različitih projekata na istom vejeru uz deljenje troškova fabrikacije.

Napomenimo da je ležaut DUT MIM kondenzatora u oscilatoru pre integrisanja kola modifikovan kako bi se priligadio obliku čipa.



Slika 80 Integrisani sistem – ležaut pogled sa strane



Slika 81 Integrisani sistem – ležaut

12.1. Merna postavka

Tabela 19 daje opis i funkciju stopica za povezivanje (Slika 81).

Tabela 19 Opis kontrolnih signala digitalne logike

Redni broj stopice	Opis i funkcija stopica
0	masa
1	RF ulaz u filter
2	RF izlaz filtra
3	<i>CLK</i> signal za lečeve za manuelnu kalibraciju, aktivan na uzlaznu ivicu
4	32 MHz takt za digitalnu logiku
5	<i>DATA</i> signal za lečeve za manuelnu kalibraciju
6	<i>RESET_N</i> reset signal za digitalnu logiku, aktivan na nivo logičke "0"
7	VDD 1,2 V napajanje čipa
8	<i>CAL</i> signal, koji pokreće kalibracioni proces iznova, aktivan na nivo logičke "1"

Rastojanje između centralnih tačaka stopica je 125 μm i prilagođeno je korišćenim sondama za karakterizaciju, opisanih u nastavku.

Za potrebe merenja korišćena je sledeća merna oprema:

- dve sonde tipa **Z – GSG** (engl. *Ground Signal Ground*) od proizvođača *Infinity*; maksimalna učestanost signala na signalnoj liniji je 40 GHz,
- jedna sonda tipa **Unity – 07-00-125W**, raspored **GPGLGPG** (gde **G** predstavlja uzemljenje, **P** naponsko napajanje, **L** logički, odnosno kontrolni signal); ova sonda omogućuje dovođenje napona napajanja i logičkog (kontrolnog) signala sa maksimalnom učestanošću od 500 MHz,
- jedna sonda tipa **Unity – 07-00-125W**, raspored **GLGPGLG** (gde **G** predstavlja uzemljenje, **P** naponsko napajanje, **L** logički, odnosno kontrolni signal); ova sonda, takođe, omogućuje dovođenje napona napajanja i logičkog (kontrolnog) signala sa maksimalnom učestanošću od 500 MHz,
- analizator mreže oznake **N5230A**, proizvođača **Agilent** za merenje S parametara filtra,

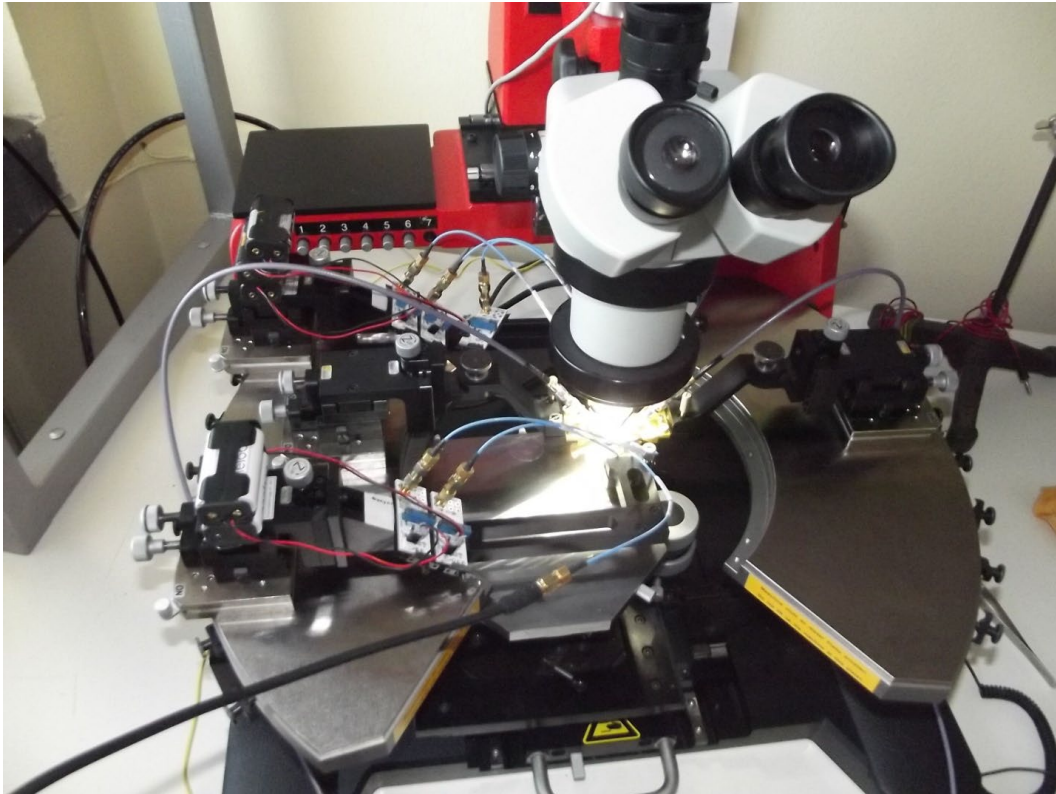
- radna stanica **PM5**, proizvođač *Cascade Microtech*.

Sonde GSG se spuštaju na stopice 0-1-0 i 0-2-0. Sonde GLGPGLG i GPGLGPG su povezane sa 0-6-0-7-0-8-0 i 0-3-0-4-0-5-0 stopicama, respektivno, u skladu sa numeracijom, Slika 81.

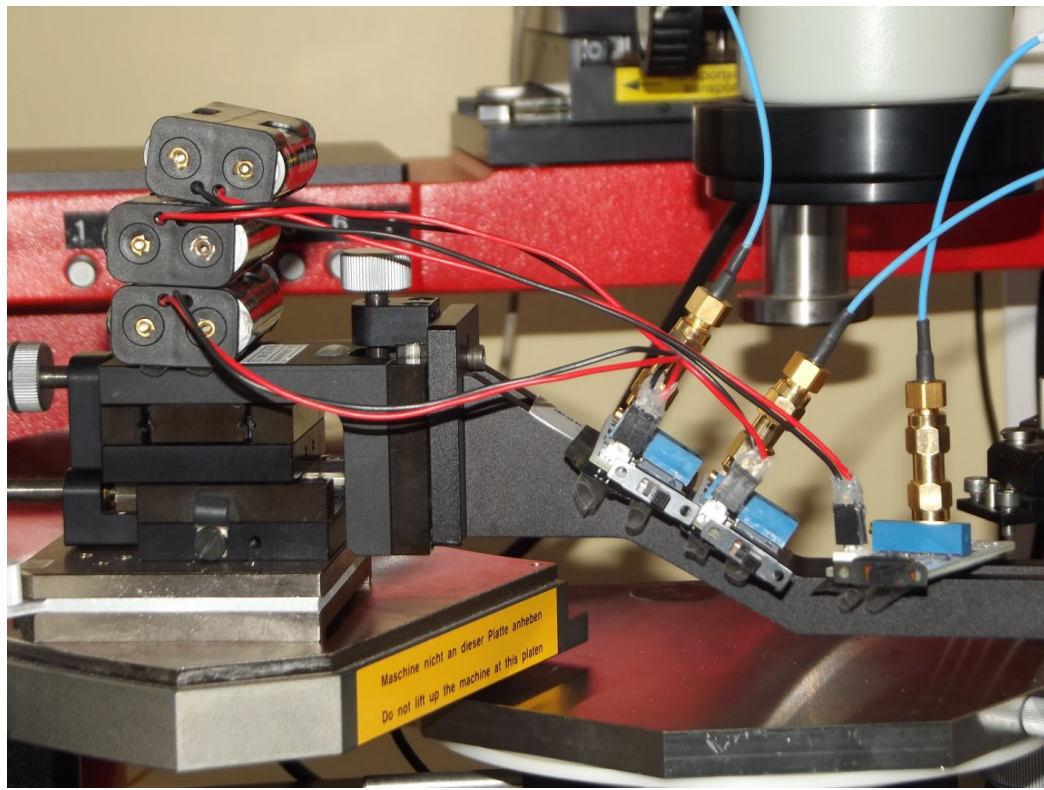
SGS sonde su priključene na analizator mreže, Slika 84. Pre početka merenja je izvršena kalibracija metodom SOLT (engl. *Short-Open-Load-Through*). Sonda GLGPGLG je povezana sa baterijskim napajanjima. GPGLGPG sonda je spojena sa DC signalima (baterijska napajanja, Slika 84) i signalnim generatorom koji obezbeđuje pravougaoni signal učestanosti 32 MHz. Amplitude DC signala i signalnog generatora su 1,2V. Celokupna merna postavka je prikazana na slikama ispod.



Slika 82 Celokupna merna postavka

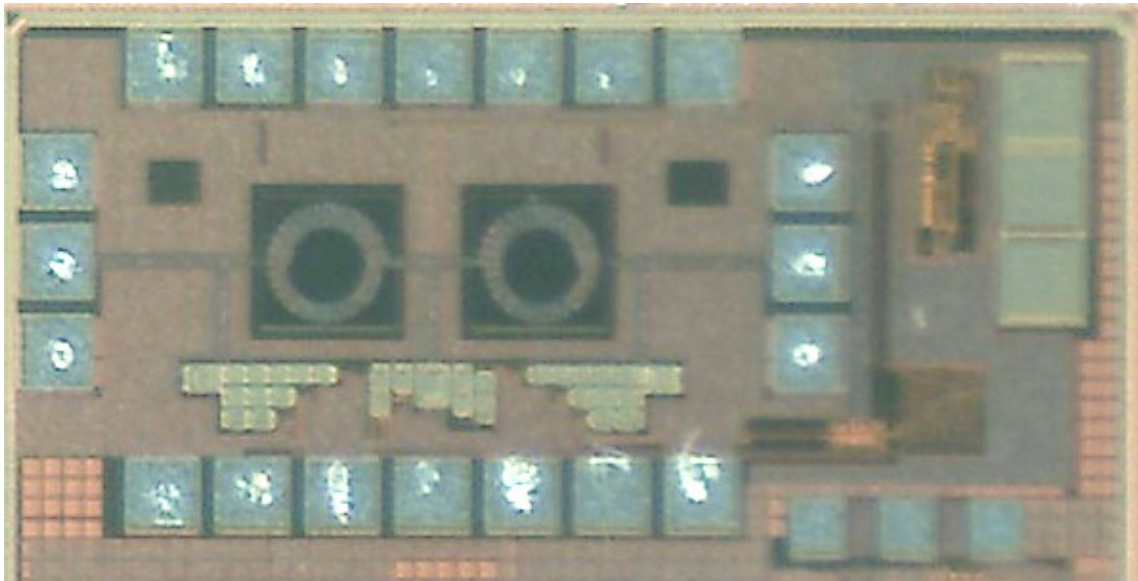


Slika 83 Merna postavka na PM5 radnoj stanici

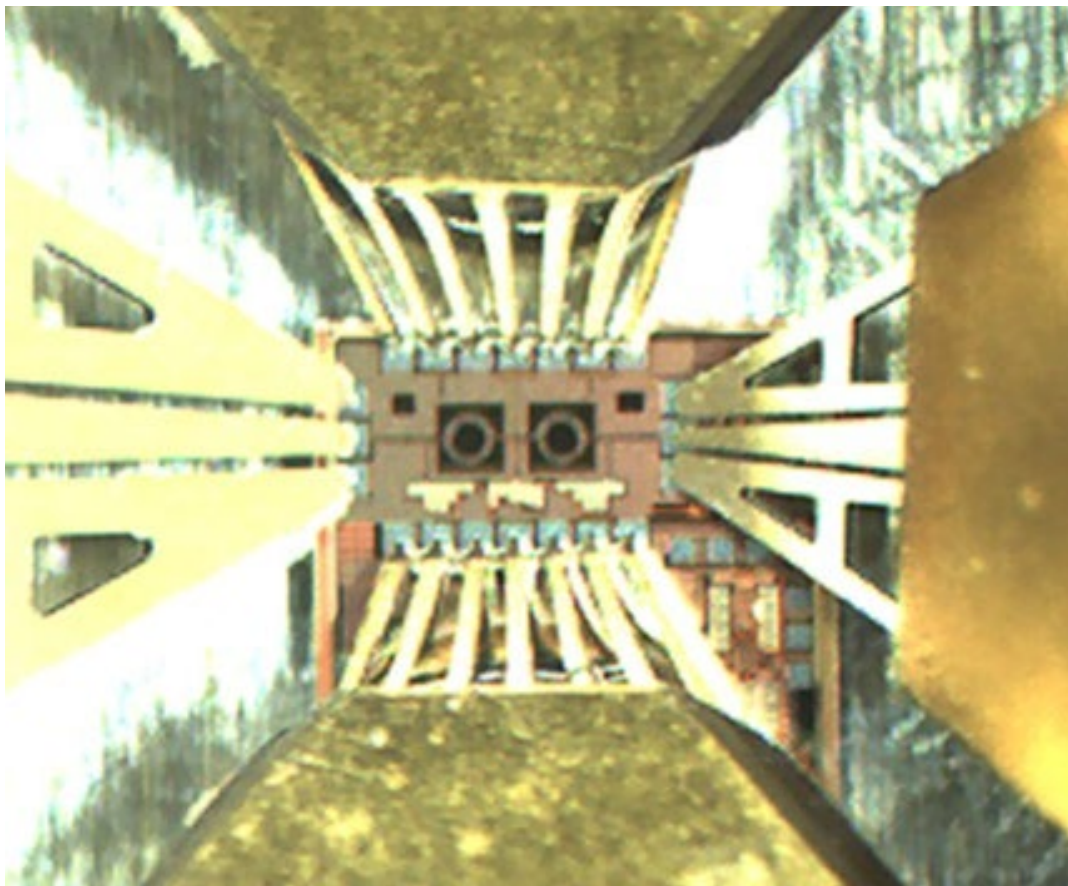


Slika 84 Baterijska napajanja fiksirana na držaču sonde

Slika 85 prikazuje mikroskopsku fotografiju fabrikovanog integrisanog kola bez pakovanja, dok Slika 86 prikazuje čip sa naslonjenim vrhovima sondi.



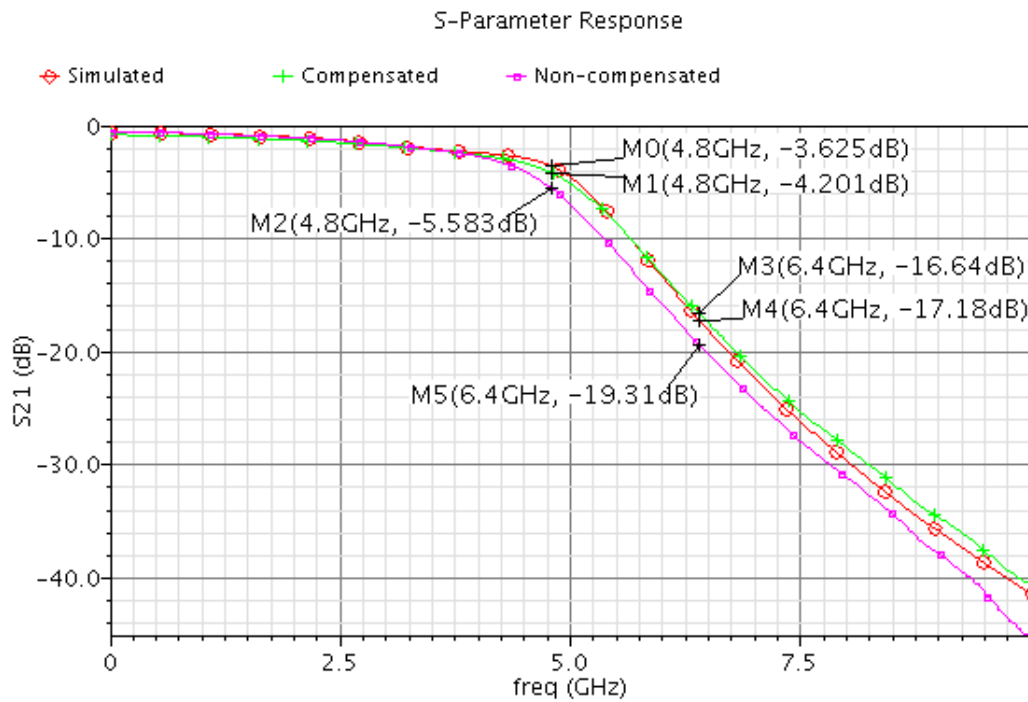
Slika 85 Slika fabrikovanog integrisanog kola bez pakovanja



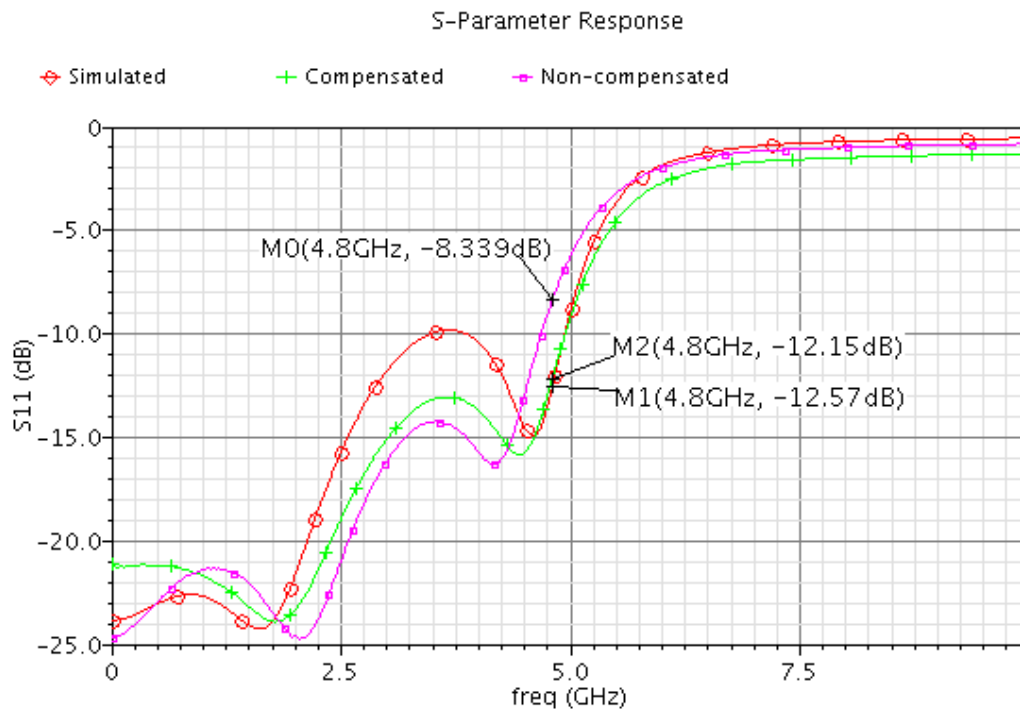
Slika 86 Slika fabrikovanog integrisanog kola sa sondama

12.2. Rezultati merenja

Interna, projektovana kalibracija je izvedena i izmerene kalbrisane karakteristike su upoređene sa simuliranim rezultatima, Slika 87. Merenja su izvedena pod nominalnim uslovima – sobnoj temperaturi i sa nominalnim naponom napajanja. Iz rezultata se može zaključiti da kompenzovana karakteristika filtra dobro odgovara simuliranoj, na graničnoj učestanosti razlika je 0,6 dB. Takođe, nekompenzovana karakteristika je prikazana. U ovom slučaju kontrolni biti filtra imaju slučajnu vrednost. Razlika između simulirane i nekompenzovane karakteristike na graničnoj učestanosti je neprihvatljivih 2 dB.



a)



b)

Slika 87 Filtar a) S21 i b) S11 parametri u kompenzovanom (zelena), simuliranom (crvena) i nekompensovanom (ljubičasta) slučaju

13. Diskusija dobijenih rezultata

U ovom radu je predložen jedan način kalibracije varijacije kapacitivnosti kondenzatora na čipu. Predložena kalibracija kombinuje prednosti dve različite metode kalibracije, sa spoljašnjom i unutrašnjom referencom, predstavljene u radovima [18] i [19], respektivno. Predloženi koncept je optimizovan i potom primenjen na UWB LB niskopropusni filter.

Rad [19] predlaže kalibraciju vrednosti integrisanih kondenzatora i otpornika. Kalibracija je zasnovana na harmonijskom oscilatoru sa nebalansiranim signalom na izlazu, čija je izlazna učestanost proporcionalna RC konstanti. Isto jezgro harmonijskog oscilatora se koristi za generisanje oscilacija sa oba kondenzatora, MOM i MOS. Odnos perioda oscilovanja se računa u digitalnom domenu i odgovara odnosu vrednosti ovih kondenzatora. Na osnovu odnosa perioda oscilacija sa MOS kondenzatorom u datim i početnim test uslovima, može se proceniti i varijacija otpornika i struja polarizacije u odnosu na nominalne uslove. Vrednosti perioda oscilacija u nominalnim uslovima oscilovanja su sačuvani u memoriji. Nažalost na ovaj način se procesom izazvana varijacija otpornika i struje strujnih izvora u početnim test uslovima ne može dovoljno dobro kompenzovati kalibracijom bez korišćenja spoljašnjih referenci, već samo promena izazvana temperaturnom zavisnošću i starenjem. Kalibracione vrednosti određene na ovaj način se primenjuju na binarno skaliranu kompenzacionu banku otpornika, kondenzatora ili strujnih ogledala. Koncept je primenjen kako bi se kalibrisala vrednost kondenzatora pojačavača snage, odnosno ispunila specifikacija harmonijske distorzije pojačavača. Takođe, kalibracijom je značajno umanjena varijacija nivoa osnovnog harmonika izlaznog signala. U radu je na konkretnom primeru kalibracije pojačavača snage komparativnom analizom ustanovljeno da je tačnost kalibracije sa eksternom, tačnijom referencom uporediva sa tačnošću kalibracije sa internom, što je posledica parazitnih i sistemskih grešaka kalibracionog dela kola na čipu.

Takođe u radu [19] je predložen još jedan način procene vrednosti varijacija komponenti na čipu, koji koristi kolo za punjenje referentnog i merenog kondenzatora i pomoću ADC-a meri razliku napona na kondenzatorima od trenutka kada je taj napon jednak naponskoj referenci do isteka predefinisiranog vremena. Na osnovu odnosa tih razlika napona procenjuje se vrednost odstupanja kalibrisanih komponenti u odnosu na referentnu.

CBCM ([10], [11]) metoda zahteva precizno merenje DC struje, koje se ne može integrisati. Sa druge strane ova metoda, uz predložene kompenzacije, ostvaruje jako dobru tačnost, reda veličine fF.

Metoda iz rada [106] je zasnovana na CBCM tehnici. Kapacitivnost je konvertovana u učestanost. Procena tačnosti kapacitivnosti kondenzatora ovom metodom je bolja od 3%. Kompenzacija nije analizirana u ovom radu.

Rad [9] je zasnovan na prstenastom oscilatoru. U radu nije analitički analizirana nelinearnost MOS tranzistora, kao ni kompenzacija.

Deo kalibracionog koncepta predstavljenog u ovom radu je zasnovan na radu [18]. Iako je topologija oscilatora korišćenog u kompenzacionom kolu ista sa topologijom u [18], dizajn se razlikuje. Kao što je u samom uvodu navedeno, dizajn procedura ovog rada ima značajne prednosti s obzirom da je predložena kalibracija neosetljiva na temperaturu, napon napajanja i varijaciju procesa, kao i na parazitne RC elemente linija veze. Nedostatak je nepreciznost

same interne reference. Predloženim metodama u [18] varijacija frekvencije oscilovanja uzrokovana svim ostalim komponentama osim C_{DUT} (kondenzator čija se vrednost kapacitivnosti procenjuje) je oko $\pm 3\%$ uz korišćenje idealne spoljašnje reference i idealnog napona naponske reference.

U ovom radu tačnost procene kapacitivnosti kondenzatora je bolja od 6%, a u 96,3% simuliranih PVT kombinacija, tačnost je bolja od 5%. Uzimajući u obzir da je tačnost reference $\pm 4\%$, apsolutna tačnost usled neidealnosti kola i nelinearnosti reference je svedena na samo 2%, odnosno 1% u 96,3% slučajeva. Napomenimo da apsolutna učestanost oscilacija zbog potpuno integrisanog rešenja kroz PVT kombinacije drastično varira, od 3,37 MHz do 15,41 MHz, ali je njen uticaj kompenzovan. Simulacije su izvedene u 81-om slučaju nekorelisane PVT kombinacije. Simulacije su podeljene u 3 grupe. Za nominalnu, brzu i sporu vrednost procesa MIM kondenzatora je simulirano 27 PVT kombinacija. 27 kombinacija odgovara nominalnoj, brznoj i sporoj vrednosti procesa ostalih elemenata u kolu, na 3 različite temperature čipa, -40°C , 27°C i 90°C i za tri napona napajanja kola, 1,2V-5%, 1,2V i 1,2V+5%. Prilikom variranja procesa je razmatran opseg varijacije procesnih parametara od $\pm 3\sigma$, kojoj prema Gausovoj raspodeli pripada 99,73% fabrikovanih čipova. Temperaturni opseg simulacije odgovara *Grade 3* operativnoj temperaturi komponenti prema AEC-Q100 standardu [107]. *Grade 3* odgovara temperaturi čipa od -40°C do 85°C , koja je specificirana za komercijalnu upotrebu.

Greška usled nelinearnosti MOS reference je analitički optimizovana da bude manja od 0,5%.

Primetimo da najveća greška nastaje u slučajevima kada su C_{MIM} i core elektronika u suprotnim vrednostima procesa. Ovo je i očekivano obzirom da je korišćena interna referenca. Varijacija greške sa napajanjem i temperaturom je značajno manja od procesne varijacije, pri čemu je varijacija sa promenom napona napajanja ($1,2\text{ V} \pm 5\%$) najmanja.

Na osnovu rezultata procene kapacitivnosti, trimovana je kompenzaciona banka kondenzatora u LB UWB LC filtru. Svaki kondenzator u filtru je zamenjen bankom od jednog osnovnog i tri dodatna kompenzaciona kondenzatora. U ovom slučaju, greška usled diskretne prirode kompenzacije je $\epsilon = 2\%$.

Poseban deo rada predlaže optimizaciju RF prekidača za kontrolu kompenzacione banke kondenzatora filtra. Slučaj kada su svi kompenzacioni kondenzatori uključeni u kolo je najkritičniji slučaj za degradaciju gubitaka filtra, dok je slučaj kada su svi kompenzacioni kondenzatori isključeni najkritičniji za grešku kapacitivnosti kondenzatora. Ova dva ekstremna slučaja odgovaraju suprotnim vrednostima procesa. Prekidači su optimizovani tako da degradacija prenosne karakteristike filtra usled gubitaka kada su svi kompenzacioni kondenzatori uključeni u kolo (slučaj brze vrednosti procesa) bude manja od 0,5 dB, dok je greška kapacitivnosti kondenzatora manja od 2%, kada su oni isključeni (slučaj spore vrednosti procesa). Zbog ograničene minimalne vrednosti prekidačkih tranzistora, sa izabranim vrednostima prekidača postignuti su gubici od 0,6 dB na graničnoj učestanosti filtra za brzu vrednost procesa, dok je sa druge strane za sporu vrednost procesa greška usled parazitnih kapacitivnosti kondenzatora manja od 2%.

Uzimajući u obzir sveukupnu grešku kola za procenu vrednosti kapacitivnosti kondenzatora, kao i grešku diskretne prirode kompenzacije i neidealnosti prekidača, varijacija kapacitivnosti kondenzatora u konkretnom RF filtru je smanjena sa 15% na 8% u datoj tehnologiji.

Kao što je prikazano u prethodnom poglavlju, UWB LB LC filter sa kalibracionim kolom je karakterisan na vejeru. Potvrđeno je odlično slaganje simuliranih rezultata kompenzacije sa izmerenim rezultatima kompenzacije. Izmereni su S_{21}/S_{12} i S_{11}/S_{22} parametri nekompensovanog filtra, sa slučajnim vrednostima kalibracionih bita, kao i kompenzovanog filtra, nakon što je kalibracija uključena. Na graničnoj učestanosti od 4,8 GHz, na čipu izmerena vrednost S_{21} parametara je -4,2 dB, dok je vrednost dobijena simulacijom -3,6 dB. Pritom je za nekompensovani filter na istom čipu izmerena vrednost S_{21} parametara od -5,6 dB na graničnoj učestanosti. Istovremeno, ispunjena je specifikacija filtra za minimalno potiskivanje signala na kritičnoj učestanosti od 6,4 GHz. Specificirano minimalno potiskivanje iznosi 15 dB, simulirano potiskivanje je 17,2 dB, dok izmereno potiskivanje iznosi 16,6 dB u slučaju kompenzovanog filtra i 19 dB u slučaju nekompensovanog filtra.

14. Zaključak

Ovaj rad prikazuje jedan način potpuno integrisane kalibracije procesne varijacije kapacitivnosti MIM kondenzatora koristeći se referencom MOS kondenzatora. Uticaj nelinearnosti MOS kondenzatora je detaljno analiziran i u datom slučaju je zanemarljiv. Pošto je kalibracija primenjena, maksimalna varijacija kapacitivnosti MIM kondenzatora je smanjena sa 15% na 8%. Koncept je primenjen na niskopropusni LB UWB filtar i verifikovan kroz simulacije i merenja. Takođe, optimizacija RF prekidača je priložena. Sa usvojenom optimizacijom, gubici filtra usled prekidača su manji od 0,6 dB, kada su svi prekidači uključeni, dok je njima izazvana kalibraciona greška manja od 2% kada su svi isključeni.

U radu je detaljno predstavljena analiza i značaj problema u razvoju integrisanih tehnologija, opisane su osnove UWB sistema i priložena je osnovna teorija filtara. Postupak i optimizacija projektovanja RF UWB LB filtra i analognog i digitalnog dela kompenzacionog kola su detaljno priloženi i kroz simulacije i merenja verifikovani.

U četvrtom poglavlju su diskutovane različite metode merenja kapacitivnosti na čipu, kao i neki od načina kompenzacije. U uvodu i u ovom poglavlju rad se osvrće na jedan od glavnih problema integrisanih rešenja, a to je kompenzacija PVT varijacije komponenti na čipu. U poglavlju su ukratko diskutovane metode odeređivanja kapacitivnosti i to CBCM, metoda bazirana na prstenastom oscilatoru, metoda koja konvertuje kapacitivnost u učestanost i meri istu, kao i dve metode merenja i kompenzovanja varijacije kapacitivnosti kondenzatora na čipu sa i bez spoljašnjih referenci.

U petom poglavlju je dat pregled razvoja i skaliranja tehnologija integrisanih kola sa vremenom. Skaliranje Si CMOS tehnologija je omogućilo značajno veće učestanosti rada kola, visok stepen integracije uređaja i manje napone napajanja, odnosno manju potrošnju. Novije tehnologije su donele značajne prednosti digitalnim kolima, čije su projektovanje i implementacija potpuno automatizovane u CAD alatima. Sa druge strane, struje curenja digitalnih kola u režimu smanjenje potrošnje, pod napajanjem, postale su značajan problem za prenosive uređaje. Takođe, projektovanje analognih kola je postalo dosta zahtevnije, a sama analogna kola skuplja. U razvoju analognih uređaja se moraju razmatrati efekat kratkog kanala, mali probojni napon i mala izlazna otpornost tranzistora, kao i šum gejta i struje tunelovanja. Iz navedenih razloga, tendencija novih tehnologija je da se u integrisanim kolima sa mešovitim signalima što veći deo implementira u digitalnom domenu.

Šesto poglavlje analizira ključni parametar isplativosti razvoja čipa, a to je PPC. U ovom poglavlju su opisani troškovi razvoja, kao i cena same fabrikacije i razvoja na primeru novijih tehnologija. Objašnjen je uticaj skaliranja tehnologije na cenu po funkciji, odnosno tranzistoru. Opisan je značaj defektnog i funkcionalnog prinosa čipova, kao i značaj pronalaženja optimuma između površine čipa i broja potrebnih maski za minimalnu cenu proizvoda, kao i značaj izbora optimalne tehnologije za konkretnu aplikaciju. Takođe, navedeni su i drugi propratni troškovi poput pakovanja proizvoda i njegove kvalifikacije u zavisnosti od specificiranog standarda, koji zajedno sa silicijumom i testiranjem dominantno određuju cenu proizvoda u masovnoj proizvodnji.

Sedmo poglavlje se bavi izborom pogodne tehnologije za ovaj rad, kao i analizom modelovanja varijacija procesa i neuparenosti osnovnih pasivnih i aktivnih komponenti integrisane tehnologije. Pomenut je problem povećanja procesne varijacije komponenti sa

skaliranjem tehnologije. U poglavlju su priložene i elektromagnetske simulacije kalemova, koje verifikuju same modele u izabranoj UMC 130 nm CMOS tehnologiji.

Osmo poglavlje daje pregled osnovne teorije i parametara UWB primopredajnika. Priloženo je sistemsko projektovanje jednostavnog predajnika za viši opseg UWB sistema, sa direktnom konverzijom. Određene su osnovne specifikacije osnovnih blokova predajnika (generatorski impulsa, filtra u osnovnom opsegu, pasivnog miksera, RF pojačavača i izlaznog filtra), kako bi se zadovoljila specificirana izlazna snaga, SNDR u propusnom opsegu, kao i spektralna maska predajnika. Specifikacije su proverene kroz sistemske simulacije.

Osnovna teorija pasivnih filtara je priložena u poglavlju devet, uz projektovanje i simulacije nekompensovanog UWB LB LC filtra, datog u poglavlju deset. Zbog varijacije procesa parametara kondenzatora, zadata specifikacija filtra nije ispunjena. Naime, specificirano potiskivanje signala na 6,4 GHz je 15 dB. U slučaju spore vrednosti procesa, simulirano potiskivanje signala je 16,6 dB, dok u slučaju brze vrednosti procesa, potiskivanje iznosi 11,7 dB i specifikacija filtra nije ispunjena. Kako ne bismo povećavali red filtra, razvijeno je kalibraciono kolo, pogodno za kalibraciju bilo kog kola na čipu, čije su performanse određene apsolutnom vrednošću kapacitivnosti kondenzatora.

U poglavlju jedanaest, detaljno je optimizovan koncept kalibracione banke kondenzatora RF filtra, optimizovana je interna referenca, kao i samo kolo za određivanje vrednosti kapacitivnosti kondenzatora. Dati su rezultati simulacije oscilatora, koji su analizirani u poglavlju trinaest. Konačna mašina stanja (*FSM*), digitalni brojač oscilacija, blok za deljenje perioda oscilacija i blok za kontrolisanje bita kompenzacione banke filtra su objašnjeni u ovom poglavlju. *Verilog* kod svih navedenih blokova priložen je u dodatku, na kraju rada.

RF, analogni i digitalni deo dizajna su integrisani, fabrikovani i karakterisani. Rezultati karakterizacije su priloženi u poglavlju dvanaest, a detaljno diskutovani u poglavlju trinaest.

Rad se bavi jednim od najvećih problema integrisanih kola, varijacijom parametara komponenti sa procesom, temperaturom, naponom napajanja i stresom. Kako bi se kompenzovali ovi efekti i obezbedilo pouzdano funkcionisanje analognih i RF kola i tokom životnog veka uz zahtevani prinos čipova, cena mora da se plati povećanom površinom čipa i/ili dužim vremenom kalibracije prilikom testiranja proizvoda i/ili povećanjem broja spoljašnjih komponenta. Ovaj rad nudi jedinstveno, potpuno integrisano i autonomno kalibraciono kolo, koje zauzima manje od 0,1mm² površine na čipu i značajno smanjuje varijaciju MIM kondenzatora na čipu, na primeru filtra za sve popularnije UWB komunikacione sisteme. Ključni doprinos ovog rada se ogleda u projektovanju i optimizaciji analognog i digitalnog kola, kao i projektovanju UWB filtra sa kompenzacionom bankom, optimizovanog za rad na visokim učestanostima. Pokazano je da analogno–digitalno rešenje kalibracije nudi odličan kompromis za postizanje željenih performansi filtra i ostalih kola čije su karakteristike zasnovane na apsolutnoj vrednosti linearnih kondenzatora na čipu, a istovremeno omogućuje smanjenje cene proizvoda što je ključni cilj u serijskoj proizvodnji velikog obima.

Nastavak istraživačkog rada će biti usmeren na optimizaciju kalibracione tehnike pasivnih komponenti na čipu bez spoljašnjih referenci, tako da se jednim kolom kalibriše što više blokova na čipu. Plan je da kalibracioni koncept bude primenjiv i na otpornike na čipu. Ciljana primena je automobilska industrija za *Grade 0*, odnosno automobilski standard za elektroniku ispod haube. U ovom slučaju je potrebno razmatrati temperaturalni opseg od -40°C do 150°C

ambijentalne temperature, odnosno od -40°C do 175°C temperature čipa. Takođe, potrebno je integrisati taktni oscilator na samom čipu, i razmatrati njegove metode interne kalibracije bez spoljašnjih referenci. Fokus i dalje ostaje na digitalnoj kalibraciji uz dalju optimizaciju analogne površine, odnosno smanjenje cene kalibracione logike i cene testiranja čipa.

Zahvalnica

Autor se zahvaljuje Fakultetu tehničkih nauka, Odseku za energetiku, elektroniku i telekomunikacije u Novom Sadu, u Srbiji zbog obezbeđivanja merne opreme. Ovaj rad je realizovan u okviru SENSEIVER projekta, finansiranog od *Seventh Framework* programa Evropske unije.

Odabrane objavljene reference kandidata

- **B. Milinković**, M. Milićević, Đ. Simić, G. Stojanović, R. Đurić, “Low-pass filter for UWB system with the circuit for compensation of process induced on-chip capacitor variation”, MIDE M Journal of Microelectronics, Electronic Components and Materials Vol. 45, No. 4, 266-276, 2015.
- M. Milicević, **B. Milinković**, D. Grujić, L. Saranovac, “Power and Conjugately Matched High Band UWB Power Amplifier”, IEEE Transactions on circuits and systems, Vol. 65, No. 10, October 2018.
- M. Milićević, **B. Milinković**, Đ. Simić, D. Grujić, L. Saranovac “Temperature and process compensated RF power detector”, MIDE M Journal of Microelectronics, Electronic Components and Materials, Vol. 46, No. 1, 24-28, 2016.
- M. Milićević, **B. Milinković**, J. Radić, R. Đurić, “Digitally controlled attenuator”, 2016 24TH TELECOMMUNICATIONS FORUM (TELFOR), vol. br. , str. 208-210, 2016.
- M. Milićević, **B. Milinković**, Đ. Simić, D. Grujić, R. Đurić, “Temperature and Process Compensated Broad Band CMOS RF Power Detector”, 37th International Conference of IMPAS-CMPT Poland, Krakow, 22-25 September 2013.

Literatura

- [1] M. Onabajo and J. Silva-Martinez, *Analog Circuit Design for Process Variation-Resilient Systems-on-a-Chip*. New York, Springer, 2012.
- [2] M. Pastre and M. Kayal, *Methodology for the Digital Calibration of Analog Circuits and Systems*. Netherlands, Springer, 2006.
- [3] H. Masuda, M. Tsunozaki, T. Tsutsui, H. Nunogami, A. Uchida, and K. Tsunokuni, "A Novel Wafer-Yield PDF Model and Verification With 90–180-nm SOC Chips," *IEEE Transactions on Semiconductor Manufacturing*, vol. 21, no. 4, pp. 585-591, Nov. 2008.
- [4] G. W. Roberts and B. Dufort, "Making complex mixed-signal telecommunication integrated circuits testable," *IEEE Communications Magazine*, vol. 37, no. 6, pp. 90-96, June 1999.
- [5] A. Zjajo and J. P. de Gyvez, "Evaluation of signature-based testing of RF/analog circuits," *European Test Symposium (ETS'05)*, pp. 62-67, 2005.
- [6] IEEE Std 802.15.4a-2007, *Amendment to 802.15.4- 2006: Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (LR-WPANs)*. 2007.
- [7] IEEE Approved Std P802.15.4a/D, *Approved IEEE Draft Amendment to IEEE Standard for Information Technology-Telecommunications and Information Exchange Between Systems-Part 15.4:Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (LR-WPANs): Amendment to Add Alternate Phy (Amendment of IEEE Std 802.15.4)*. Jan. 2007.
- [8] A. Verma and B. Razavi, "Frequency-Based Measurement of Mismatches Between Small Capacitors," *IEEE Custom Integrated Circuits Conference 2006*, pp. 481-484, 2006.
- [9] L. Welter, P. Dreux, H. Aziza, and J.-M. Portal, "Embedded high-precision capacitor measurement system based on ring-oscillator," *Electronics Letters*, 51(6):521–523, 2015.
- [10] B. Sell, A. Avellan, and W. H. Krautschneider, "Charge-based capacitance measurements (CBCM) on MOS devices," *IEEE Transactions on Device and Materials Reliability*, vol. 2, no. 1, pp. 9-12, March 2002.
- [11] J. C. Chen, B. W. McGaughy, D. Sylvester, and Chenming Hu, "An on-chip, attofarad interconnect charge-based capacitance measurement (CBCM) technique," *International Electron Devices Meeting. Technical Digest*, pp. 69-72, 1996.
- [12] S. Suman, K. G. Sharma, and P. K. Ghosh, "Analysis and design of current starved ring VCO," *2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT)*, pp. 3222-3227, 2016.
- [13] S. Panyai and A. Thanachayanont, "Design and realization of a process and temperature compensated CMOS ring oscillator," *2012 9th International Conference on Electrical*

Engineering/Electronics, Computer, Telecommunications and Information Technology, pp. 1-4, 2012.

[14] X. Zhang and A. B. Apsel, "A Low-Power, Process-and- Temperature- Compensated Ring Oscillator With Addition-Based Current Source," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, no. 5, pp. 868-878, May 2011.

[15] K. Sundaresan, P. E. Allen, and F. Ayazi, "Process and temperature compensation in a 7-MHz CMOS clock oscillator," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 2, pp. 433-442, Feb. 2006.

[16] WIKIBOOKS, "Microprocessor Design/Sockets and interfacing," (Online). https://en.wikibooks.org/wiki/Microprocessor_Design/Sockets_and_interfacing#:~:text=The%20size%2C%20shape%2C%20number%20of,connect%20to%20called%20a%20socket., pristupljeno: 16.01.2022.

[17] Wikipedia, "Form factor (design)," (Online). [https://en.wikipedia.org/wiki/Form_factor_\(design\)](https://en.wikipedia.org/wiki/Form_factor_(design)), pristupljeno: 16.01.2022.

[18] I. Milosavljević, D. Grujić, Đ. Simić, and J. Popović-Božović, "Estimation and compensation of process-induced variations in capacitors for improved reliability in integrated circuits," *Analog Integrated Circuits and Signal Processing*, vol. 81, no 1, pp. 253-264, 2014.

[19] C.-W. Lee, *On-chip Benchmarking and Calibration without External References*. PhD thesis, EECS Department, University of California, Berkeley, 2012.

[20] Wikipedia, "Moore's law," (Online). https://en.wikipedia.org/wiki/Moore%27s_law, pristupljeno: 16.01.2022.

[21] MT Technology Review, "We're not prepared for the end of Moore's Law," (Online). <https://www.technologyreview.com/2020/02/24/905789/were-not-prepared-for-the-end-of-moores-law/>, pristupljeno: 16.01.2022.

[22] Yuhua Cheng, M. J. Deen, and Chih-Hung Chen, "MOSFET modeling for RF IC design," *IEEE Transactions on Electron Devices*, vol. 52, no. 7, pp. 1286-1303, July 2005.

[23] E. Morifuji et al., "Future perspective and scaling down roadmap for RF CMOS," 1999 *Symposium on VLSI Technology*. Digest of Technical Papers (IEEE Cat. No.99CH36325), pp. 163-164, 1999.

[24] J. N. Burghartz, M. Hargrove, C. S. Webster, R. A. Groves, M. Keene, K. A. Jenkins, R. Logan, and E. Nowak, "RF potential of a 0.18-um CMOS logic device technology," *IEEE Trans. Electron Devices*, vol. 47, no. 4, 864—870, Apr. 2000.

[25] Jun Ma et al., "Silicon RF-GCMOS IC technology for RF mixed-mode wireless applications," 1997 *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*. Digest of Technical Papers, pp. 175-179, 1997.

[26] A. Niknejad, *Electromagnetics for High-Speed Analog and Digital Communication Circuit*. New York, Cambridge University Press, 2007.

- [27] S. Reynolds, B. Floyd, U. Pfeiffer, and T. Zwick, "60GHz transceiver circuits in SiGe bipolar technology," *2004 IEEE International Solid-State Circuits Conference* (IEEE Cat. No.04CH37519), pp. 442-538 Vol.1, 2004.
- [28] C. H. Doan, S. Emami, A. M. Niknejad, and R. W. Brodersen, "Design of CMOS for 60GHz applications," *2004 IEEE International Solid-State Circuits Conference* (IEEE Cat. No.04CH37519), pp. 440-538 Vol.1, 2004.
- [29] P. Gray and R. Meyer, *Analysis and Design of Analog Integrated Circuits*. New York, John Wiley, 3rd edition, 1993.
- [30] Johan Huijsing, *Operational Amplifiers Theory and Design*. Springer, 2nd edition, 2011.
- [31] A. M. Niknejad, C. HuM. Chan, X. Xi, J. He, P. Su, Y. Cao, H.Wan, M. Dunga, C. Doan, S. Emami, and C.-H. Lin, "Compact modeling for RF and microwave integrated circuits," *Workshop on Compact Modeling*, 2003.
- [32] K. Flamm, "Measuring Moore's Law: Evidence from Price, Cost, and Quality Indexes," *NBER Working Paper* No. 24553. April 2018.
- [33] ExtremeTech, "14nm, 7nm, 5nm: How low can CMOS go? It depends if you ask the engineers or the economists....," (Online). <https://www.extremetech.com/computing/184946-14nm-7nm-5nm-how-low-can-cmos-go-it-depends-if-you-ask-the-engineers-or-the-economists>, pristupljeno: 16.01.2022.
- [34] M. Totzeck, U. Wilhelm, A. Göhnermeier, and W. Kaiser, "Semiconductor fabrication: Pushing deep ultraviolet lithography to its limits," *Nature Photonics*, 2007.
- [35] S. Rao, D. Shangguan, X. Xu, L. Li, B. Deng, and R. Borges, "Design for reliability with a new modeling methodology for Chip to Package Interaction," *2015 IEEE 65th Electronic Components and Technology Conference (ECTC)*, San Diego, CA, USA, pp. 2020-2025, 2015.
- [36] T. O. Dickson, K. H. K. Yau, T. Chalvatzis, A. M. Mangan, E. Laskin, R. Beerkens, P. Westergaard, M. Tazlauanu, M. T. Yang, and S. P. Voinigescu, "The Invariance of Characteristic Current Densities in Nanoscale MOSFETs and Its Impact on Algorithmic Design Methodologies and Design Porting of Si(Ge) (Bi)CMOS High-Speed Building Blocks," *IEEE Journal of Solid-State Circuits*, vol. 41, pp. 1830–1845, Aug 2006.
- [37] W. Zhang, *IC Spatial Variation Modeling: Algorithms and Applications*. PhD thesis, Carnegie Mellon University Pittsburgh, PA, September, 2012.
- [38] S. R. Nassif, "Modeling and analysis of manufacturing variations," *Proceedings of the IEEE 2001 Custom Integrated Circuits Conference* (Cat. No.01CH37169), pp. 223-228, 2001.
- [39] Semiconductor Industry Associate, *International Technology Roadmap for Semiconductors*. 2011.
- [40] M. Orshansky, S. Nassif, and D. Boning, *Design for Manufacturability and Statistical Design: A Constructive Approach*. Springer, 2007.

- [41] PDF Solutions, "Integrated Yield Ramps," (Online). <http://www.pdf.com/integrated-yield-ramp>, 2012., pristupljeno: 16.01.2022.
- [42] A. Kauppila, *Analysis of parameter variation impact on the single event response in sub-100nm CMOS storage cells*. PhD thesis, Nashville, Tennessee, May, 2012.
- [43] BSIM4 MOSFET Users Manual (Online). http://cmosedu.com/cmos1/BSIM4_manual.pdf, pristupljeno: 16.01.2022.
- [44] S. G. Duvall, "Statistical Circuit Modeling and Optimization, " *2000 5th International Workshop on Statistical Metrology*, pp. 56-63, 2000.
- [45] A. A. Mutlu and M. Rahman, "Statistical Methods for the Estimation of Process Variation Effects on Circuit Operation," *IEEE Transactions on Electronics Packaging Manufacturing*, vol. 28, no. 4, pp. 364-375, October 2005.
- [46] K. A. Bownan, S. G. Duvall, and J. D. Meindle, "Impact of Die-to-Die and Within-Die Parameter Fluctuations on the Maximum Clock Frequency Distribution for Gigascale Interaction," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 2, pp. 183-190, Feb. 2002.
- [47] O. S. Unsal, J. W. Tschanz, K. Bowman, V. De, X. Vera, A. Gonzalez, and O. Ergin, "Impact of Parameter Variations on Circuits and Microarchitecture," *IEEE Micro*, vol. 26, no. 6, pp. 30-39, 2006.
- [48] E. Afacan, G. Berkol, F. Baskaya, and G. Dündar, "Sensitivity based Methodologies for Process Variation Aware Analog IC Optimization," *2014 10th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, 2014.
- [49] B. Liu, *Computational intelligence techniques for automated design of analog and high-frequency circuits*. PhD thesis, KATHOLIEKE UNIVERSITEIT LEUVEN, 2012.
- [50] C. C. McAndrew, J. Bates, R. T. Ida, and P. Drennan, "Efficient statistical BJT modeling, why β_{eff} is more than β_{c} / β_{b} ," *Proceedings of the 1997 Bipolar/BiCMOS Circuits and Technology Meeting*, pp. 28-31, 1997.
- [51] Bing Sheu, D. Scharfetter, Chenming Hu, and D. Pederson, "A compact IGFET charge model," *IEEE Transactions on Circuits and Systems*, vol. 31, no. 8, pp. 745-748, August 1984.
- [52] Yuhua Cheng et al., "A physical and scalable I-V model in BSIM3v3 for analog/digital circuit simulation," *IEEE Transactions on Electron Devices*, vol. 44, no. 2, pp. 277-287, Feb. 1997.
- [53] C. C. Enz, F. Krummenacher, and E. A. Vittoz, "An analytical MOS transistor model valid in all regions of operation and dedicated to low voltage and low-current applications," *J. Analog Integr. Circuit Signal Process.*, vol. 8, pp. 83–114, 1995.
- [54] W. Liu, X. Jin, and J. Chen et al., "BSIM3v3.2.2 MOSFET Model User's Manual," (Online). https://www.ee.columbia.edu/~kinget/EE4303_S02/docs/bsim3v3.2.pdf, pristupljeno: 16.01.2022.
- [55] W. Liu, R. Gharpurey, M. C. Chang, U. Erdogan, R. Aggarwal, and J. P. Mattia, "RF MOSFET modeling accounting for distributed substrate and channel resistances with

emphasis on the BSIM3v3 SPICE model," *International Electron Devices Meeting. IEDM Technical Digest*, pp. 309-312, 1997.

[56] D. R. Pehlke, M. Schroter, A. Burstein, M. Matloubian, and M. F. Chang, "High-frequency application of MOS compact models and their development for scalable RF model libraries," *Proceedings of the IEEE 1998 Custom Integrated Circuits Conference* (Cat. No.98CH36143), pp. 219-222, 1998.

[57] Jia-Jiunn Ou, Xiaodong Jin, I. Ma, Chenming Hu, and P. R. Gray, "CMOS RF modeling for GHz communication IC's," *1998 Symposium on VLSI Technology Digest of Technical Papers* (Cat. No.98CH36216), pp. 94-95, 1998.

[58] Xiaodong Jin et al., "An effective gate resistance model for CMOS RF and noise modeling," *International Electron Devices Meeting 1998. Technical Digest* (Cat. No.98CH36217), pp. 961-964, 1998.

[59] M. Schneider, C. Galup-Montoro, *CMOS Analog Design Using All-Region MOSFET Modeling*. Cambridge University Press, New York, 2010.

[60] Medium, "What Is A Normal Distribution?" (Online). <https://medium.com/swlh/what-is-a-normal-distribution-586d1bbc7f38>, pristupljeno: 16.01.2022.

[61] Wikipedia, "Skin effect," (Online). https://en.wikipedia.org/wiki/Skin_effect, pristupljeno: 16.01.2022.

[62] T. Ytterdal, Y. Cheng, and T. Fjeldly, *Device Modeling For Analog And RF CMOS Circuit Design*. John Wiley & Sons Ltd, The Atrium, Southern Gate, Chichester, West Sussex PO19 8SQ, England, 2003.

[63] H. Murrmann and D. Widmann, "Current crowding on metal contacts to planar devices," *IEEE Transactions on Electron Devices*, vol. 16, no. 12, pp. 1022-1024, Dec. 1969.

[64] Yuhua Cheng, "The influence and modeling of process variation and device mismatch for analog/rf circuit design," *Proceedings of the Fourth IEEE International Caracas Conference on Devices, Circuits and Systems* (Cat. No.02TH8611), pp. D046-D046, 2002.

[65] J. . -B. Shyu, G. C. Temes and K. Yao, "Random errors in MOS capacitors," in *IEEE Journal of Solid-State Circuits*, vol. 17, no. 6, pp. 1070-1076, Dec. 1982.

[66] Y. Tsvividis and C. McAndrew, *Operation and Modeling of the MOS Transistor*. vol. 2, Oxford University Press, 1999.

[67] H. Darabi, *Radio Frequency Integrated Circuit and Systems*. Cambridge University Press, 2016.

[68] F. Svelto, S. Deantoni, and R. Castello, "A 1.3 GHz low-phase noise fully tunable CMOS LC VCO," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 3, pp. 356-361, March 2000.

[69] F. Grover, *Inductance Calculation*. Dover, 94-113, 1946.

- [70] W. B. Kuhn and N. M. Ibrahim, "Analysis of current crowding effects in multiturn spiral inductors," *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 1, pp. 31-38, Jan. 2001.
- [71] N. D. Arora, E. Rios, and Cheng-Liang Huang, "Modeling the polysilicon depletion effect and its impact on submicrometer CMOS circuit performance," *IEEE Transactions on Electron Devices*, vol. 42, no. 5, pp. 935-943, May 1995.
- [72] P. Habas and J. V. Faricelli, "Investigation of the physical modeling of the gate-depletion effect," *IEEE Transactions on Electron Devices*, vol. 39, no. 6, pp. 1496-1500, June 1992.
- [73] Cheng-Liang Huang and N. D. Arora, "Measurements and modeling of MOSFET I-V characteristics with polysilicon depletion effect," *IEEE Transactions on Electron Devices*, vol. 40, no. 12, pp. 2330-2337, Dec. 1993.
- [74] W. Shockley, "Problems Related to p-n Junctions in Silicon," *Solid-State Electronics*, vol. 2 (1), pp. 35-60, January 1960.
- [75] B. Hoenseisen and C. A. Mead, "Fundamental Limitations in Microelectronics – I. MOS Technology," *Solid-State Electronics*, vol. 15 (7), pp. 819-829, July 1972.
- [76] J. -. Shyu, G. C. Temes, and F. Krummenacher, "Random error effects in matched MOS capacitors and current sources," *IEEE Journal of Solid-State Circuits*, vol. 19, no. 6, pp. 948-956, Dec. 1984.
- [77] S. Borkar, T. Karnik, S. Narendra, J. Tschanz, A. Keshavarzi, and V. De, "Parameter variations and impact on circuits and microarchitecture," *Proceedings of the 2003 Design Automation Conference*, pp.338-342, 2003.
- [78] P. A. Stolk, F. P. Widdershoven, and D. B. M. Klaassen, "Modeling statistical dopant fluctuations in MOS transistors," *IEEE Transactions on Electron Devices*, vol. 45, no. 9, pp. 1960-1971, Sept. 1998.
- [79] S. Borkar, "Designing reliable systems from unreliable components: the challenges of transistor variability and degradation," *IEEE Micro*, vol. 25, no. 6, pp. 10-16, Nov.-Dec. 2005.
- [80] Xinghai Tang, V. K. De, and J. D. Meindl, "Intrinsic MOSFET parameter fluctuations due to random dopant placement," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 5, no. 4, pp. 369-376, Dec. 1997.
- [81] V. K. De, Xinghai Tang, and J. D. Meindl, "Random MOSFET parameter fluctuation limits to gigascale integration (GSI)," *1996 Symposium on VLSI Technology*. Digest of Technical Papers, pp. 198-199, 1996.
- [82] Xinghai Tang, V. K. De, and J. D. Meindl, "Effects of random MOSFET parameter fluctuations on total power consumption," *Proceedings of 1996 International Symposium on Low Power Electronics and Design*, pp. 233-236, 1996.
- [83] Mizuno, Okamura and Toriumi, "Experimental Study Of Threshold Voltage Fluctuations Using An 8k MOSFET's Array," *Symposium 1993 on VLSI Technology*, pp. 41-42, 1993.

- [84] T. Mizuno et al., "Performance fluctuations of 0.10 μm MOSFETs-limitation of 0.1 μm ULSIs," *Proceedings of 1994 VLSI Technology Symposium*, pp. 13-14, 1994.
- [85] K. Nishinohara, N. Shigyo, and T. Wada, "Effects of microscopic fluctuations in dopant distributions on MOSFET threshold voltage," *IEEE Transactions on Electron Devices*, vol. 39, no. 3, pp. 634-639, March 1992.
- [86] R. W. Keyes, "Physical limits in digital electronics," *Proceedings of the IEEE*, vol. 63, no. 5, pp. 740-767, May 1975.
- [87] T. Hagiwara, K. Yamaguchi, and S. Asai, "Threshold Voltage Deviation in Very Small MOS Transistors Due to Local Impurity Fluctuations," 1982 Symposium on VLSI Technology. Digest of Technical Papers, pp. 46-47, 1982.
- [88] D. Burnett, K. Erington, C. Subramanian, and K. Baker, "Implications of fundamental threshold voltage variations for high-density SRAM and logic circuits," *Proceedings of 1994 VLSI Technology Symposium*, pp. 15-16, 1994.
- [89] C. Chiang, J. Kawa, *Design for Manufacturability and Yield for Nano-scale CMOS*. Springer, Dordrecht, 2007.
- [90] W. Zhao et al., "Rigorous Extraction of Process Variations for 65-nm CMOS Design," *IEEE Transactions on Semiconductor Manufacturing*, vol. 22, no. 1, pp. 196-203, Feb. 2009.
- [91] V. Loukusa, H. Pohjonen, A. Ruha, T. Ruotsalainen, and O. Varkki, "Systems on chips design: system manufacturer point of view," *Proceedings Design, Automation and Test in Europe Conference and Exhibition*, pp. 3-4 Vol.3, 2004.
- [92] Qizheng Gu, *RF System Design of Transivers for wireless communication*. Springer, 2005.
- [93] Anwarul Azim, M. A. Matin, Asaduzzaman and Nowshad Amin, *UWB Technology for WSN Applications*. Novel Applications of the UWB Technologies, Dr. Boris Lembrikov (Ed.), ISBN: 978-953-307-324-8, InTech
- [94] J. Lodge and V. Szwarc, "The Digital Implementation of Radio," *1992 IEEE Global Telecommunications Conference*, vol. 1, pp. 462-466, Dec. 1992.
- [95] IEEE Standard Association, *IEEE Standard for Low-Rate Wireless Networks*. IEEE Std 802.15.4™-2015 (Revision of IEEE Std 802.15.4-2011)
- [96] C. E. Shannon, "A mathematical theory of communication," *The Bell System Technical Journal*, vol. 27, no. 3, pp. 379-423, July 1948.
- [97] Anatol I. Zverev, *Handbook of filter synthesis*. John Willey and Sons, 1967.
- [98] R. Rhea, *HF Filter Design and Computer Simulation*. Noble Publishing Corporation, Georgia- USA, 1994
- [99] H. J. Orchard, "Inductorless filters," *Electron. Lett.*, vol. 2, pp. 224-225, 1966.
- [100] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, New York, 2001.

- [101] B. Min, *SiGe/CMOS Millimeter-Wave Integrated Circuits and Wafer-Scale Packaging for Phased Array Systems*. PhD thesis, The University of Michigan, 2008.
- [102] Jensen, J. L. W. V. "Sur les fonctions convexes et les inégalités entre les valeurs moyennes." *Acta Math.* 30, 175-193, 1906.
- [103] Encyclopedia of Mathematics, "Jensen inequality," (Online). [http://encyclopediaofmath.org/index.php?title=Jensen_inequality&oldid=47465,](http://encyclopediaofmath.org/index.php?title=Jensen_inequality&oldid=47465) pristupljeno: 16.01.2022.
- [104] E. Vittoz, *Weak inversion in analog and digital circuits*. CCD Workshop, 2003.
- [105] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*. 4th edn., New York: John Wiley & Sons, 2001.
- [106] Zhu, D., Mo, J., Xu, S. et al. "A New Capacitance-to-Frequency Converter for On-Chip Capacitance Measurement and Calibration in CMOS Technology," *J Electron Test* 32, 393–397, 2016.
- [107] Automotive Electronics Council, "FAILURE MECHANISM BASED STRESS TEST QUALIFICATION FOR INTEGRATED CIRCUITS," September 11, 2014 (Online). [http://www.aecouncil.com/Documents/AEC_Q100_Rev_H_Base_Document.pdf,](http://www.aecouncil.com/Documents/AEC_Q100_Rev_H_Base_Document.pdf) pristupljeno: 16.01.2022.

Dodatak – kod digitalne logike

```
// Control for oscillator counter
// reset_n=0 -> idle
// reset_n=1 -> transition from state to state
//
//
//
// The core
//
`timescale 1ns/1ps

module control
    (input      logic clk, reset_n, cal, cmp_val,
     output     logic osc_enb, mim_nmos, time_start,
     osc_start, time_mux_ctrl, write_mos, write_mim, start_div);

typedef enum logic[3:0] {idle, start, wait_mim, init_count_mim,
count_mim, result_mim, init_wait_mos, wait_mos, init_count_mos,
count_mos, result_mos, result_valid, result_fin} statetype;
//-----
--
// State registrar declaration
//-----
--

statetype state;

//-----
--
// Internal variables
//-----
--

logic valid;

//-----
--
// state logic
//-----
--

// Generate start_div
always_ff @(posedge clk, negedge reset_n)
begin
    if (~reset_n) begin
        start_div <= 1'b0;
    end

    else begin
        start_div <= valid;
    end
end
end
```

```

// control FSM
always_ff @(posedge clk, negedge reset_n)
begin
  if (~reset_n) begin
    state <= idle;
    valid <= 1'b0;
    osc_enb <= 1'b0;
    mim_nmos <= 1'b1;
    time_start <= 1'b0;
    osc_start <= 1'b0;
    write_mim <= 1'b0;
    write_mos <= 1'b0;
    time_mux_ctrl <= 1'b0;
  end

  else begin

    case (state)
      idle:      begin
        state <= start;
        valid <= 1'b0;
        osc_enb <= 1'b0;
        mim_nmos <= 1'b1;
        time_start <= 1'b0;
        osc_start <= 1'b0;
        write_mim <= 1'b0;
        write_mos <= 1'b0;
        time_mux_ctrl <= 1'b0;
      end

      start:      begin
        state <= wait_mim;
        osc_enb <= 1'b1;
        time_start <= 1'b1;
      end

      wait_mim:   begin
        if(cmp_val) begin
          state <= init_count_mim;
        end
        else begin
          state <= wait_mim;
        end
      end

      init_count_mim: begin
        state <= count_mim;
        time_mux_ctrl <= 1'b1;
        osc_start <= 1'b1;
      end

      count_mim: begin
        if(cmp_val) begin
          state <= result_mim;
        end
        else begin
          state <= count_mim;
        end
      end
    endcase
  end
end

```

```

        end
        end

result_mim: begin
    state <= init_wait_mos;
    write_mim <= 1'b1;
    time_start <= 1'b0;
    time_mux_ctrl <= 1'b0;

    end

init_wait_mos:    begin
    state <= wait_mos;
    time_start <= 1'b1;
    osc_start <= 1'b0;
    write_mim <= 1'b0;
    mim_nmos <= 1'b0;
    end

wait_mos:    begin
    if(cmp_val) begin
        state <= init_count_mos;
    end
    else begin
        state <= wait_mos;
    end
    end
    end

init_count_mos: begin
    state <= count_mos;
    time_mux_ctrl <= 1'b1;
    osc_start <= 1'b1;
    end

count_mos: begin
    if(cmp_val) begin
        state <= result_mos;
    end
    else begin
        state <= count_mos;
    end
    end
    end

result_mos: begin
    state <= result_valid;
    write_mos <= 1'b1;
    time_start <= 1'b0;
    end

result_valid:    begin
    state <= result_fin;
    valid <= 1'b1;
    write_mos <= 1'b0;
    osc_start <= 1'b0;
    time_start <= 1'b0;
    osc_enb <= 1'b0;
    end

```

```

        result_fin: begin
            if (cal) begin
                state <= idle;
            end
            else begin
                state <= result_fin;
            end
            valid <= 1'b0;

            end

        default: begin
            state <= idle;
            end

    endcase
end
end

endmodule

`timescale 1ns/1ps

module osc_counter
(
    input logic osc, clk, reset_n,
    input logic time_start, osc_start, write_mim, write_mos,
    time_mux_ctrl,
    output logic cmp_val,
    output logic [8:0] mim_val, mos_val);

// parameters
parameter waiting_time = 11'd200;
parameter measure_time = 11'd1400;

// internal signals

logic osc_d1, osc_d2, osc_d3n, osc_r;
logic [10:0] time_mux, time_cnt;
logic [8:0] osc_cnt;

// osc synchronisation

always_ff @(posedge clk or negedge reset_n)
begin
    if (~reset_n) begin
        osc_d1 <= 1'b0;
        osc_d2 <= 1'b0;
    end
end

```

```

        osc_d3n <= 1'b0;
    end

    else begin
        osc_d1 <= osc;
        osc_d2 <= osc_d1;
        osc_d3n<= ~osc_d2;
    end

end

//
assign osc_r = osc_d2 & osc_d3n;

// osc_counter

always_ff @(posedge clk or negedge reset_n)
begin
    if (~reset_n) begin
        osc_cnt <= 9'b0;
    end
    else begin
        if (~osc_start) begin
            osc_cnt<= 9'b0;
        end
        else begin
            if(osc_r) begin
                osc_cnt <= osc_cnt + 1;
            end
            else begin
                osc_cnt <= osc_cnt;
            end
        end
    end

end

end

// mim and mos registers

always_ff @(posedge clk or negedge reset_n)
begin

    if (~reset_n) begin
        mim_val <= 9'b0;
    end
    else begin
        if (write_mim) begin
            mim_val <= osc_cnt;
        end
        else begin
            mim_val <= mim_val;
        end
    end

end

```

```

end

always_ff @(posedge clk or negedge reset_n)
begin
    if (~reset_n) begin
        mos_val <= 9'b0;
    end
    else begin
        if (write_mos) begin
            mos_val <= osc_cnt;
        end
        else begin
            mos_val <= mos_val;
        end
    end
end
end

```

```
// mux2to1, time_counter and comparator
```

```

always_comb
begin

    if (time_mux_ctrl) begin
        time_mux <= measure_time;
    end
    else begin
        time_mux <= waiting_time;
    end
end

```

```
end
```

```

always_ff @(posedge clk or negedge reset_n)
begin
    if (~reset_n) begin
        time_cnt <= 11'b0;
    end
    else begin
        if (~time_start) begin
            time_cnt <= 11'b0;
        end
        else begin
            time_cnt <= time_cnt + 1;
        end
    end
end

```

```
end
```

```
assign cmp_val = time_cnt >= time_mux;
```

```
endmodule
```

```
`include "timescale.v"
```



```

module pdiv_ser (
    // Outputs
    qtn_vld, qtnu_vld, quotient, remainder,
    // Inputs
    clk, reset_n, start, dividend, divisor
);

//-----
// Parameters Definition
//-----

parameter          p_dnd_width  = 'd8; // dividend bit width
parameter          p_dsr_width  = 'd8; // divisor bit width

parameter          p_cnt_width  = (p_dnd_width < 2)? 1 :
                                   (p_dnd_width < 4)? 2 :
                                   (p_dnd_width < 8)? 3 :
                                   (p_dnd_width < 16)? 4 :
                                   (p_dnd_width < 32)? 5 :
                                   (p_dnd_width < 64)? 6 :
                                   (p_dnd_width < 128)? 7 :
                                   8 ;

//-----
// Port Declarations
//-----

input              clk;
input              reset_n;

input              start; // start flag
output             qtn_vld; // quotient valid
output             qtnu_vld; // unsigned quotient valid

input  [p_dnd_width-1:0] dividend;
input  [p_dsr_width-1:0] divisor;

output [p_dnd_width-1:0] quotient;
output [p_dsr_width-1:0] remainder;

reg          qtn_vld;

reg  [p_dnd_width-1:0] shrlow; // shift register low
reg  [p_dsr_width-1:0] shrhigh; // shift register high

wire [p_dnd_width-1:0] udividend; // unsigned dividend
reg  [p_dsr_width-1:0] udivisor; // unsigned divisor

```

```

reg          sign;          // quotient sign

reg  [p_cnt_width-1:0]  scancnt;    // scan counter

wire        en;           // enable
reg         en_d;        // enable delayed
wire        qend;        // end of calculation

wire [p_dsr_width-1:0]  prmd;       // partial remainder
wire [p_dsr_width-2:0]  ldshrhigh;  // load shift register high

// get abs
assign udividend = (dividend[p_dnd_width-1])? -dividend : dividend;

// partial remainder computation
assign prmd = shrhigh + udivisor;

// update for shift register high
assign ldshrhigh = (prmd[p_dsr_width-1])? shrhigh[p_dsr_width-2:0] :
prmd[p_dsr_width-2:0];

// end of calculation
assign qend      = ~en & en_d;
assign qtnu_vld = qend;

// outputs
assign remainder = shrhigh;
assign quotient  = shrlow;

// scan counter
assign en = (scancnt>0)? 1'b1 : 1'b0;

always@(posedge clk or negedge reset_n)
begin
  if (~reset_n) begin
    scancnt <= {(p_cnt_width){1'd0}};
    en_d    <= 1'b0;
    qtn_vld <= 1'b0;
  end
  else begin
    en_d    <= en;
    qtn_vld <= qtnu_vld;
    if (start) begin
      scancnt <= p_dnd_width-1;
    end
    else if (en) begin
      scancnt <= scancnt - 1'd1;
    end
  end
end
end

```

```

// shift register
always@(posedge clk or negedge reset_n)
begin
    if (~reset_n) begin
        sign    <= 1'b0;
        udivisor <= {(p_dsr_width){1'd0}};
        shrlow  <= {(p_dnd_width){1'd0}};
        shrhigh <= {(p_dsr_width){1'd0}};
    end
    else begin
        if (start) begin
            sign    <= dividend[p_dnd_width-1] ^ divisor[p_dsr_width-
1];
            udivisor <= (divisor[p_dsr_width-1])? divisor : -divisor;
        end

        if (start) begin
            shrlow  <= {udividend[p_dnd_width-3:0],2'b0};
            shrhigh <= {{(p_dsr_width-1){1'd0}},udividend[p_dnd_width-
2]};
        end
        else if (en) begin
            shrlow  <= {shrlow[p_dnd_width-2:0],~prmd[p_dsr_width-1]};
            shrhigh <= {ldshrhigh,shrlow[p_dnd_width-1]};
        end
        else if (qend) begin
            if (sign) begin
                shrlow  <= -shrlow;
                shrhigh <= -{1'b0,shrhigh[p_dsr_width-1:1]};
            end
            else begin
                shrlow  <= shrlow;
                shrhigh <= {1'b0,shrhigh[p_dsr_width-1:1]};
            end
        end
    end
end
end
end

```

endmodule

```
`timescale 1ns/1ps
```

```
module flt_ctrl_gen(input  logic clk, reset_n, qtn_vld,
    input  logic [7:0] quotient,
    output logic [2:0] flt_ctrl_b);
```

```
// Internal
```

```
logic qtn_vld_b;
logic [7:0] quotient_b;
logic [2:0] flt_ctrl;
```

```
// Output buffering
```

```

always_ff @(posedge clk, negedge reset_n) begin
    if(~reset_n) begin
        qtn_vld_b <= 1'b0;
        quotient_b <= 8'b0;
    end
    else begin
        qtn_vld_b <= qtn_vld;
        if (qtn_vld) begin
            quotient_b <= quotient;
        end
    end
end

// Control bits generation

always_comb begin
    flt_ctrl = (quotient_b < 8'd112)? 3'b111 :
(quotient_b < 8'd116)? 3'b110 :
(quotient_b < 8'd121)? 3'b101 :
(quotient_b < 8'd126)? 3'b100 :
(quotient_b < 8'd130)? 3'b011 :
(quotient_b < 8'd136)? 3'b010 :
(quotient_b < 8'd141)? 3'b001 :
3'b000 ;

end

// Control bits buffered

always_ff @(posedge clk, negedge reset_n) begin
    if(~reset_n) begin
        flt_ctrl_b <= 3'b0;
    end
    else begin
        if (qtn_vld_b) begin
            flt_ctrl_b <= flt_ctrl;
        end
    end
end

endmodule

```

План третмана података

Назив пројекта/истраживања
Аутономна и потпуно интегрисана аналогно-дигитална калибрација и компензација Чебишевљевог нископропусног UWB LC филтра петог реда
Назив институције/институција у оквиру којих се спроводи истраживање
Универзитет у Новом Саду, Факултет техничких наука, Департман за енергетику, електронику и телекомуникације, Катедра за електронику
Назив програма у оквиру ког се реализује истраживање
Докторске академске студије
1. Опис података
<p><i>1.1 Врста студије</i></p> <p><i>Укратко описати тип студије у оквиру које се подаци прикупљају</i></p> <p>Развој методе за аутономну калибрацију и компензацију промене вредности капацитивности линеарног МИМ кондензатора на чипу без екстерних референци, и њена примена на Чебишевљев нископропусни филтар петог реда за доњи фреквенцијски опсег UWB система.</p> <p>1.2 Врсте података</p> <p>а) квантитативни</p> <p>б) квалитативни</p> <p>1.3. Начин прикупљања података</p> <p>а) анкете, упитници, тестови</p> <p>б) клиничке процене, медицински записи, електронски здравствени записи</p> <p>в) генотипови: навести врсту _____</p> <p>г) административни подаци: навести врсту _____</p> <p>д) узорци ткива: навести врсту _____</p> <p>ђ) снимци, фотографије: навести врсту _____</p> <p>е) текст, навести врсту _____</p> <p>ж) мапа, навести врсту _____</p> <p>з) остало: симулације у EDA алатима и лабораторијска мерења</p> <p>1.3 Формат података, употребљене скале, количина података</p> <p>1.3.1 Употребљени софтвер и формат датотеке:</p> <p>а) Excel фајл, датотека _____</p> <p>б) SPSS фајл, датотека _____</p> <p>в) PDF фајл, датотека _____</p> <p>д) Текст фајл, датотека _____</p> <p>е) JPG фајл, датотека резултати мерења S параметара учитани у Virtuoso, резултати симулација у Virtuoso-у, HFSS-у и Momentum-у</p> <p>ф) Остало, датотека, _____</p> <p>1.3.2. Број записа (код квантитативних података)</p> <p>Симулације су извршене у 81 различитој комбинацији критичних вредности процеса, температуре и напона напајања. Мерења су извршена на два чипа.</p> <p>а) број варијабли _____</p> <p>б) број мерења (испитаника, процена, снимака и сл.) _____</p>

1.3.3. Поновљена мерења

а) да

б) не

Уколико је одговор да, одговорити на следећа питања:

а) временски размак између поновљених мера је _____

б) варијабле које се више пута мере односе се на _____

в) нове верзије фајлова који садрже поновљена мерења су именоване као _____

Напомене: _____

Да ли формати и софтвер омогућавају дељење и дугорочну валидност података?

а) Да

б) Не

Ако је одговор не, образложити _____

2. Прикупљање података

2.1 Методологија за прикупљање/генерисање података

Стандардизоване методологије симулација критичних случајева вредности процеса, температура и напона. Стандардизоване методологије за сваки коришћени мерни инструмент.

2.1.1. У оквиру ког истраживачког нацрта су подаци прикупљени?

а) експеримент, **мерења S параметара анализатором мреже на неупакованим чиповима**

б) корелационо истраживање, навести тип _____

ц) анализа текста, навести тип _____

д) остало, **симулације S параметара, електромагнетске симулације, симулације у временском домену, параметарске DC симулације**

2.1.2 *Навести врсте мерних инструмената или стандарде података специфичних за одређену научну дисциплину (ако постоје).*

Сонде *Infinity Z – GSG*, сонда *Unity – 07-00-125W GPGLGPG*, сонда *Unity – 07-00-125W GLGPGLG*, анализатор мреже *Agilent N5230A*, радна станица *Cascade Microtech PM5*

2.2 Квалитет података и стандарди

2.2.1. Третман недостајућих података

а) Да ли матрица садржи недостајуће податке? **Да Не**

Ако је одговор да, одговорити на следећа питања:

а) Колики је број недостајућих података? _____

б) Да ли се кориснику матрице препоручује замена недостајућих података? Да Не

в) Ако је одговор да, навести сугестије за третман замене недостајућих података

2.2.2. На који начин је контролисан квалитет података? Описати

Квалитет је контролисан калибрацијом анализатора мреже *SOLT (engl. Short-Open-Load-Through)* методом.

2.2.3. На који начин је извршена контрола уноса података у матрицу?

3. Третман података и пратећа документација

3.1. Третман и чување података

3.1.1. Подаци ће бити депоновани у _____ репозиторијум.

3.1.2. URL адреса _____

3.1.3. DOI: 10.6084/m9.figshare.19168349

3.1.4. Да ли ће подаци бити у отвореном приступу?

а) Да

б) Да, али после ембарга који ће трајати до _____

в) Не

Ако је одговор не, навести разлог _____

3.1.5. Подаци неће бити депоновани у репозиторијум, али ће бити чувани.

Образложење

3.2 Метаподаци и документација података

3.2.1. Који стандард за метаподатке ће бити примењен? _____

3.2.1. Навести метаподатке на основу којих су подаци депоновани у репозиторијум.

Ако је потребно, навести методе које се користе за преузимање података, аналитичке и процедуралне информације, њихово кодирање, детаљне описе варијабли, записа итд.

3.3 Стратегија и стандарди за чување података

3.3.1. До ког периода ће подаци бити чувани у репозиторијуму? _____

3.3.2. Да ли ће подаци бити депоновани под шифром? Да **Не**

3.3.3. Да ли ће шифра бити доступна одређеном кругу истраживача? Да **Не**

3.3.4. Да ли се подаци морају уклонити из отвореног приступа после извесног времена?

Да **Не**

Образложити

4. Безбедност података и заштита поверљивих информација

Овај одељак МОРА бити попуњен ако ваши подаци укључују личне податке који се односе на учеснике у истраживању. За друга истраживања треба такође размотрити заштиту и сигурност података.

4.1 Формални стандарди за сигурност информација/података

Истраживачи који спроводе испитивања с људима морају да се придржавају Закона о заштити података о личности (https://www.paragraf.rs/propisi/zakon_o_zastiti_podataka_o_licnosti.html) и одговарајућег институционалног кодекса о академском интегритету.

4.1.2. Да ли је истраживање одобрено од стране етичке комисије? Да **Не**

Ако је одговор Да, навести датум и назив етичке комисије која је одобрила истраживање

4.1.2. Да ли подаци укључују личне податке учесника у истраживању? Да **Не**

Ако је одговор да, наведите на који начин сте осигурали поверљивост и сигурност информација везаних за испитанике:

- а) Подаци нису у отвореном приступу
- б) Подаци су анонимизирани
- ц) Остало, навести шта

5. Доступност података

5.1. Подаци ће бити

а) јавно доступни

б) доступни само уском кругу истраживача у одређеној научној области

ц) затворени

Ако су подаци доступни само уском кругу истраживача, навести под којим условима могу да их користе:

Ако су подаци доступни само уском кругу истраживача, навести на који начин могу приступити подацима:

5.4. Навести лиценцу под којом ће прикупљени подаци бити архивирани.

6. Улоге и одговорност

6.1. Навести име и презиме и мејл адресу власника (аутора) података

Бранислава Марковић, brislava.milinkovic@gmail.com

6.2. Навести име и презиме и мејл адресу особе која одржава матрицу с подацима

Бранислава Марковић, brislava.milinkovic@gmail.com

6.3. Навести име и презиме и мејл адресу особе која омогућује приступ подацима другим истраживачима

Бранислава Марковић, brislava.milinkovic@gmail.com